

Zadatak 2.5.

Za kolo sa slike 2.14. izračunati učestanost periodičnog signala $v_U(t)$ tako da u stacionarnom stanju napon na izlazu kola bude negativan, a njegova minimalna vrednost bude $v_{Imin} = -3.6V$.

Poznato je: $V_D = 0.6V$, $C_1 = C_2 = 10nF$, $R_P = 100\Omega$.

Rešenje:

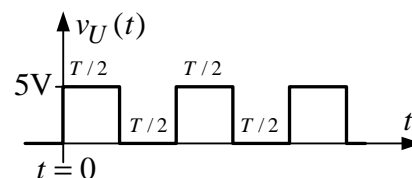
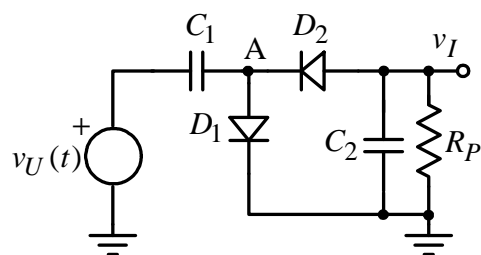
a) Rad kola može da se подели u 4 karakteristične faze.

I faza, interval kada je ulazni napon 5V. U delovima periode kada je ulazni napon na visokom nivou, kondenzator C_1 se puni tako da je dioda D_1 direktno polarizovana, a pošto je napon na izlazu kola negativan dioda D_2 će biti zakočena. Kolo se može predstaviti sa dva nezavisna dela, slika 2.14a. Pošto je otpornost diode zanemarljiva kondenzator C_1 će se tokom tog dela periode napuniti na vrednost $5V - V_D = 4.4V$, a napon na izlazu kola, što je istovremeno napon na kondenzatoru C_2 će eksponencijalno da raste sa vremenskom konstantom $\tau_2 = R_P C_2 = 1\mu s$.

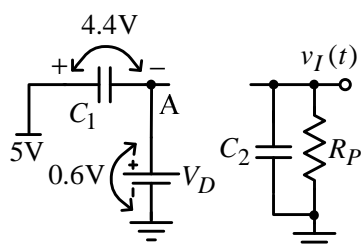
II faza, trenutak promene ulaznog napona sa 5V na 0V. U trenutku kada ulazni napon promeni nivo sa 5V na 0V, napon u tački A postaje negativan, slika 2.14b. Dioda D_1 se koči, a pošto je minimalni mogući napon na izlazu $-3.6V$, dioda D_2 postaje provodna. Tada dolazi do neregularne komutacije i dva kondenzatora ostvaruju paralelnu vezu, slika 2.14c. U tom trenutku napon na izlazu menja svoju vrednost sa maksimalne na minimalnu.

III faza, interval kada je ulazni napon 0V. U delovima periode kada je ulazni napon na nuli, kondenzatori su paralelno povezani, dioda D_2 je provodna, a napon na izlazu eksponencijalno raste sa vremenskom konstantom $\tau_2 = R_P (C_1 \parallel C_2) = 2\tau_1 = 2\mu s$, slika 2.14c.

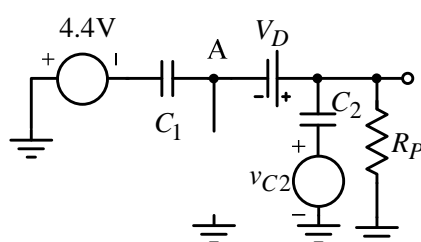
IV faza, trenutak promene ulaznog napona sa 0V na 5V. U trenutku kada ulazni napon promeni nivo sa 0V na 5V, počinje da se puni kondenzator C_1 , dioda D_1 postaje provodna. Napon u tački A dobija vrednost V_D što dovodi do kočenja diode D_2 , slika 2.14a.



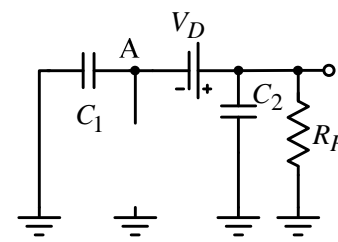
Slika 2.14.



Slika 2.14a.

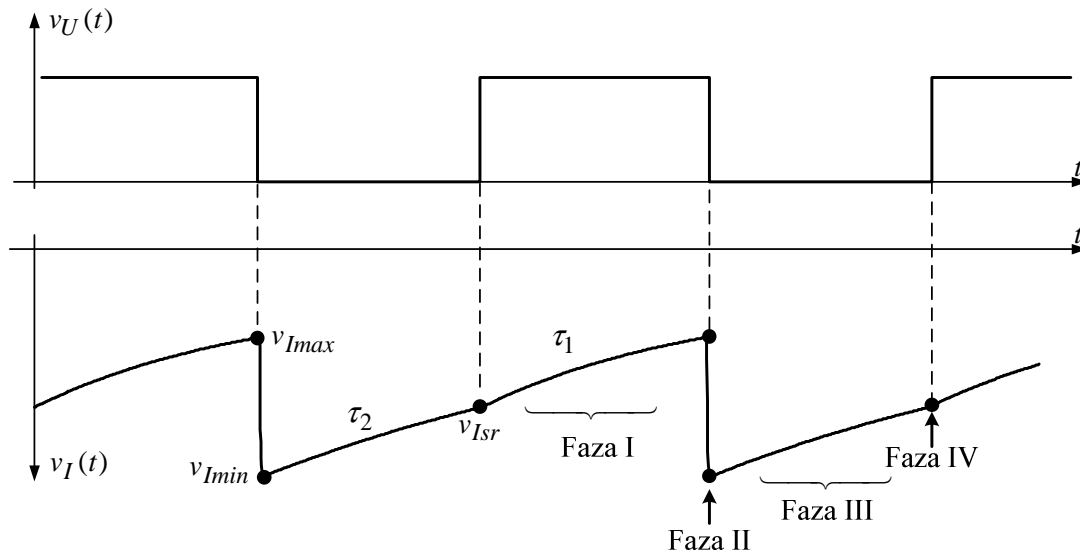


Slika 2.14b.



Slika 2.14c.

Na slici 2.15. prikazani su vremenski dijagrami napona na ulazu i izlazu kola, i na jednoj periodi su označene sve četiri faze rada kola.



Slika 2.15.

Na osnovu slike se može zaključiti da postoje 3 nepoznate veličine: perioda pobudnog signala T , maksimalna veličina napona na izlazu, v_{Imax} , i vrednost izlaznog napona u trenutku promene ulaznog napona sa niskog na visok nivo, v_{Isr} . Moguće je postaviti 3 nezavisne jednačine.

1) Jednačina neregularne komutacije:

$$v_{Imin} = \left(V_D + v_{C1}(0^-) \right) \frac{C_1}{C_1 + C_2} + v_{C2}(0^-) \frac{C_2}{C_1 + C_2} =$$

$$= \frac{1}{2} \left(\left(V_D + v_{C1}(0^-) \right) + v_{C2}(0^-) \right) = \frac{1}{2} (-3.8V + v_{Imax})$$

pošto je $v_{Imin} = -3.6V$, dobija se da je $v_{Imax} = -3.4V$, gde su $v_{C1}(0^-)$ i $v_{C2}(0^-)$ naponi na odgovarajućim kondenzatorima pre neregularne komutacije.

2) Jednačina faze III:

$$v_{Isr} = v_{Imin} e^{-\frac{T}{2}/\tau_2}.$$

3) Jednačina faze I:

$$v_{Imax} = v_{Isr} e^{-\frac{T}{2}/\tau_1} = v_{Isr} e^{-T/\tau_2}.$$

Kombinovanjem prethodne dve jednačine može se eliminisati v_{Isr} .

$$v_{Imax} = \left(v_{Imin} e^{-\frac{T}{2}/\tau_2} \right) e^{-T/\tau_2} = v_{Imin} e^{-\frac{3T}{2}/\tau_2}.$$

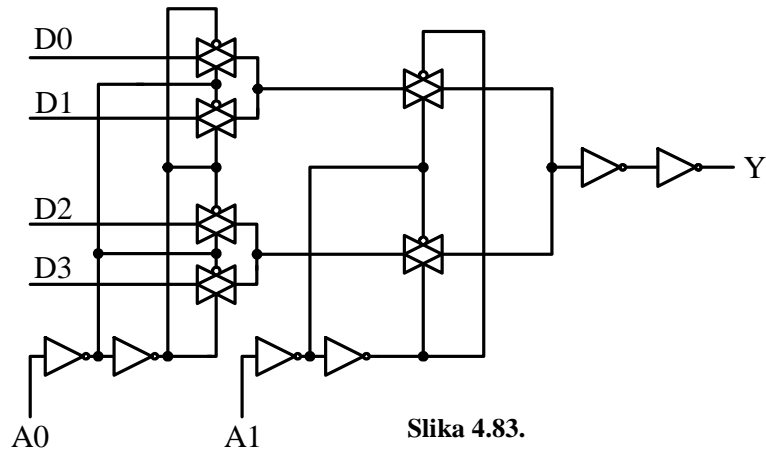
Zamenom vrednosti za v_{Imax} i v_{Imin} u jednačinu i logaritmovanjem leve i desne strane dobija se perioda pobudnog signala $T = 76ns$, odnosno $f = 13MHz$.

Zadatak 4.26.

Realizovati kaskadni multiplekser 4/1 koristeći serijsku logiku. Voditi računa da su dekoderski invertori zajednički za jedan nivo multipleksiranja

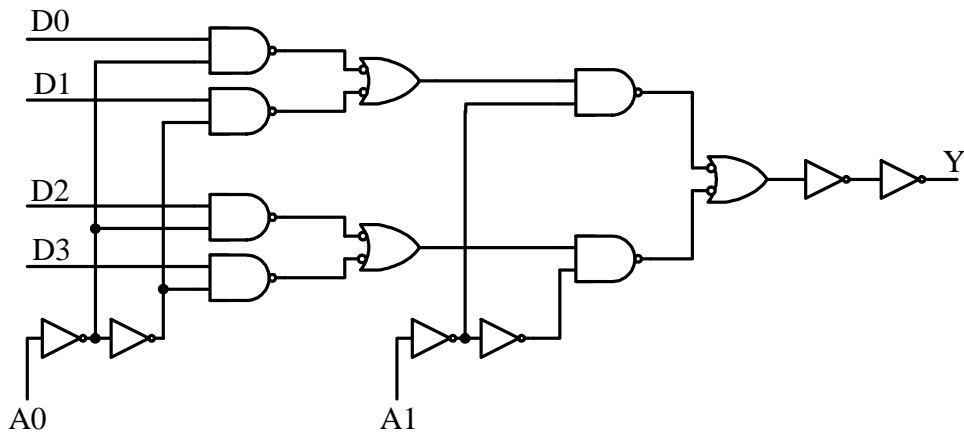
Uporediti broj tranzistora potrebnih za realizaciju multipleksera sa brojem tranzistora koji bi imao isti takav multiplekser ako bi se realizovao sa standardnim logičkim kolima.

Rešenje:



Kaskadni multiplekser 4/1 realizovanom serijskom logikom prikazan je na slici 4.83. Broj tranzistora potrebnih za realizaciju sa serijskom logikom

$$6 \times 2 \Big|_{\text{prekidači}} + 6 \times 2 \Big|_{\text{invertori}} = 24$$



Kaskadni multiplekser 4/1 realizovan standardnim logičkim kolima prikazan je na slici 4.84. Broj upotrebljenih tranzistora u ovakvoj realizaciji je

$$9 \times 4 \Big|_{NI} + 6 \times 2 \Big|_{\text{invertori}} = 48$$

Zadatak 4.27.

Realizovati kaskadni multiplekser 4/1 koristeći serijsku logiku.

Uporediti broj tranzistora potrebnih za realizaciju takvog multipleksera sa brojem tranzistora koji bi imao multiplekser realizovan minimizacijom.

Rešenje:

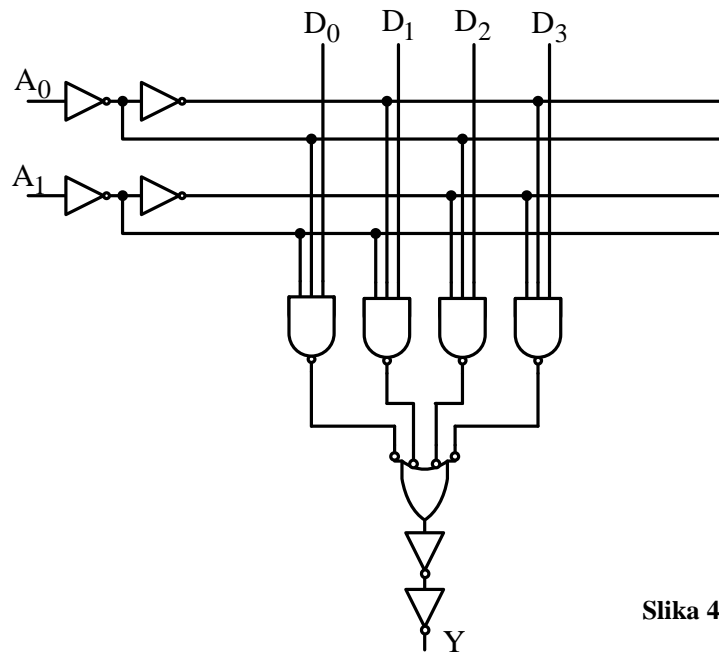
Kaskadni multiplekser 4/1 realizovanom serijskom logikom prikazan je u zadatku 4.26.

Broj tranzistora potrebnih za realizaciju sa serijskom logikom je

$$6 \times 2 \Big|_{\text{prekidači}} + 6 \times 2 \Big|_{\text{invertori}} = 24$$

Multiplekser 4/1 realizovan minimizacijom prikazan je na slici 4.85. Broj upotrebljenih tranzistora u ovakvoj realizaciji je

$$4 \times 6 \Big|_{\text{3ulaznaNI}} + 1 \times 8 \Big|_{\text{4ulaznaNI}} + 6 \times 2 \Big|_{\text{invertori}} = 44$$



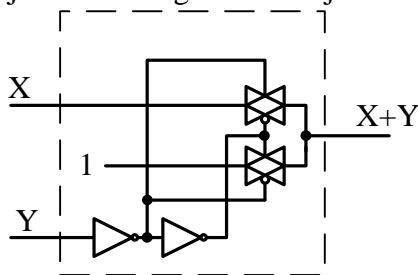
Slika 4.85.

Zadatak 4.28.

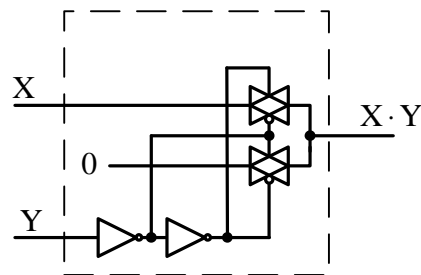
Realizovati funkciju $Y = AB + AC$ korišćenjem serijske logike.

Rešenje:

Realizacija dvoulaznog ILI kola serijskom logikom prikazana je na slici 4.86, dok je realizacija dvoulaznog I kola serijskom logikom prikazana na slici 4.87.

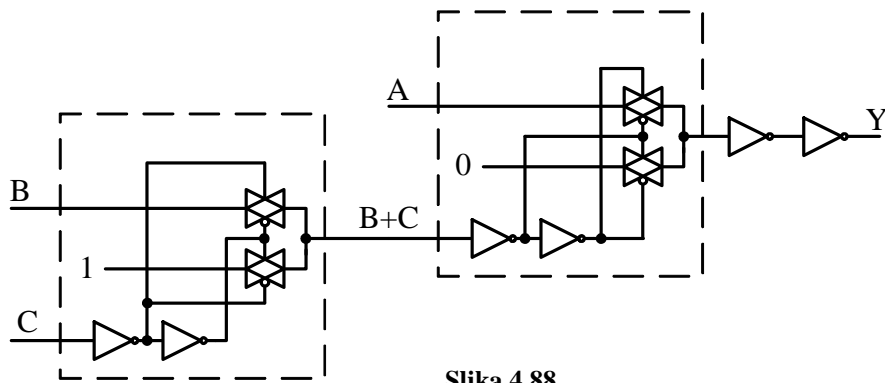


Slika 4.86.



Slika 4.87.

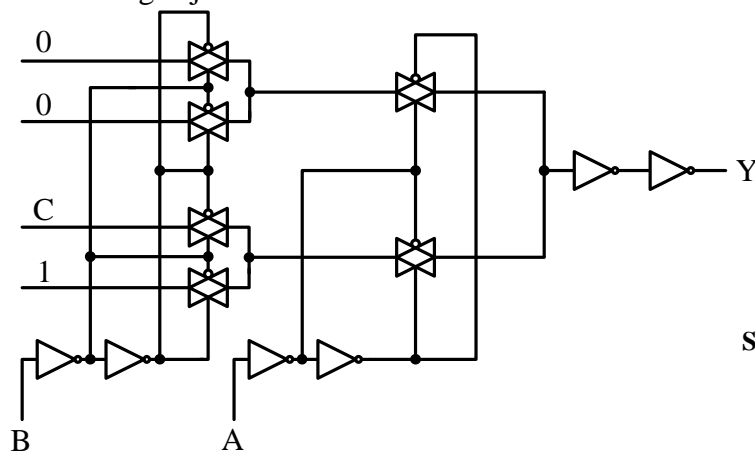
Za realizaciju željene funkcije potrebno je po jedno I i ILI kolo, ukoliko se funkcija napiše u obliku $Y = A(B + C)$. Tražena realizacija prikazana je na slici 4.88.



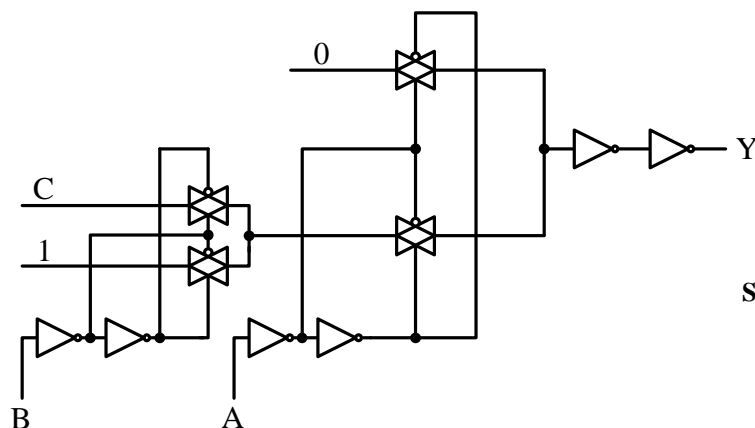
Slika 4.88.

Alternativno, funkcija se može realizovati korišćenjem multipleksera 4/1, dovodenjem dve promenljive na kontrolne ulaze multipleksera, a preostale na ulaze za podatke multipleksera, kao na primer na slici 4.89.

Sažimanjem gornjeg levog multipleksera 2/1 (zato što uvek na svom izlazu daje nulu) dobija se realizacija sa slike 4.90, koja je iste kompleksnosti kao i šema dobijena direktnom realizacijom. Valja primetiti da se ne bi dobila realizacija iste kompleksnosti da su ulazi multipleksera vezani na drugačiji način.



Slika 4.89.



Slika 4.90.

Zadatak 4.29.

Realizovati funkciju $Y = A\bar{B} + A\bar{C}D$ u CMOS tehnologiji

- a) sa statičkim CMOS NI kolima i invertorima
- b) serijskom logikom

Rešenje:

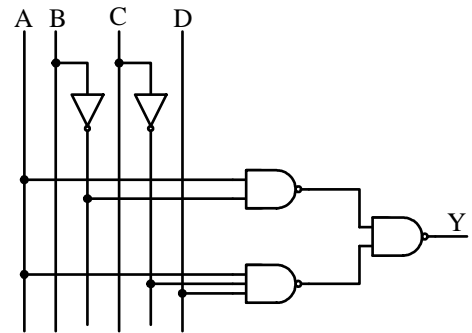
a) Realizacija funkcije sa statičkim CMOS NI kolima i invertorima prikazana je na slici 4.91.

b) Za realizaciju željene funkcije serijskom logikom potrebno je jedno serijsko dvoulazno ILI kolo, dva serijska dvoulazna I kola i dva invertora, ukoliko se funkcija napiše u obliku

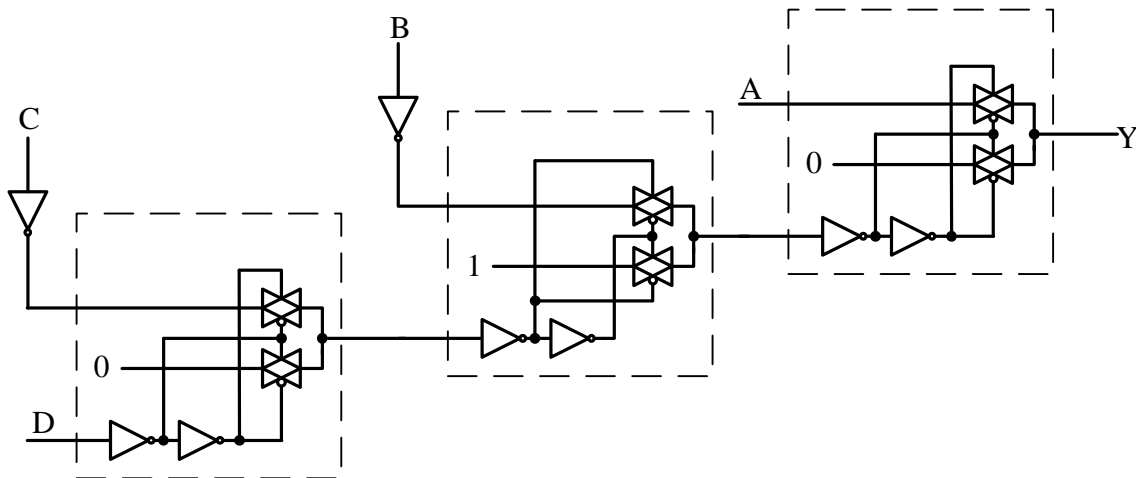
$$Y = A(\bar{B} + \bar{C}D).$$

Realizacija dvoulaznih I i ILI serijskih kola prikazana je u zadatku 4.28.

Tražena realizacija prikazana je na slici 4.92.



Slika 4.91.



Slika 4.92.

Zadatak 4.30.

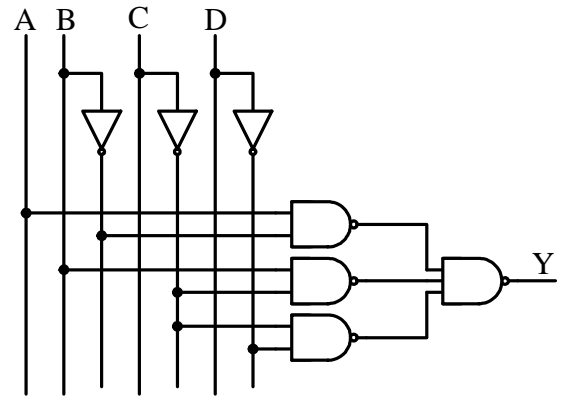
Realizovati funkciju $Y = A\bar{B} + B\bar{C} + \bar{C}\bar{D}$ u CMOS tehnologiji

- a) sa statičkim NI kolima i invertorima
- b) serijskom logikom

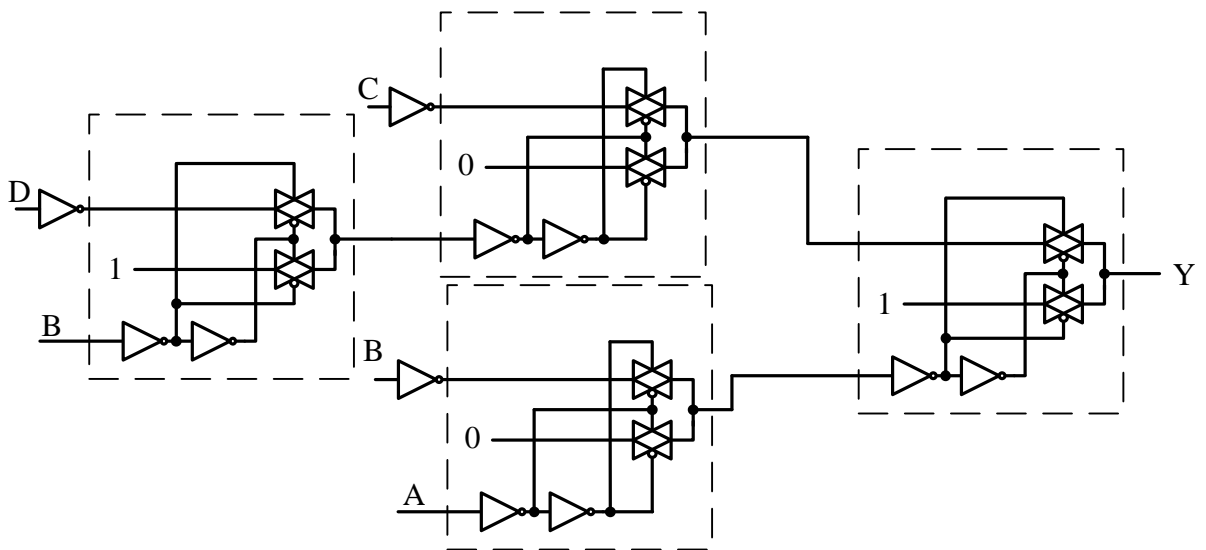
Rešenje:

a) Realizacija tražene funkcije sa statičkim CMOS NI kolima i invertorima prikazana je na slici 4.93.

b) Za realizaciju željene funkcije serijskom logikom potrebna su po dva serijska dvoulazna ILI i I kola, i tri invertora, ukoliko se funkcija napiše u obliku $Y = A\bar{B} + \bar{C}(B + \bar{D})$. Tražena realizacija prikazana je na slici 4.94, dok je realizacija dvoulaznih I i ILI serijskih kola prikazana u zadatku 4.28.



Slika 4.93.



Slika 4.94.