

OSNOVI DIGITALNE ELEKTRONIKE

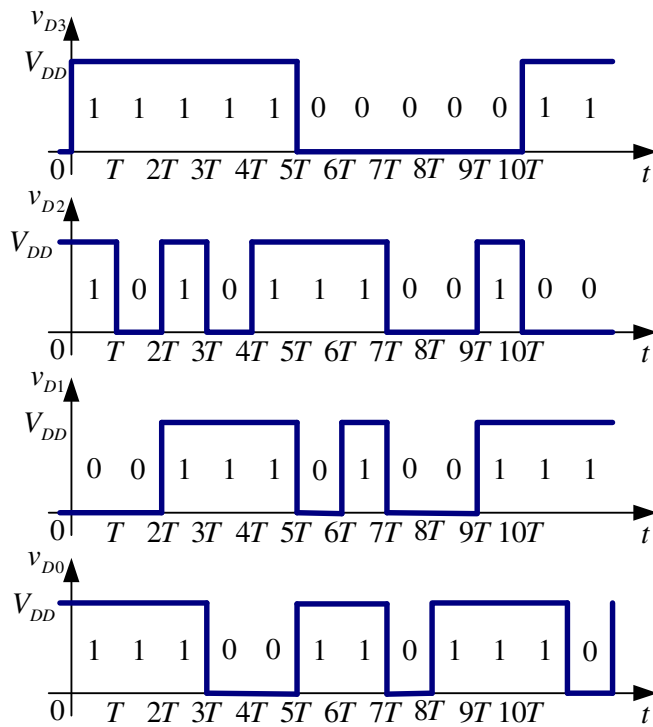
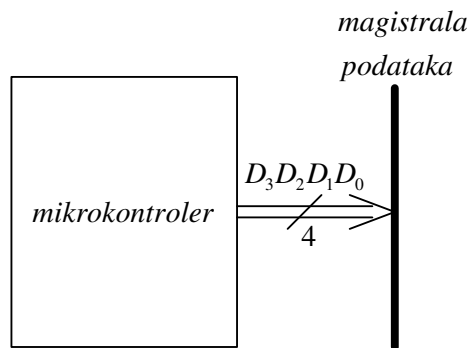
(13S042ODE)

Računske vežbe (2 časa nedeljno): prof. dr Goran Savić
gsavic@etf.rs
<http://tnt.etf.rs/~si2ode>
kabinet 102d

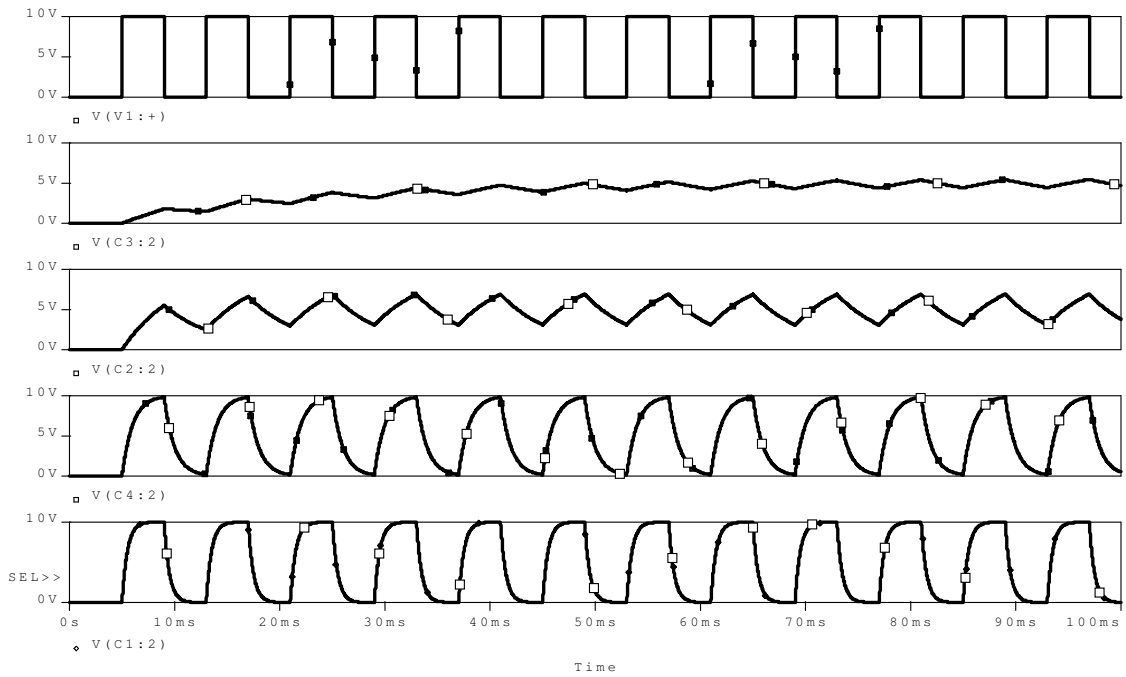
Termini za konsultacije:

- posle časova računskih vežbi,
- po dogovoru.

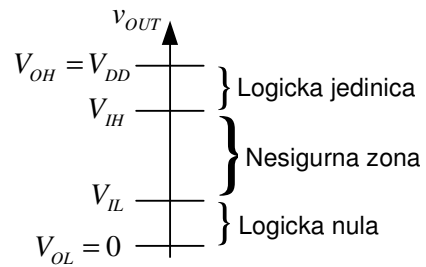
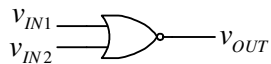
Digitalni signali



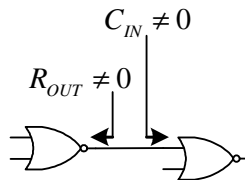
Idealni i stvarni digitalni signali



- Pozitivna logika: napon koji predstavlja logičku jedinicu je veći od napona koji predstavlja logičku nulu

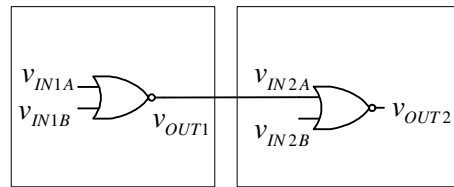


- Realna logička kola:

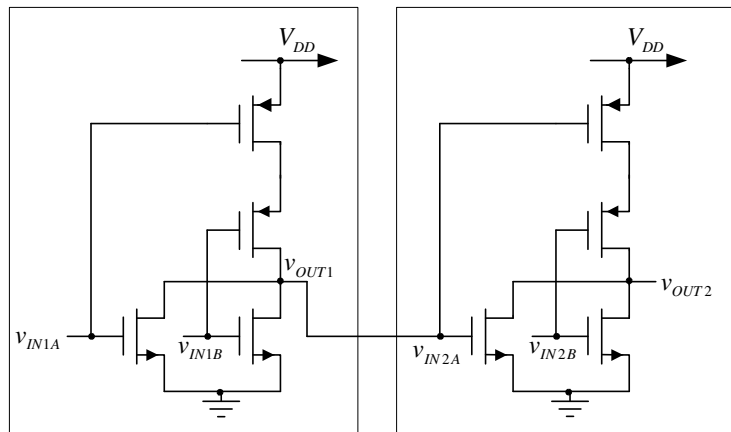


Primer:

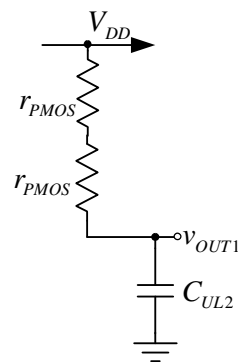
- NILI logičko kolo na čiji izlaz je povezano isto takvo kolo



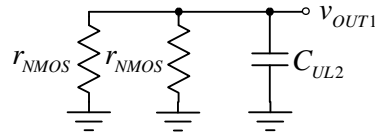
- Realizacija logičkih kola iz navedenog primera u CMOS familiji



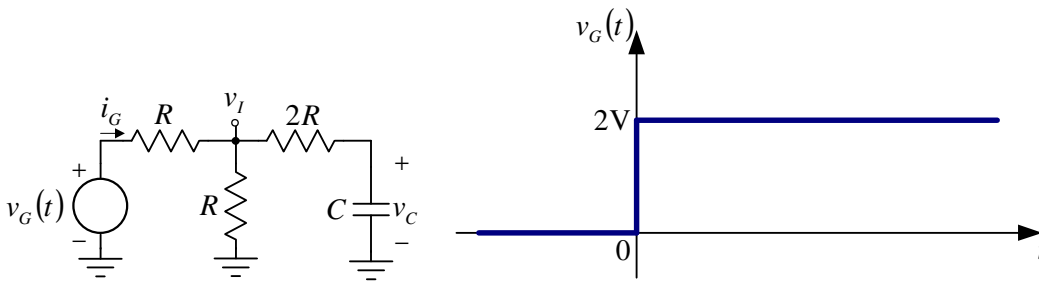
- Ekvivalentni model prvog NILI logičkog kola iz navedenog primera, kada su na njegovim ulazima logičke nule



- Ekvivalentni model prvog NILI logičkog kola iz navedenog primera, kada su na njegovim ulazima logičke jedinice



1. U kolu sa slike napon na kondenzatoru u trenutku $t = 0^-$ iznosi $v_C(0^-) = 0.5V$. Ulazni naponski generator $v_G(t)$ generiše signal prikazan na vremenskom dijagramu. Odrediti i nacrtati vremenski oblik napona $v_I(t)$ i struje $i_G(t)$ za $t > 0$. Poznato je i $R = 1k\Omega$ i $C = 10nF$.



Rešenje:

Napon na kondenzatoru se ne može skokovito promeniti pa je:

$$v_C(0^-) = v_C(0^+) = 0.5V$$

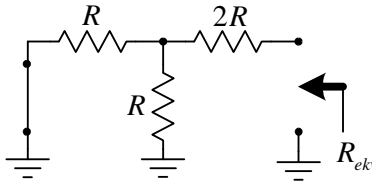
Dato kolo je prvog reda (osim generatora i otpornika u kolu se nalazi jedan kondenzator), tako da se $v_C(t)$ za $t > 0$ može predstaviti izrazom:

$$v_C(t) = v_C(\infty) - (v_C(\infty) - v_C(0^+)) \cdot e^{-\frac{t}{\tau}}$$

Vremenska konstanta τ se računa kao:

$$\tau = C \cdot R_{ekv},$$

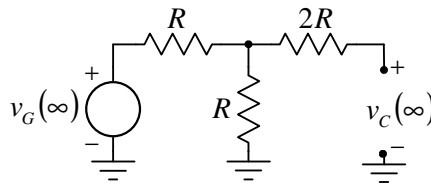
gde je R_{ekv} ekvivalentna otpornost koju vidi kondenzator. Pomenuta otpornost se računa na osnovu ekvivalentne šeme:



$$R_{ekv} = 2R + R \parallel R = 2R + \frac{R}{2} = 2.5R = 2.5\text{k}\Omega$$

$$\text{Stoga je: } \tau = C \cdot R_{ekv} = 10^{-8} \text{F} \cdot 2.5 \cdot 10^3 \Omega = 25\mu\text{s}$$

$v_C(\infty)$ predstavlja napon na kondenzatoru za $t \rightarrow \infty$. Tada je u kolu nastupilo stacionarno stanje. U stacionarnom stanju ne protiče struja kroz kondenzator, a ulazni napon iznosi $v_G(\infty) = 2\text{V}$, na osnovu čega se može izračunati i $v_C(\infty)$:



$$v_C(\infty) = \frac{R}{R+R} \cdot v_G(\infty) = \frac{1}{2} \cdot v_G(\infty) = 1\text{V}$$

Iz navedenog sledi da je:

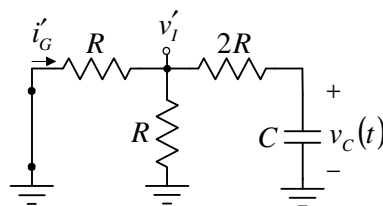
$$v_C(t) = v_C(\infty) - (v_C(\infty) - v_C(0^+)) \cdot e^{-\frac{t}{\tau}} = 1\text{V} - (1\text{V} - 0.5\text{V}) \cdot e^{-\frac{t}{25\mu\text{s}}} = 1\text{V} - 0.5\text{V} \cdot e^{-\frac{t}{25\mu\text{s}}}$$

Napon $v_I(t)$ i struja $i_G(t)$ za $t > 0$ nastaju dejstvom napona $v_G(t)$ i $v_C(t)$. Primenom superpozicije se dobija:

$$v_I(t) = v_I'(t) + v_I''(t)$$

$$i_G(t) = i_G'(t) + i_G''(t)$$

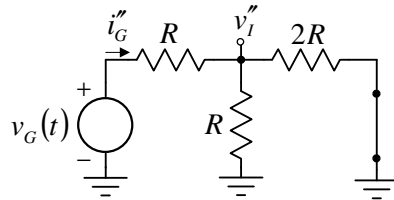
Superpozicione komponente $v_I'(t)$ i $i_G'(t)$ se mogu izračunati preko šeme:



$$v'_I(t) = \frac{R \parallel R}{R \parallel R + 2R} \cdot v_C(t) = \frac{1}{5} \cdot v_C(t)$$

$$i'_G(t) = -\frac{v_C(t)}{2R + R \parallel R} \cdot \frac{R}{R + R} = -\frac{1}{5R} \cdot v_C(t)$$

Superpozicione komponente $v''_I(t)$ i $i''_G(t)$ se mogu izračunati preko šeme:



$$v''_I(t) = \frac{2R \parallel R}{2R \parallel R + R} \cdot v_G(t) = \frac{2}{5} \cdot v_G(t)$$

$$i''_G(t) = \frac{v_G(t)}{R + 2R \parallel R} = \frac{3}{5R} \cdot v_G(t)$$

Dalje se dobija:

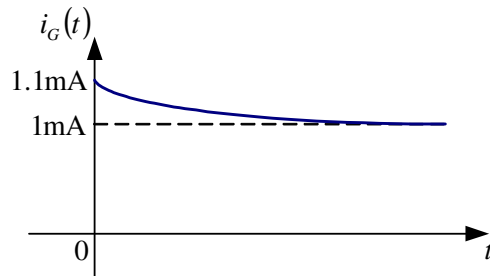
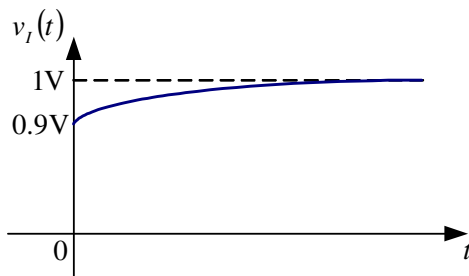
$$v_I(t) = \frac{1}{5} \cdot v_C(t) + \frac{2}{5} \cdot v_G(t)$$

$$i_G(t) = -\frac{1}{5R} \cdot v_C(t) + \frac{3}{5R} \cdot v_G(t)$$

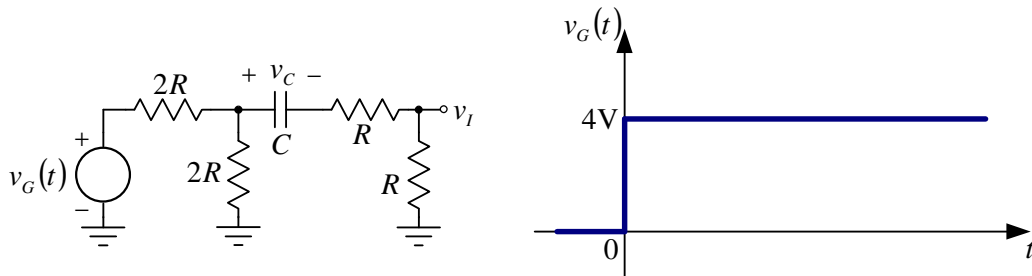
Imajući u vidu da je $v_G(t) = 2V$ za $t > 0$, konačno se dobija:

$$v_I(t) = 1V - 0.1V \cdot e^{-\frac{t}{25\mu s}}, \text{ za } t > 0;$$

$$i_G(t) = 1mA + 0.1mA \cdot e^{-\frac{t}{25\mu s}}, \text{ za } t > 0.$$



2. U kolu sa slike napon na kondenzatoru u trenutku $t = 0^-$ iznosi $v_C(0^-) = 0.8V$. Ulazni naponski generator $v_G(t)$ generiše signal prikazan na vremenskom dijagramu. Odrediti i nacrtati vremenski oblik napona $v_I(t)$ za $t > 0$. Poznato je i $R = 1k\Omega$ i $C = 10nF$.



Rešenje:

Napon na kondenzatoru se ne može skokovito promeniti pa je:

$$v_C(0^-) = v_C(0^+) = 0.8V$$

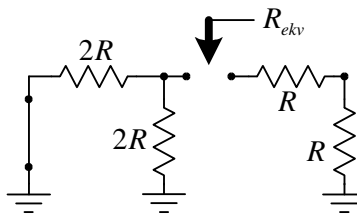
Dato kolo je prvog reda (osim generatora i otpornika u kolu se nalazi jedan kondenzator), tako da se $v_C(t)$ za $t > 0$ može predstaviti izrazom:

$$v_C(t) = v_C(\infty) - (v_C(\infty) - v_C(0^+)) \cdot e^{-\frac{t}{\tau}}$$

Vremenska konstanta τ se računa kao:

$$\tau = C \cdot R_{ekv},$$

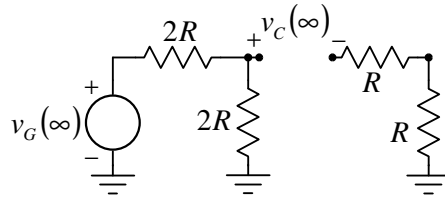
gde je R_{ekv} ekvivalentna otpornost koju vidi kondenzator. Pomenuta otpornost se računa na osnovu ekvivalentne šeme:



$$R_{ekv} = R + R + 2R \parallel 2R = 2R + R = 3R = 3k\Omega$$

$$\text{Stoga je: } \tau = C \cdot R_{ekv} = 10^{-8} F \cdot 3 \cdot 10^3 \Omega = 30\mu s$$

$v_C(\infty)$ predstavlja napon na kondenzatoru za $t \rightarrow \infty$. Tada je u kolu nastupilo stacionarno stanje. U stacionarnom stanju ne protiče struja kroz kondenzator, a ulazni napon iznosi $v_G(\infty) = 4V$, na osnovu čega se može izračunati i $v_C(\infty)$:



$$v_C(\infty) = \frac{2R}{2R+2R} \cdot v_G(\infty) - 0 = \frac{1}{2} \cdot v_G(\infty) = 2V$$

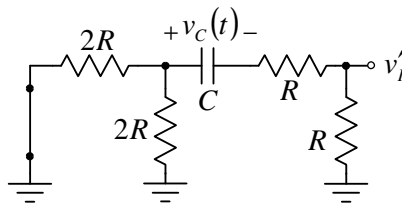
Iz navedenog sledi da je:

$$v_C(t) = v_C(\infty) - (v_C(\infty) - v_C(0^+)) \cdot e^{-\frac{t}{\tau}} = 2V - (2V - 0.8V) \cdot e^{-\frac{t}{30\mu s}} = 2V - 1.2V \cdot e^{-\frac{t}{30\mu s}}$$

Napon $v_I(t)$ za $t > 0$ nastaje dejstvom napona $v_G(t)$ i $v_C(t)$. Primenom superpozicije se dobija:

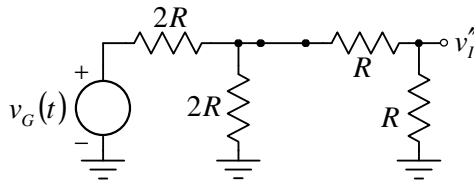
$$v_I(t) = v'_I(t) + v''_I(t)$$

Superpoziciona komponenta $v'_I(t)$ se može izračunati preko šeme:



$$v'_I(t) = -\frac{R}{2R \parallel 2R + R + R} \cdot v_C(t) = -\frac{1}{3} \cdot v_C(t)$$

Superpoziciona komponenta $v''_I(t)$ se može izračunati preko šeme:



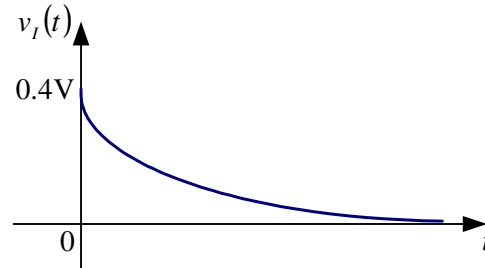
$$v''_I(t) = \frac{2R \parallel (R+R)}{2R \parallel (R+R) + 2R} \cdot \frac{R}{R+R} \cdot v_G(t) = \frac{1}{6} \cdot v_G(t)$$

Dalje se dobija:

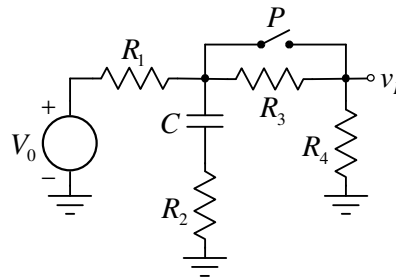
$$v_I(t) = -\frac{1}{3} \cdot v_C(t) + \frac{1}{6} \cdot v_G(t)$$

Imajući u vidu da je $v_G(t) = 4V$ za $t > 0$, konačno se dobija:

$$v_I(t) = 0.4V \cdot e^{-\frac{t}{30\mu s}}, \text{ za } t > 0.$$

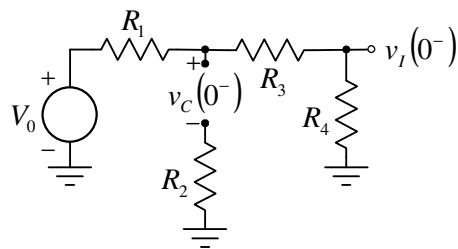


3. U kolu sa slike naponski generator generiše konstantan napon $V_0 = 5V$. Za $t < 0$ kolo se nalazi u stacionarnom stanju i prekidač P je otvoren. Odrediti i nacrtati vremenski oblik napona $v_I(t)$, ako se u trenutku $t = 0$ prekidač P zatvori. Poznato je $R_1 = R_2 = 4.7k\Omega$, $R_3 = R_4 = 800\Omega$ i $C = 22nF$.



Rešenje:

Za $t < 0$ kolo se nalazi u stacionarnom stanju, tako da su svi naponi i struje u kolu jednosmerni (konstantni), što znači i da ne protiče struja kroz kondenzator (tj. kondenzator se ponaša kao otvorena veza). Te konstantne vrednosti naponi i struje zadržavaju sve do momenta zatvaranja prekidača P . Neposredno pre zatvaranja prekidača (tj. u trenutku $t = 0^-$) kolo se može predstaviti sledećom ekvivalentnom šemom:



Na osnovu te šeme se može izračunati:

$$v_C(0^-) = \frac{R_3 + R_4}{R_3 + R_4 + R_1} \cdot V_0 - 0 = 1.27\text{V}$$

$$v_I(0^-) = \frac{R_4}{R_4 + R_1 + R_3} \cdot V_0 = 0.635\text{V}$$

Imajući u vidu da je za $t < 0$ kolo u stacionarnom stanju, može se zaključiti da je:

$$v_I(t) = \frac{R_4}{R_4 + R_1 + R_3} \cdot V_0 = 0.635\text{V} = \text{const}, \text{ za } t < 0$$

Nakon zatvaranja prekidača P napon na kondenzatoru se ne može skokovito promeniti pa je:

$$v_C(0^-) = v_C(0^+) = 1.27\text{V}$$

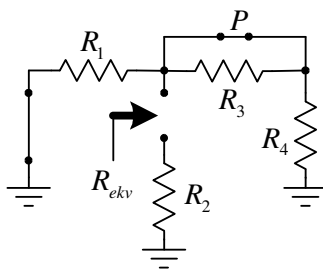
Dato kolo je prvog reda (osim generatora i otpornika u kolu se nalazi jedan kondenzator), tako da se $v_I(t)$ za $t > 0$ može predstaviti izrazom:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau}}$$

Vremenska konstanta τ se računa kao:

$$\tau = C \cdot R_{ekv},$$

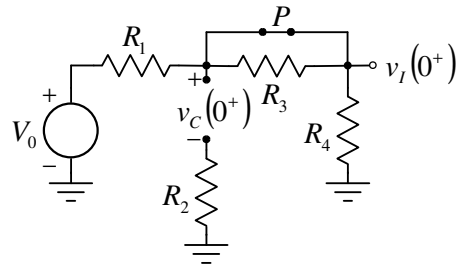
gde je R_{ekv} ekvivalentna otpornost koju vidi kondenzator za $t > 0$ (tj. nakon zatvaranja prekidača). Pomenuta otpornost se računa na osnovu ekvivalentne šeme:



$$R_{ekv} = R_2 + R_1 \parallel R_4 = 5.384\text{k}\Omega$$

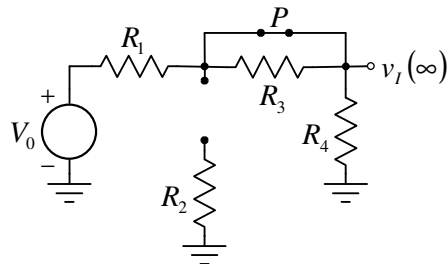
$$\text{Stoga je: } \tau = C \cdot R_{ekv} = 118.44\mu\text{s}$$

Napon na izlazu u trenutku neposredno posle zatvaranja prekidača $v_I(0^+)$ se može izračunati na osnovu poznate vrednosti napona na kondenzatoru u tom trenutku $v_C(0^+) = 1.27\text{V}$:



$$v_I(0^+) = \frac{R_2 \parallel R_4}{R_2 \parallel R_4 + R_1} \cdot V_0 + \frac{R_1 \parallel R_4}{R_1 \parallel R_4 + R_2} \cdot v_C(0^+) = 0.127V_0 + 0.127v_C(0^+) = 0.796\text{V}$$

$v_I(\infty)$ predstavlja napon na izlazu kola za $t \rightarrow \infty$. Tada je u kolu nastupilo stacionarno stanje u situaciji kada je prekidač zatvoren. U stacionarnom stanju ne protiče struja kroz kondenzator (tj. kondenzator se ponaša kao otvorena veza), na osnovu čega se može izračunati i $v_I(\infty)$:



$$v_I(\infty) = \frac{R_4}{R_4 + R_1} \cdot V_0 = 0.727\text{V}$$

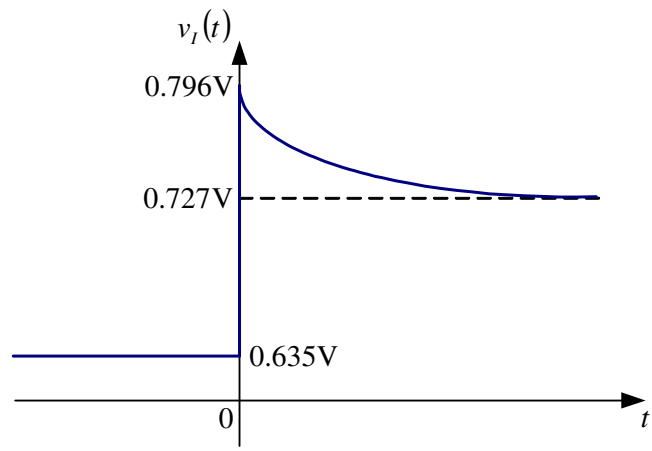
Iz navedenog sledi da je za $t > 0$:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau}} = 0.727\text{V} - (0.727\text{V} - 0.796\text{V}) \cdot e^{-\frac{t}{118.44\mu\text{s}}}$$

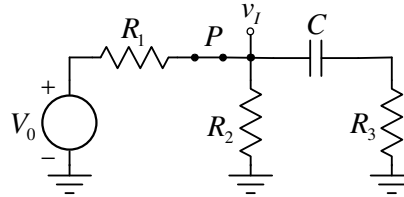
$$v_I(t) = 0.727\text{V} + 0.069\text{V} \cdot e^{-\frac{t}{118.44\mu\text{s}}}$$

Dakle, konačno je:

$$v_I(t) = \begin{cases} 0.635\text{V} = \text{const}, & \text{za } t < 0 \\ 0.727\text{V} + 0.069\text{V} \cdot e^{-\frac{t}{118.44\mu\text{s}}}, & \text{za } t > 0 \end{cases}$$

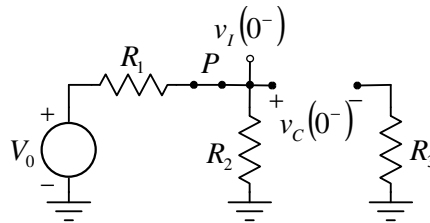


4. U kolu sa slike naponski generator generiše konstantan napon $V_0 = 5V$. Za $t < 0$ kolo se nalazi u stacionarnom stanju i prekidač P je zatvoren. Odrediti i nacrtati vremenski oblik napona $v_I(t)$, ako se u trenutku $t = 0$ prekidač P otvori. Poznato je $R_1 = 15k\Omega$, $R_2 = R_3 = 5k\Omega$ i $C = 10nF$.



Rešenje:

Za $t < 0$ kolo se nalazi u stacionarnom stanju, tako da su svi naponi i struje u kolu jednosmerni (konstantni), što znači i da ne protiče struja kroz kondenzator (tj. kondenzator se ponaša kao otvorena veza). Te konstantne vrednosti naponi i struje zadržavaju sve do momenta otvaranja prekidača P . Neposredno pre otvaranja prekidača (tj. u trenutku $t = 0^-$) kolo se može predstaviti sledećom ekvivalentnom šemom:



Na osnovu te šeme se može izračunati:

$$v_C(0^-) = \frac{R_2}{R_2 + R_1} \cdot V_0 - 0 = 1.25V$$

$$v_I(0^-) = \frac{R_2}{R_2 + R_1} \cdot V_0 = 1.25V$$

Imajući u vidu da je za $t < 0$ kolo u stacionarnom stanju, može se zaključiti da je:

$$v_I(t) = \frac{R_2}{R_2 + R_1} \cdot V_0 = 1.25V = const, \text{ za } t < 0$$

Nakon otvaranja prekidača P napon na kondenzatoru se ne može skokovito promeniti pa je:

$$v_c(0^-) = v_c(0^+) = 1.25\text{V}$$

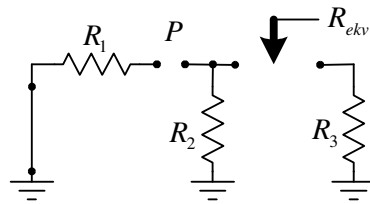
Dato kolo je prvog reda (osim generatora i otpornika u kolu se nalazi jedan kondenzator), tako da se $v_I(t)$ za $t > 0$ može predstaviti izrazom:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau}}$$

Vremenska konstanta τ se računa kao:

$$\tau = C \cdot R_{ekv},$$

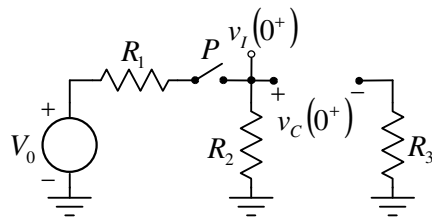
gde je R_{ekv} ekvivalentna otpornost koju vidi kondenzator za $t > 0$ (tj. nakon otvaranja prekidača). Pomenuta otpornost se računa na osnovu ekvivalentne šeme:



$$R_{ekv} = R_2 + R_3 = 10\text{k}\Omega$$

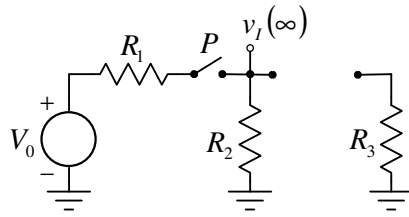
$$\text{Stoga je: } \tau = C \cdot R_{ekv} = 100\mu\text{s}$$

Napon na izlazu u trenutku neposredno posle otvaranja prekidača $v_I(0^+)$ se može izračunati na osnovu poznate vrednosti napona na kondenzatoru u tom trenutku $v_c(0^+) = 1.25\text{V}$:



$$v_I(0^+) = \frac{R_2}{R_2 + R_3} \cdot v_c(0^+) = 0.5v_c(0^+) = 0.625\text{V}$$

$v_I(\infty)$ predstavlja napon na izlazu kola za $t \rightarrow \infty$. Tada je u kolu nastupilo stacionarno stanje u situaciji kada je prekidač otvoren. U stacionarnom stanju ne protiče struja kroz kondenzator (tj. kondenzator se ponaša kao otvorena veza), na osnovu čega se može izračunati i $v_I(\infty)$:



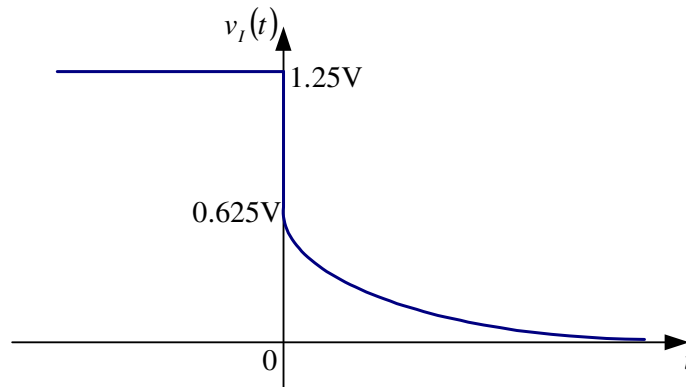
$$v_I(\infty) = 0$$

Iz navedenog sledi da je za $t > 0$:

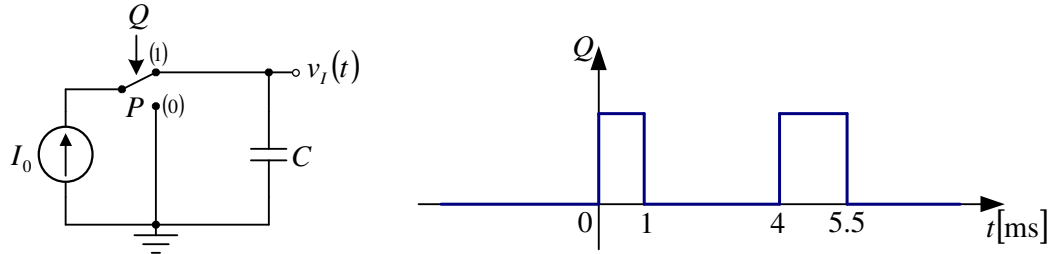
$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau}} = 0 - (0 - 0.625\text{V}) \cdot e^{-\frac{t}{100\mu\text{s}}} \quad v_I(t) = 0.625\text{V} \cdot e^{-\frac{t}{100\mu\text{s}}}$$

Dakle, konačno je:

$$v_I(t) = \begin{cases} 1.25\text{V} = \text{const}, & \text{za } t < 0 \\ 0.625\text{V} \cdot e^{-\frac{t}{100\mu\text{s}}}, & \text{za } t > 0 \end{cases}$$

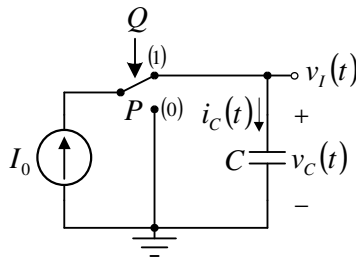


5. U kolu sa slike digitalni signal Q upravlja prekidačem P i to na način da za $Q=1$ prekidač se nalazi u položaju 1, a za $Q=0$ prekidač se nalazi u položaju 0. U trenutku $t=0$ kondenzator je prazan (tj. napon na njemu je jednak nuli). Vremenski dijagram digitalnog signala Q je prikazan na slici. Ako je $C = 1\text{nF}$ i $I_0 = 10\mu\text{A}$, odrediti i nacrtati vremenski oblik napona $v_I(t)$.



Rešenje:

Kada je prekidač P u položaju 0, kondenzator nije povezan sa ostatkom kola i grana u kojoj se nalazi „visi“. Zbog toga kroz kondenzator ne protiče struja, što znači da je napon na kondenzatoru konstantan, što se može zaključiti iz jednačine koja povezuje napon na kondenzatoru i struju kroz kondenzator:



$$i_C(t) = C \cdot \frac{dv_C(t)}{dt}, \text{ pa je za } i_C(t) = 0 \Rightarrow v_C(t) = \text{const}$$

S obzirom da je po uslovu zadatka $v_C(0^-) = v_C(0^+) = v_C(0) = 0$, može se zaključiti da je za $t < 0$:

$$v_I(t) = 0 = \text{const}$$

Za $0 < t < 1\text{ms}$ je prekidač P u položaju 1, tako da konstantna struja puni kondenzator. S obzirom da je tada $i_C(t) = I_0 = \text{const}$ i $v_C(t) = v_I(t)$, iz jednačine:

$$i_C(t) = C \cdot \frac{dv_C(t)}{dt}$$

$$\text{sledi: } I_0 = C \cdot \frac{dv_I(t)}{dt} = \text{const.}$$

Rešavanjem te jednačine se dobija:

$$v_I(t) = v_I(0^+) + I_0 \cdot \frac{t}{C} = \frac{I_0}{C} \cdot t, \text{ tj.}$$

$$v_I(t) = 10^4 t, \text{ za } 0 < t < 1\text{ms}$$

Nakon prebacivanja prekidača P u položaj 0 u trenutku $t = 1\text{ms}$, kondenzator ponovo nije povezan sa ostatkom kola i grana u kojoj se nalazi „visi“ (i takvo stanje se zadržava u intervalu $1\text{ms} < t < 4\text{ms}$). Zbog toga kroz kondenzator ne protiče struja, što znači da je napon na kondenzatoru konstantan, tj.

$$v_I(t) = v_I(1\text{ms}) = 10\text{V} = \text{const}, \text{ za } 1\text{ms} < t < 4\text{ms}.$$

Za $4\text{ms} < t < 5.5\text{ms}$ je prekidač P ponovo u položaju 1, tako da konstantna struja puni kondenzator. S obzirom da je tada $i_C(t) = I_0 = \text{const}$ i $v_C(t) = v_I(t)$, iz jednačine:

$$i_C(t) = C \cdot \frac{dv_C(t)}{dt}$$

$$\text{sledi: } I_0 = C \cdot \frac{dv_I(t)}{dt} = \text{const}.$$

Rešavanjem te jednačine se dobija:

$$v_I(t) = v_I(4\text{ms}) + \frac{I_0}{C} \cdot (t - 4\text{ms}), \text{ tj.}$$

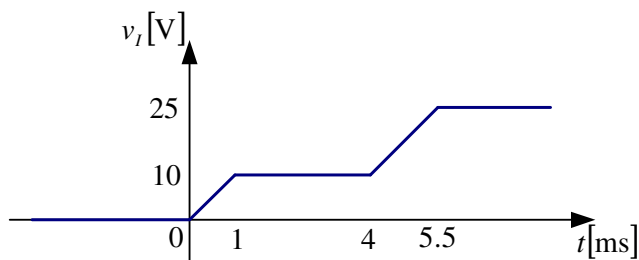
$$v_I(t) = 10\text{V} + 10^4 \cdot (t - 4\text{ms}), \text{ za } 4\text{ms} < t < 5.5\text{ms}.$$

Nakon ponovnog prebacivanja prekidača P u položaj 0 u trenutku $t = 5.5\text{ms}$, kondenzator ponovo nije povezan sa ostatkom kola i kroz njega ne protiče struja, što znači da je napon na kondenzatoru konstantan, tj.

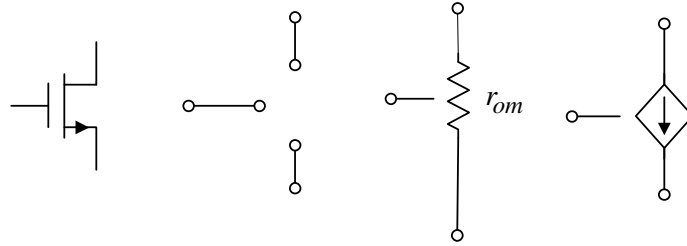
$$v_I(t) = v_I(5.5\text{ms}) = 25\text{V} = \text{const}, \text{ za } t > 5.5\text{ms}$$

Dakle, konačno je:

$$v_I(t) = \begin{cases} 0 = \text{const}, & \text{za } t < 0 \\ 10^4 t, & \text{za } 0 < t < 1\text{ms} \\ 10\text{V} = \text{const}, & \text{za } 1\text{ms} < t < 4\text{ms} \\ 10\text{V} + 10^4 \cdot (t - 4\text{ms}), & \text{za } 4\text{ms} < t < 5.5\text{ms} \\ 25\text{V} = \text{const}, & \text{za } t > 5.5\text{ms} \end{cases}$$



MOS tranzistor kao prekidač



- Režimi rada NMOS tranzistora (zakočenje, zasićenje i triodna oblast):

$$I_D = \begin{cases} \approx 0, & V_{GS} < V_T \\ \frac{B}{2}(V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \approx \frac{B}{2}(V_{GS} - V_T)^2, & V_{GS} > V_T, V_{DS} \geq V_{GS} - V_T \\ \frac{B}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2], & V_{GS} > V_T, V_{DS} < V_{GS} - V_T \end{cases}$$

- Kada je u triodnoj oblasti, NMOS kao prekidač je zatvoren (otpornost prekidača je r_{om}):

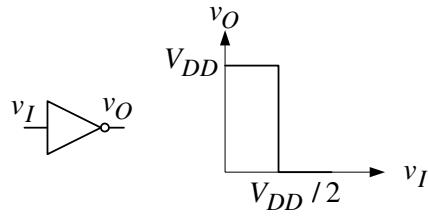
$$I_D = \frac{B}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \approx B(V_{DD} - V_T)V_{DS} = \frac{V_{DS}}{r_{om}}$$

- Kada je zakočen, NMOS kao prekidač je otvoren (otpornost prekidača je beskonačna):

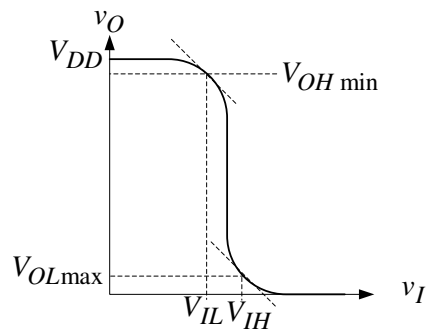
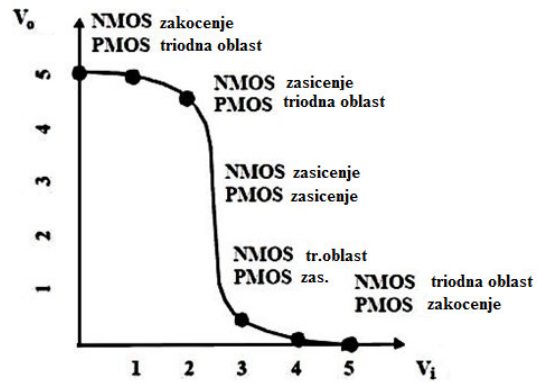
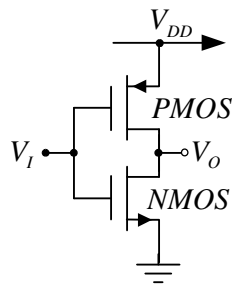
$$I_D = 0$$

CMOS inverter

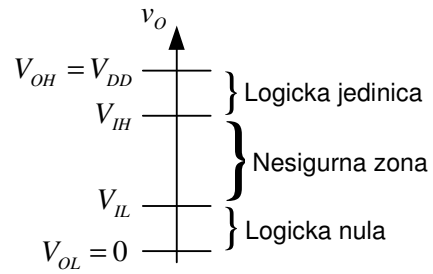
- idealni CMOS inverter



- realni CMOS inverter



- izlazni napon logičke jedinice: V_{OH}
- minimalni napon na ulazu koji kolo prepoznaje kao logičku jedinicu: V_{IH}
- izlazni napon logičke nule: V_{OL}
- maksimalni napon na ulazu koji kolo prepoznaje kao logičku nulu: V_{IL}
- margina šuma logičke jedinice: $V_{OH} - V_{IH}$
- margina šuma logičke nule: $V_{IL} - V_{OL}$

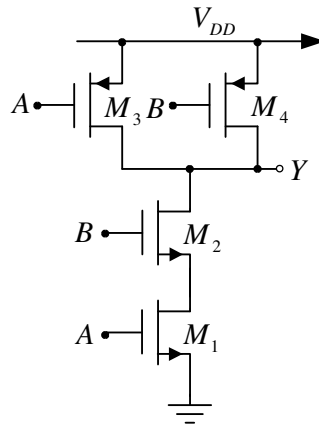


6. Prikazati realizaciju u CMOS logičkoj familiji i tabelarno predstaviti režime rada svih tranzistora u kolu za sve kombinacije vrednosti ulaznih signala:

- a) dvoulaznog NI logičkog kola;
- b) dvoulaznog NILI logičkog kola;
- c) troulaznog NI logičkog kola;
- d) troulaznog NILI logičkog kola.

Rešenje:

a) Dvoulazno NI logičko kolo je prikazano na sledećoj slici:

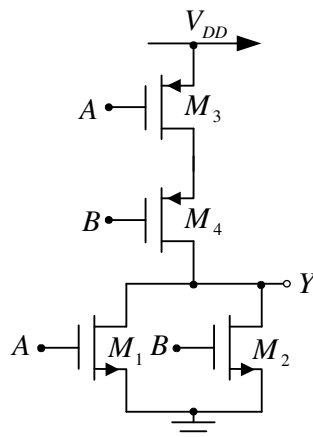


$$Y = \overline{A \cdot B}$$

A	B	M ₁	M ₂	M ₃	M ₄	Y
0	0	ZAK	ZAK	T.O.	T.O.	1
0	1	ZAK	T.O.	T.O.	ZAK	1
1	0	T.O.	ZAK	ZAK	T.O.	1
1	1	T.O.	T.O.	ZAK	ZAK	0

U tabeli je „T.O.“ skraćenica za triodnu oblast, a „ZAK“ je skraćenica za zakočenje tranzistora.

b) Dvoulazno NILI logičko kolo je prikazano na sledećoj slici:

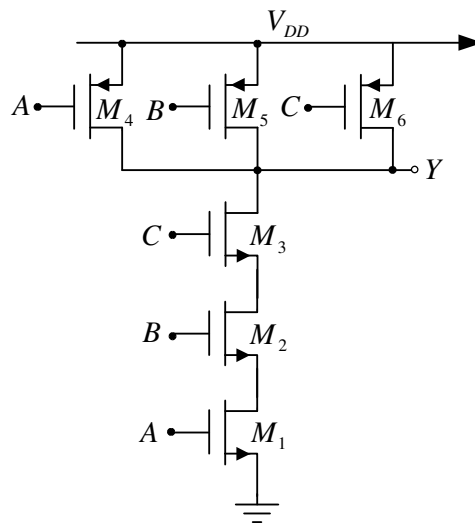


$$Y = \overline{A + B}$$

A	B	M ₁	M ₂	M ₃	M ₄	Y
0	0	ZAK	ZAK	T.O.	T.O.	1
0	1	ZAK	T.O.	T.O.	ZAK	0
1	0	T.O.	ZAK	ZAK	T.O.	0
1	1	T.O.	T.O.	ZAK	ZAK	0

U tabeli je „T.O.“ skraćenica za triodnu oblast, a „ZAK“ je skraćenica za zakočenje tranzistora.

c) Troulazno NI logičko kolo je prikazano na sledećoj slici:

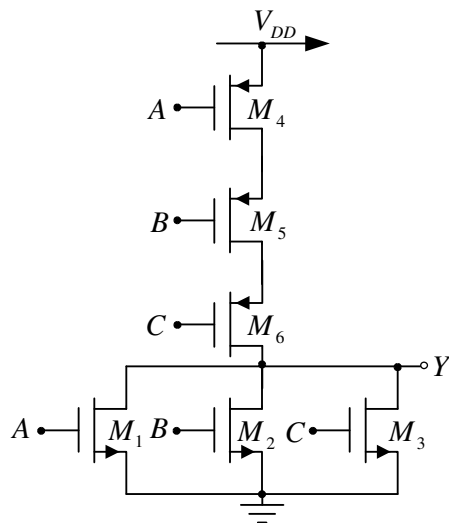


$$Y = \overline{A \cdot B \cdot C}$$

A	B	C	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	Y
0	0	0	ZAK	ZAK	ZAK	T.O.	T.O.	T.O.	1
0	0	1	ZAK	ZAK	T.O.	T.O.	T.O.	ZAK	1
0	1	0	ZAK	T.O.	ZAK	T.O.	ZAK	T.O.	1
0	1	1	ZAK	T.O.	T.O.	T.O.	ZAK	ZAK	1
1	0	0	T.O.	ZAK	ZAK	ZAK	T.O.	T.O.	1
1	0	1	T.O.	ZAK	T.O.	ZAK	T.O.	ZAK	1
1	1	0	T.O.	T.O.	ZAK	ZAK	ZAK	T.O.	1
1	1	1	T.O.	T.O.	T.O.	ZAK	ZAK	ZAK	0

U tabeli je „T.O.“ skraćenica za triodnu oblast, a „ZAK“ je skraćenica za zakočenje tranzistora.

d) Troulazno NILI logičko kolo je prikazano na sledećoj slici:



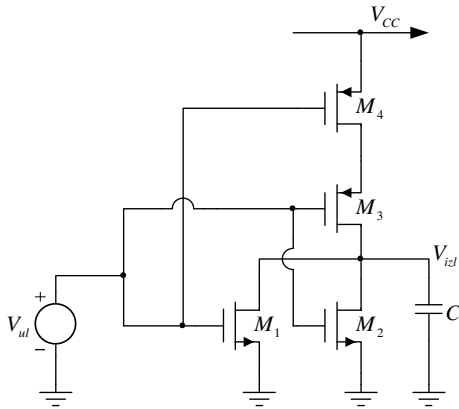
$$Y = \overline{A + B + C}$$

A	B	C	M_1	M_2	M_3	M_4	M_5	M_6	Y
0	0	0	ZAK	ZAK	ZAK	T.O.	T.O.	T.O.	1
0	0	1	ZAK	ZAK	T.O.	T.O.	T.O.	ZAK	0
0	1	0	ZAK	T.O.	ZAK	T.O.	ZAK	T.O.	0
0	1	1	ZAK	T.O.	T.O.	T.O.	ZAK	ZAK	0
1	0	0	T.O.	ZAK	ZAK	ZAK	T.O.	T.O.	0
1	0	1	T.O.	ZAK	T.O.	ZAK	T.O.	ZAK	0
1	1	0	T.O.	T.O.	ZAK	ZAK	ZAK	T.O.	0
1	1	1	T.O.	T.O.	T.O.	ZAK	ZAK	ZAK	0

U tabeli je „T.O.“ skraćenica za triodnu oblast, a „ZAK“ je skraćenica za zakočenje tranzistora.

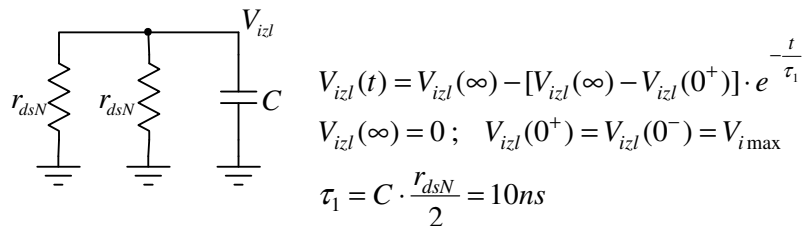
7. Izlaz dvoulaznog CMOS NILI kola je opterećen kondenzatorom $C=100\text{pF}$, dok su ulazi kratko spojeni i povezani na generator povorke pravougaonih impulsa V_{ul} , kao što je to prikazano na slici. Poznato je da se PMOS tranzistori u provodnom režimu mogu ekvivalentirati otpornostima $r_{dsP} = 50\ \Omega$, a u neprovodnom režimu sa $r_{dsP} \rightarrow \infty$, dok se NMOS tranzistori u provodnom režimu mogu ekvivalentirati otpornostima $r_{dsN} = 200\ \Omega$, a u neprovodnom režimu sa $r_{dsN} \rightarrow \infty$. Frekvencija pravougaonih impulsa je $f = 5\ \text{MHz}$, odnos impulsa/perioda je $n=50\%$, a amplituda impulsa je $5\ \text{V}$ (pri čemu je naponski nivo impulsa $5\ \text{V}$, a naponski nivo pauze $0\ \text{V}$). Kolo se napaja sa $V_{CC} = 5\ \text{V}$.

Izračunati i nacrtati talasni oblik napona na izlazu kola V_{izl} u ustaljenom stanju.



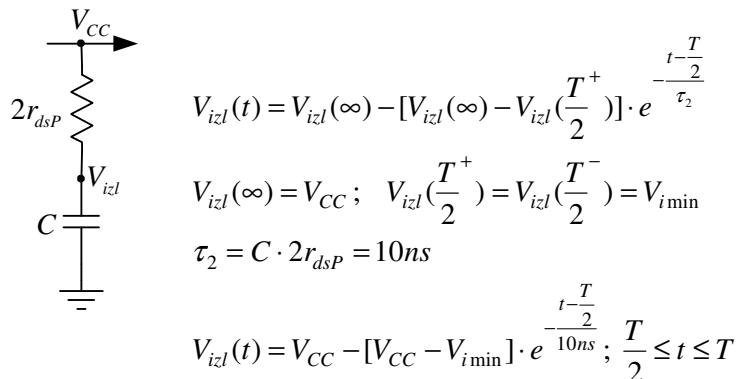
Rešenje:

Uspostavljanje logičke nule na izlazu:



$$V_{izl}(t) = V_{i\max} \cdot e^{-\frac{t}{10\text{ns}}}; \quad 0 \leq t \leq \frac{T}{2}; \quad T = \frac{1}{f} = 200\text{ns}$$

Uspostavljanje logičke jedinice na izlazu:



Iz uslova:

$$V_{izl}\left(\frac{T}{2}\right) = V_{i\min} \quad \text{i} \quad V_{izl}(T) = V_{i\max}$$

sledi:

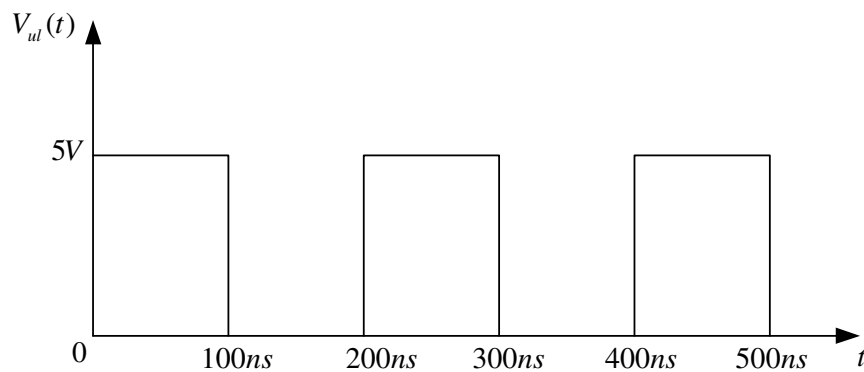
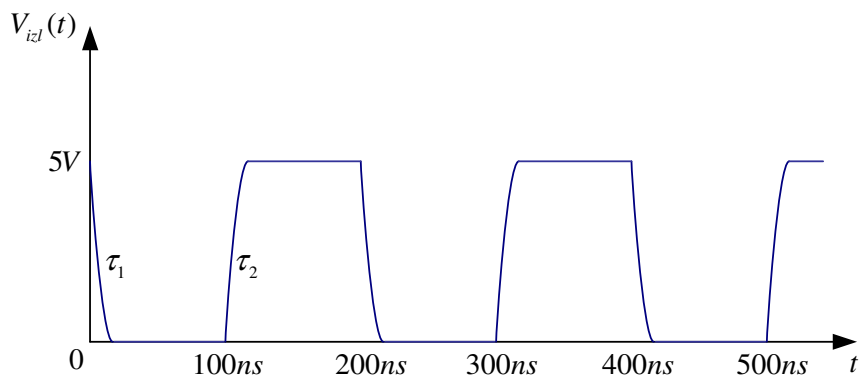
$$V_{i\min} = V_{i\max} \cdot e^{-\frac{T}{10ns}} \quad \text{i} \quad V_{i\max} = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{T}{10ns}}$$

Rešavanjem dobijenih jednačina po $V_{i\min}$ i $V_{i\max}$ se dobija:

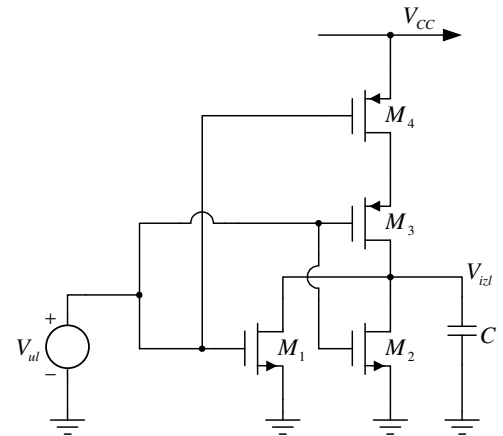
$$V_{i\max} = \frac{V_{CC}}{1 + e^{-10}} \approx 5V \quad \text{i} \quad V_{i\min} = \frac{e^{-10} \cdot V_{CC}}{1 + e^{-10}} \approx 0V$$

Dakle $V_{izl}(t)$ je periodičan signal sa periodom 200ns, a unutar intervala trajanja jedne periode važi:

$$V_{izl}(t) = 5V \cdot e^{-\frac{t}{10ns}} \quad \text{za} \quad 0 \leq t \leq 100ns \quad \text{i} \quad V_{izl}(t) = 5V - 5V \cdot e^{-\frac{t-100ns}{10ns}} \quad \text{za} \quad 100ns \leq t \leq 200ns.$$



8. Izlaz CMOS logičkog kola sa slike je opterećen kondenzatorom $C=100\text{pF}$, dok su ulazi kratko spojeni i povezani na naponski generator povorke pravougaonih impulsa V_{ul} . Frekvencija povorke pravougaonih impulsa je $f = 50\text{ MHz}$, sa jednakim trajanjem impulsa i pauze, dok je amplituda impulsa je 5 V (pri čemu je naponski nivo impulsa 5 V , a naponski nivo pauze 0 V). Kolo se napaja sa $V_{CC} = 5\text{ V}$. PMOS tranzistori u provodnom režimu se mogu ekvivalentirati sa otpornostima $r_{dsP} = 50\ \Omega$, a u neprovodnom režimu sa $r_{dsP} \rightarrow \infty$, dok se NMOS tranzistori u provodnom režimu mogu ekvivalentirati sa otpornostima $r_{dsN} = 200\ \Omega$, a u neprovodnom režimu sa $r_{dsN} \rightarrow \infty$.



Izračunati i nacrtati vremenski oblik napona na izlazu kola V_{izl} u ustaljenom stanju.

Rešenje:

Uspostavljanje logičke nule na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$V_{izl}(\infty) = 0; \quad V_{izl}(0^+) = V_{izl}(0^-) = V_{i\max}$$

$$\tau_1 = C \cdot \frac{r_{dsN}}{2} = 10\text{ ns}$$

$$V_{izl}(t) = V_{i\max} \cdot e^{-\frac{t}{10\text{ ns}}}; \quad 0 \leq t \leq \frac{T}{2}; \quad T = \frac{1}{f} = 20\text{ ns}$$

Uspostavljanje logičke jedinice na izlazu:

$$V_{izl}(t) = V_{izl}(\infty) - [V_{izl}(\infty) - V_{izl}(\frac{T}{2}^+)] \cdot e^{-\frac{t - \frac{T}{2}}{\tau_2}}$$

$$V_{izl}(\infty) = V_{CC}; \quad V_{izl}(\frac{T}{2}^+) = V_{izl}(\frac{T}{2}^-) = V_{i\min}$$

$$\tau_2 = C \cdot 2r_{dsP} = 10\text{ ns}$$

$$V_{izl}(t) = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{t - \frac{T}{2}}{10\text{ ns}}}; \quad \frac{T}{2} \leq t \leq T$$

Iz uslova:

$$V_{izl}(\frac{T}{2}) = V_{i\min} \quad \text{i} \quad V_{izl}(T) = V_{i\max}$$

sledi:

$$V_{i\min} = V_{i\max} \cdot e^{-\frac{T}{20\text{ ns}}} \quad \text{i} \quad V_{i\max} = V_{CC} - [V_{CC} - V_{i\min}] \cdot e^{-\frac{T}{20\text{ ns}}}$$

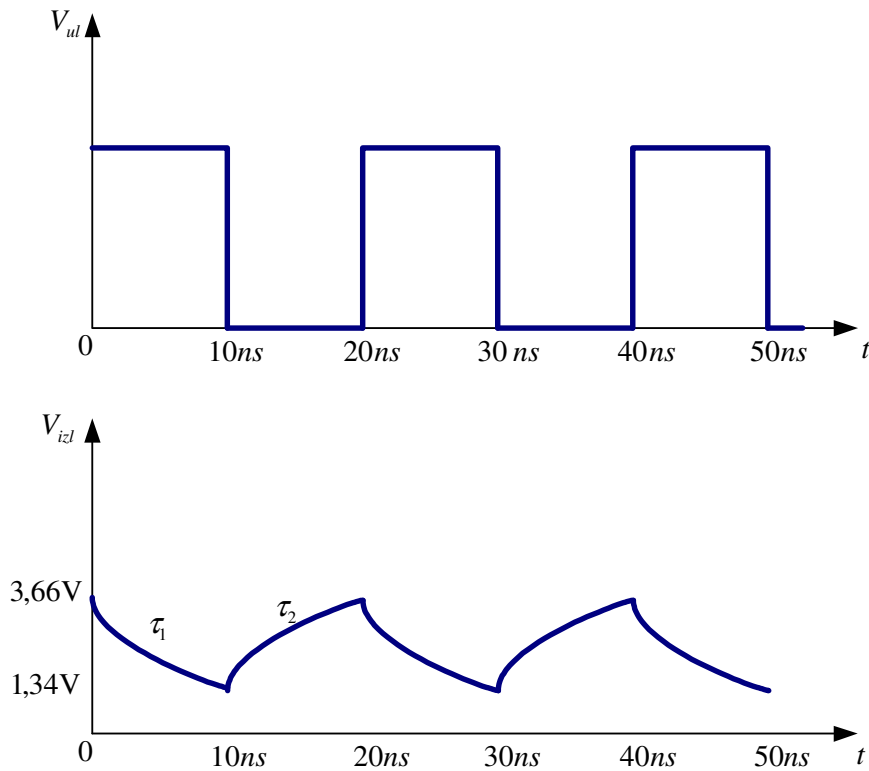
Rešavanjem dobijenih jednačina po $V_{i\min}$ i $V_{i\max}$ se dobija:

$$V_{i\max} = \frac{V_{CC}}{1 + e^{-1}} \approx 3,66\text{V} \quad \text{i} \quad V_{i\min} = \frac{e^{-1} \cdot V_{CC}}{1 + e^{-1}} \approx 1,34\text{V}$$

Dakle $V_{izl}(t)$ je periodičan signal sa periodom 20ns, a unutar intervala trajanja jedne periode važi:

$$V_{izl}(t) = 3,66\text{V} \cdot e^{-\frac{t}{10\text{ns}}} \quad \text{za} \quad 0 \leq t \leq 10\text{ns} \quad \text{i} \quad V_{izl}(t) = 5\text{V} - 3,66\text{V} \cdot e^{-\frac{t-10\text{ns}}{10\text{ns}}} \quad \text{za} \quad 10\text{ns} \leq t \leq 20\text{ns}.$$

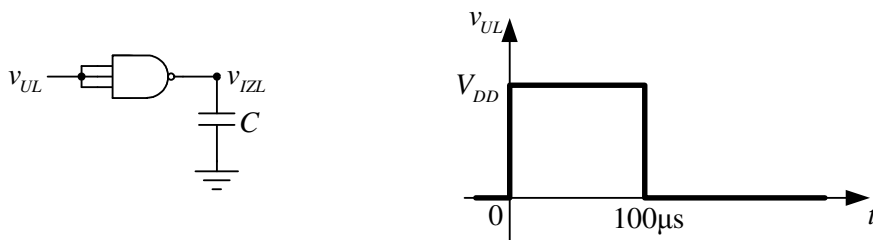
Vremenski oblici ulaznog i izlaznog signala su prikazani na sledećoj slici:



9. Ulazi trouglažnog CMOS NI kola su kratko spojeni, a izlaz je opterećen kondenzatorom kapacitivnosti $C = 20\text{pF}$ (kao na slici). Na ulaz v_{UL} se dovodi impuls trajanja $100\mu\text{s}$ prikazan na slici. Svaki od MOS tranzistora koji čine logičko kolo, u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine logičko kolo, u provodnom režimu ima otpornost od 20Ω između drejna i sorsa. Logičko kolo se napaja sa $V_{DD} = 5\text{V}$.

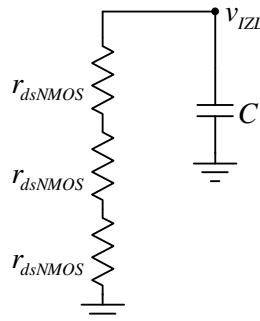
a) Ako su otpornosti između drejna i sorsa PMOS tranzistora u provodnom režimu međusobno jednake, odrediti njihovu vrednost tako da vremena trajanja usponske i silazne ivice u odzivu na pobudni impuls budu međusobno jednaka. Pod vremenom trajanja usponske (silazne) ivice signala na izlazu se podrazumeva vreme koje protekne od trenutka kada naponski nivo dostigne vrednost 10% (90%) od ukupne promene nivoa, do trenutka kada naponski nivo dostigne 90% (10%) od ukupne promene nivoa.

b) Pod uslovom iz tačke a) izračunati i nacrtati vremenski oblik napona v_{IZL} .

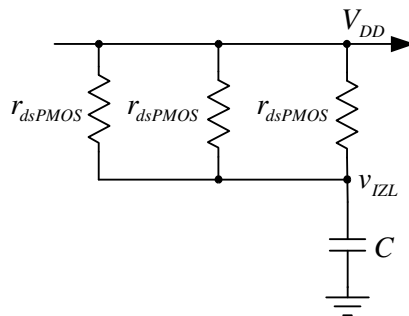


Rešenje:

a) Kada se nivo ulaznog signala promeni sa 0V na 5V, ekvivalentna šema kola je:



Kada se nivo ulaznog signala promeni sa 5V na 0V, ekvivalentna šema kola je:



Vremenska konstanta pražnjenja kondenzatora C (kada se naponski nivo na izlazu menja sa logičke jedinice na logičku nulu) je:

$$\tau_{SIL} = C \cdot 3r_{dsNMOS} = 1,2\text{ns} \text{ (što je mnogo kraće od vremena trajanja pobudnog impulsa).}$$

Vremenska konstanta punjenja kondenzatora C (kada se naponski nivo na izlazu menja sa logičke nule na logičku jedinicu) je:

$$\tau_{UZL} = C \cdot \frac{r_{dsPMOS}}{3}.$$

Da bi vremena trajanja usponske i silazne ivice u odzivu na pobudni impuls bila međusobno jednaka neophodno je da vremenske konstante τ_{SIL} i τ_{UZL} budu međusobno jednake. To će biti zadovoljeno ako je:

$$3 \cdot r_{dsNMOS} = \frac{r_{dsPMOS}}{3} \Rightarrow r_{dsPMOS} = 9 \cdot r_{dsNMOS} \Rightarrow r_{dsPMOS} = 180\Omega.$$

b) U ustaljenom stanju pre pojave pobudnog impulsa napon na izlazu logičkog kola je bio na nivou logičke jedinice (5V). Kada se nivo ulaznog signala promeni sa 0V na 5V, napon na izlazu logičkog kola se menja u skladu sa jednačinom:

$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(0^+)] \cdot e^{-\frac{t}{\tau_{SIL}}}$$

$$v_{IZL}(\infty) = 0; \quad v_{IZL}(0^+) = v_{IZL}(0^-) = V_{DD}$$

$$v_{IZL}(t) = V_{DD} \cdot e^{-\frac{t}{1,2ns}} = V_{DD} \cdot e^{-8,333 \cdot 10^8 \cdot t}; \quad 0 \leq t \leq 100\mu s;$$

Zbog toga što je $\tau_{SIL} \ll 100\mu s$, signal na izlazu logičkog kola će praktično dostići novu stacionarnu vrednost (0V) pre pojave silazne ivice pobudnog impulsa.

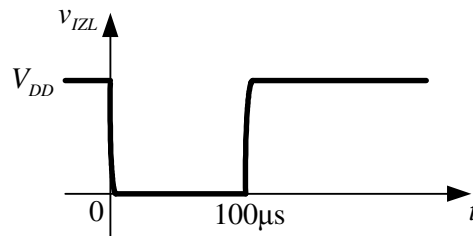
Kada se nivo ulaznog signala promeni sa 5V na 0V, napon na izlazu logičkog kola se menja u skladu sa jednačinom:

$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(t_0)] \cdot e^{-\frac{t-t_0}{\tau_{UZL}}}; \quad t_0 = 100\mu s;$$

$$v_{IZL}(\infty) = V_{DD}; \quad v_{IZL}(t_0^-) = v_{IZL}(t_0^+) = 0;$$

$$v_{IZL}(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t-t_0}{1,2ns}} = V_{DD}(1 - e^{-8,333 \cdot 10^8 \cdot (t-t_0)}); \quad t \geq 100\mu s.$$

Vremenski oblik izlaznog napona je prikazan na sledećoj slici:

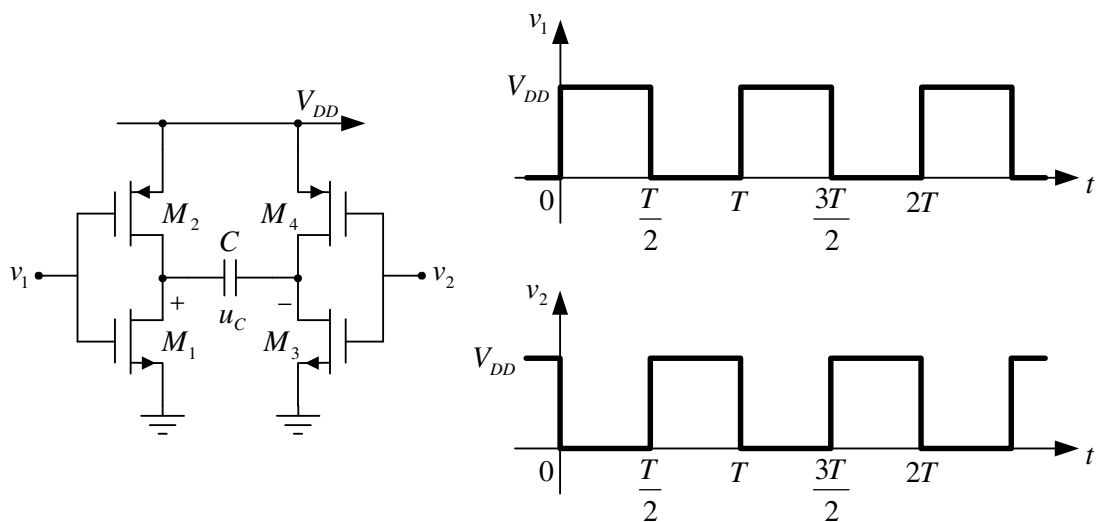


(NAPOMENA: silazna i uzlazna ivica signala v_{IZL} su eksponencijalnog karaktera, opisane gornjim jednačinama, iako se to na dijagramu manje jasno vidi).

10. CMOS invertori u kolu sa slike se napajaju sa $V_{DD} = 5V$. NMOS i PMOS tranzistori koji sačinjavaju invertore se u provodnom režimu mogu ekvivalentirati otpornostima $r_{ON} = 100\Omega$, a u neprovodnom režimu sa $r_{OFF} \rightarrow \infty$. Kapacitivnost kondenzatora povezanog na izlaze invertora je $50nF$. Na ulaz levog invertora se dovodi periodična povorka pravougaonih impulsa v_1 , a na ulaz desnog invertora se dovodi periodična povorka pravougaonih impulsa v_2 . Frekvencije obe povorke impulsa su $f = 1kHz$, ali su one međusobno fazno pomerene kao što je to prikazano na slici.

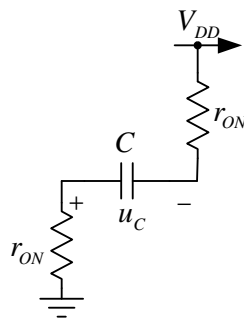
a) Izračunati i nacrtati vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju.

b) Ako se frekvencija oba ulazna signala v_1 i v_2 poveća na $f_1 = 1MHz$, skicirati (bez izračunavanja) i obrazložiti vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju.



Rešenje:

U vremenskom intervalu $0 < t < \frac{T}{2}$ (pri čemu je $T = \frac{1}{f} = 1ms$), tranzistori M_1 i M_4 su uključeni, a tranzistori M_2 i M_3 isključeni, tako da se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Jednačine koje opisuju napon na kondenzatoru su:

$$u_C(t) = u_C(\infty) - [u_C(\infty) - u_C(0^+)] \cdot e^{-\frac{t}{\tau_1}},$$

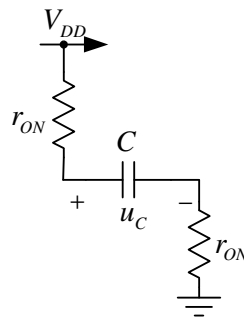
$$\tau_1 = 2r_{ON}C = 10\mu s,$$

$$u_C(\infty) = -V_{DD},$$

$$u_C(0^+) = u_C(0^-) = V_X.$$

Vrednost napona V_X će biti određena u daljem toku analize, na osnovu činjenice da se analiza vrši za ustaljeni režim i da je signal $u_C(t)$ periodičan.

U vremenskom intervalu $\frac{T}{2} < t < T$, tranzistori M_1 i M_4 su isključeni, a tranzistori M_2 i M_3 uključeni, tako da se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Jednačine koje opisuju napon na kondenzatoru su:

$$u_C(t) = u_C(\infty) - [u_C(\infty) - u_C\left(\left(\frac{T}{2}\right)^+\right)] \cdot e^{-\frac{t-\frac{T}{2}}{\tau_2}},$$

$$\tau_2 = 2r_{ON}C = 10\mu s,$$

$$u_C(\infty) = V_{DD},$$

$$u_C\left(\left(\frac{T}{2}\right)^+\right) = u_C\left(\left(\frac{T}{2}\right)^-\right) = -V_{DD},$$

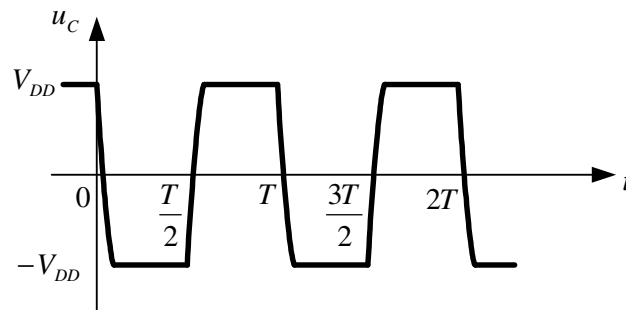
$$u_C(t) = V_{DD} - 2V_{DD} \cdot e^{-10^5(t-\frac{T}{2})} = 5V - 10V \cdot e^{-10^5(t-\frac{T}{2})}.$$

S obzirom na periodičnost signala $u_C(t)$, i činjenicu da je $\tau_1, \tau_2 \ll \frac{1}{f}$, vrednost $u_C(0^-) = V_X$ je vrlo približno jednaka vrednosti $u_C(\infty) = V_{DD}$ određenoj za interval $\frac{T}{2} < t < T$. Iz toga se može zaključiti da je $V_X = V_{DD}$, kao i:

$$u_C(t) = -V_{DD} + 2V_{DD} \cdot e^{-10^5 t} = -5V + 10V \cdot e^{-10^5 t}, \text{ za vremenski interval } 0 < t < \frac{T}{2}.$$

Vrednosti napona $u_C(t)$ izračunate za interval $0 < t < T$ se dalje periodično ponavljaju.

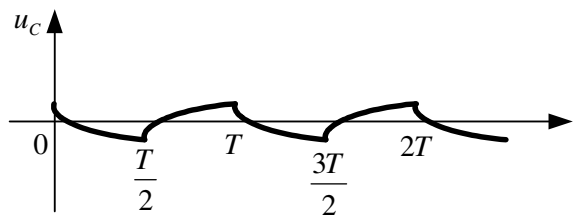
Vremenski dijagram napona $u_C(t)$ ima sledeći izgled:



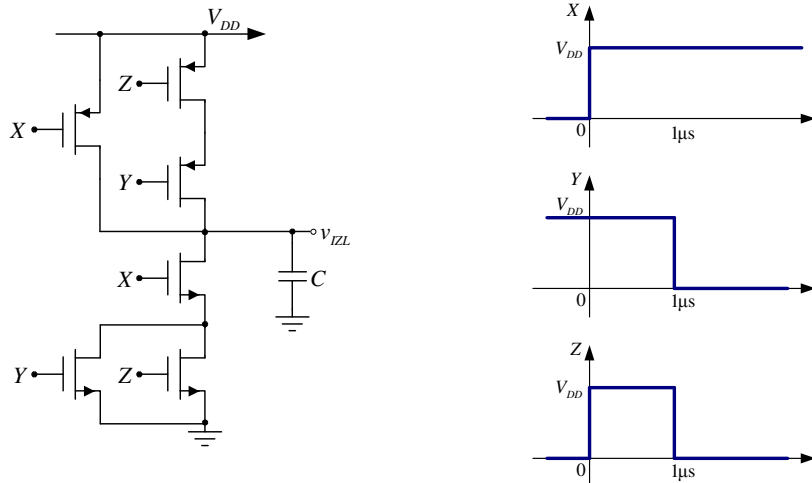
(NAPOMENA: silazne i uzlazne ivice signala $u_C(t)$ su eksponencijalnog karaktera, opisane gornjim jednačinama, iako se to na dijagramu manje jasno vidi).

b) Povećavanjem frekvencije ulaznih signala na $f_1 = 1\text{MHz}$, njihova perioda će postati ($T_1 = 1\mu\text{s}$) manja od vremenske konstante silazne i uzlazne ivice signala $u_C(t)$. To će imati za posledicu da tokom jedne poluperiode signal $u_C(t)$ neće moći da ni približno dostigne vrednosti $u_C(\infty)$ koje su određene pod tačkom a). Maksimalna i minimalna vrednost signala $u_C(t)$ će stoga biti bliske jedna drugoj i simetrične u odnosu na vremensku osu. Signal $u_C(t)$ će i dalje tokom svake poluperiode imati eksponencijalni karakter.

Skicirani vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju za frekvenciju ulaznih signala $f_1 = 1\text{MHz}$ je prikazan na sledećoj slici:

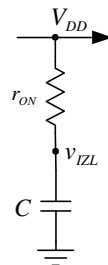


11. Na izlaz trouzadne CMOS logičke strukture je povezan kondenzator kapacitivnosti $C = 100\text{pF}$, kao što je to prikazano na slici. Na ulaze X, Y i Z se dovode signali čiji su vremenski oblici takođe prikazani na slici. Svaki od MOS tranzistora u prikazanoj strukturi ima otpornost između drejna i sorsa $r_{OFF} \rightarrow \infty$ u neprovodnom režimu, dok je ta otpornost u provodnom režimu $r_{ON} = 50\Omega$. Logička struktura se napaja sa $V_{DD} = 5\text{V}$. Izračunati i nacrtati vremenski oblik napona v_{IZL} . Smatrati da su svi ulazni signali bili u stacionarnom stanju dovoljno dugo pre trenutka $t = 0$.



Rešenje:

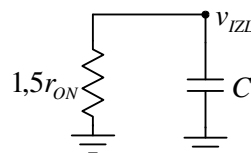
U stacionarnom stanju za $t < 0$ kolo se može predstaviti sledećom ekvivalentnom šemom:



Pošto u stacionarnom stanju struja ne protiče kroz kondenzator, napon na izlazu je konstantan i iznosi:

$$v_{IZL}(t) = V_{DD}, t < 0.$$

U trenutku $t = 0^+$, nakon što ulazni signali X i Z promene vrednosti napona, ekvivalentna šema kola postaje:



Nakon toga se kondenzator prazni sa vremenskom konstantom pražnjenja:

$$\tau_1 = C \cdot 1,5r_{ON} = 7,5\text{ns}.$$

Napon na izlazu se menja u skladu sa sledećom jednačinom:

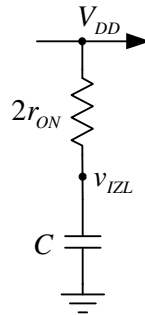
$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_{IZL}(\infty) = 0; \quad v_{IZL}(0^+) = v_{IZL}(0^-) = V_{DD}$$

$$v_{IZL}(t) = V_{DD} \cdot e^{-\frac{t}{7,5ns}} = 5V \cdot e^{-1,333 \cdot 10^8 \cdot t}; \quad 0 < t < 1\mu s;$$

Zbog toga što je $\tau_1 \ll 1\mu s$, signal na izlazu logičkog kola će praktično dostići novu stacionarnu vrednost (0V) pre naredne promene signala na ulazu (koja će se desiti u trenutku $t = 1\mu s$).

Nakon promene nivoa ulaznih signala Y i Z u trenutku $t = 1\mu s$, ekvivalentna šema kola postaje:



Nakon toga se kondenzator puni sa vremenskom konstantom punjenja:
 $\tau_2 = C \cdot 2r_{ON} = 10ns$.

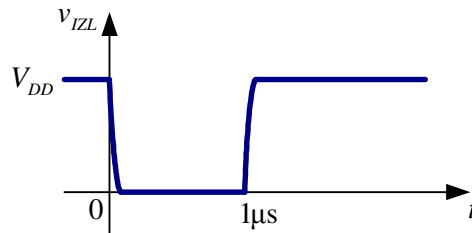
Napon na izlazu se menja u skladu sa sledećom jednačinom:

$$v_{IZL}(t) = v_{IZL}(\infty) - [v_{IZL}(\infty) - v_{IZL}(t_0)] \cdot e^{-\frac{t-t_0}{\tau_2}}; \quad t_0 = 1\mu s;$$

$$v_{IZL}(\infty) = V_{DD}; \quad v_{IZL}(t_0^-) = v_{IZL}(t_0^+) = 0;$$

$$v_{IZL}(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t-t_0}{10ns}} = V_{DD}(1 - e^{-\frac{t-t_0}{10ns}}) = 5V(1 - e^{-10^8 \cdot (t-t_0)}); \quad t > 1\mu s.$$

Vremenski oblik izlaznog napona je prikazan na sledećoj slici:

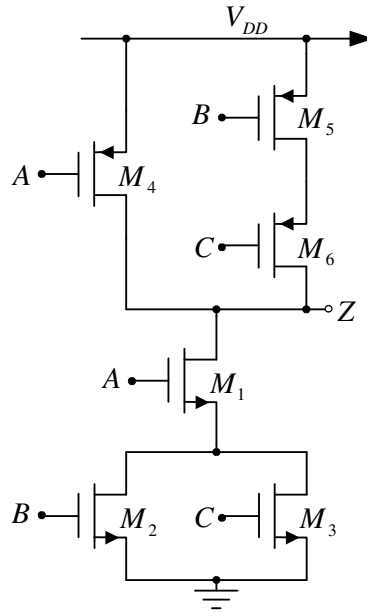


(NAPOMENA: silazna i uzlazna ivica signala v_{IZL} su eksponencijalnog karaktera, opisane gornjim jednačinama, iako se to na dijagramu manje jasno vidi).

12. a) Izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju:
 $Z = A \cdot (B + C)$.
- b) Tabelačno predstaviti režime rada svih tranzistora u kolu za sve kombinacije vrednosti ulaznih signala.

Rešenje:

- a) Traženo logičko kolo je prikazano na sledećoj slici:



- b)

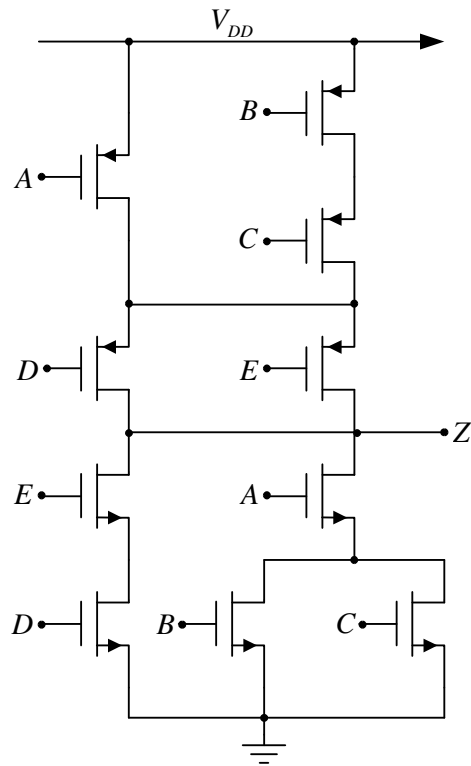
A	B	C	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	Z
0	0	0	ZAK	ZAK	ZAK	T.O.	T.O.	T.O.	1
0	0	1	ZAK	ZAK	T.O.	T.O.	T.O.	ZAK	1
0	1	0	ZAK	T.O.	ZAK	T.O.	ZAK	T.O.	1
0	1	1	ZAK	T.O.	T.O.	T.O.	ZAK	ZAK	1
1	0	0	T.O.	ZAK	ZAK	ZAK	T.O.	T.O.	1
1	0	1	T.O.	ZAK	T.O.	ZAK	T.O.	ZAK	0
1	1	0	T.O.	T.O.	ZAK	ZAK	ZAK	T.O.	0
1	1	1	T.O.	T.O.	T.O.	ZAK	ZAK	ZAK	0

U tabeli je „T.O.“ skraćenica za triodnu oblast, a „ZAK“ je skraćenica za zakočenje tranzistora.

13. Izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju:
 $Z = A \cdot (B + C) + D \cdot E$

Rešenje:

Traženo logičko kolo je prikazano na sledećoj slici:



14. a) Primenom teorema Bulove algebre, uprostiti izraz $Y = \overline{B} \cdot \overline{(A+D)} \cdot \overline{C} + A \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot \overline{C}$ tako da se u njemu svaka od promenljivih pojavljuje što je moguće manji broj puta.
- b) Isprojektovati statičko CMOS kolo koje realizuje funkciju dobijenu pod tačkom a). Prilikom projektovanja traženog kola potrebno je koristiti minimalan broj NMOS i PMOS tranzistora.

Rešenje:

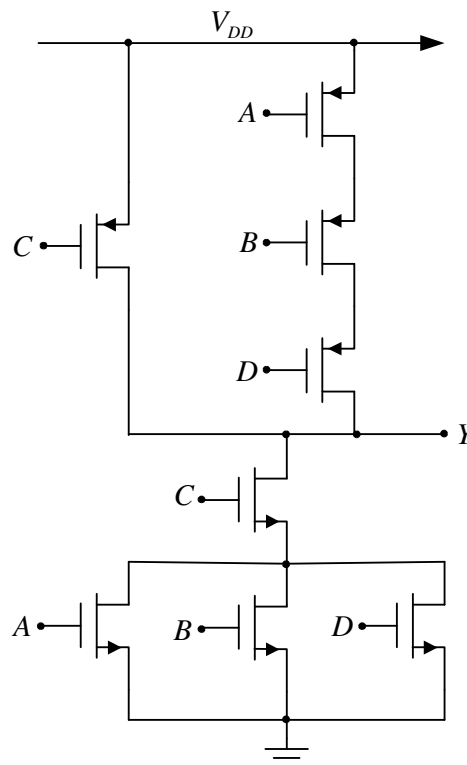
a) Dati izraz se primenom teorema Bulove algebre može uprostiti na sledeći način:

$$Y = \overline{B} \cdot \overline{(A+D)} \cdot \overline{C} + A \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot \overline{C} = \overline{B} \cdot (\overline{A \cdot D} + \overline{C}) + B \cdot \overline{C} \cdot (A + \overline{A}) = \overline{B} \cdot (\overline{A \cdot D} + \overline{C}) + B \cdot \overline{C}$$

Dalje je:

$$Y = \overline{B} \cdot \overline{A \cdot D} + \overline{B} \cdot \overline{C} + B \cdot \overline{C} = \overline{B} \cdot \overline{A \cdot D} + \overline{C} \cdot (\overline{B} + B) = \overline{B} \cdot \overline{A \cdot D} + \overline{C} = \overline{(A+B+D)} \cdot \overline{C}$$

b) Statičko CMOS kolo koje realizuje funkciju $Y = \overline{(A+B+D)} \cdot \overline{C}$ prikazano je na sledećoj slici:



15. a) Koristeći minimalan broj potrebnih NMOS i PMOS tranzistora isprojektovati statičko CMOS logičko kolo koje realizuje sledeću logičku funkciju:

$$F = \overline{A} \cdot \overline{B} \cdot \overline{E} + \overline{C} \cdot \overline{D}$$

b) Poznato je da je otpornost svih tranzistora iz tačke a) kada su isključeni $r_{N_OFF} = r_{P_OFF} \rightarrow \infty$ i da je otpornost svakog od PMOS tranzistora kada su uključeni $r_{P_ON} = 50\Omega$. Poznato je i da svi NMOS tranzistori imaju međusobno jednaku otpornost r_{N_ON} kada su uključeni. Ako se između izlaza kola iz tačke a) i mase poveže kondenzator kapacitivnosti C , odrediti r_{N_ON} tako da se punjenje i pražnjenje kondenzatora, u slučajevima kada su ti procesi najsporiji, vrši sa međusobno jednakim vremenskim konstantama.

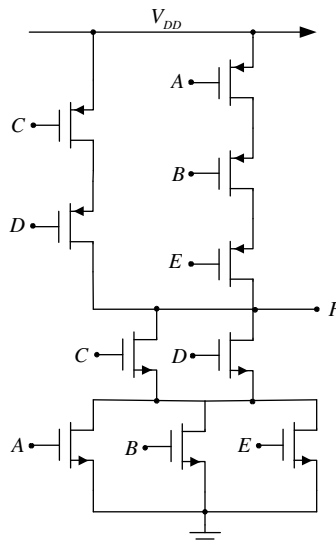
Rešenje:

a) Primenom teorema Bulove algebre, dati izraz se može transformisati na sledeći način:

$$F = \overline{A} \cdot \overline{B} \cdot \overline{E} + \overline{C} \cdot \overline{D} = \overline{\overline{\overline{\overline{\overline{\overline{\overline{\overline{A}} \cdot \overline{B} \cdot \overline{E} + \overline{C} \cdot \overline{D}}}}}}}}}} = \overline{(A + B + E) \cdot (C + D)},$$

i time svesti na oblik pogodan za direktnu realizaciju odgovarajućeg statičkog CMOS logičkog kola.

Traženo kolo je prikazano na sledećoj slici:



b) Punjenje kondenzatora prikačenog na izlaz logičkog kola iz prethodne tačke će biti najsporije u slučaju kada su PMOS tranzistori na čije su gejtove dovedeni signali A, B i E uključeni, a preostala dva PMOS tranzistora isključeni (jer je tada najveća dinamička otpornost koju vidi kondenzator C). Tada vremenska konstanta punjenja kondenzatora iznosi:

$$\tau_{pu} = 3r_{P_ON} \cdot C.$$

Pražnjenje kondenzatora prikačenog na izlaz logičkog kola iz prethodne tačke će biti najsporije u slučaju kada je tačno jedan od NMOS tranzistora na čije su gejtove

dovedeni signali C ili D uključen i kada je tačno jedan od NMOS tranzistora na čije su gejtove dovedeni signali A, B ili E uključen, a preostali NMOS tranzistori isključeni (jer je tada najveća dinamička otpornost koju vidi kondenzator C). Tada vremenska konstanta pražnjenja kondenzatora iznosi:

$$\tau_{pr} = 2r_{N_ON} \cdot C.$$

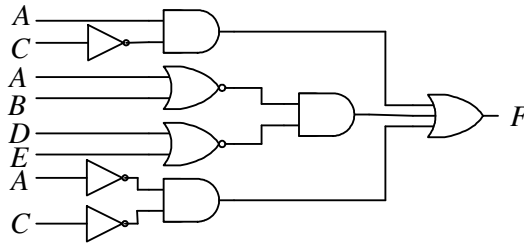
Iz uslova $\tau_{pu} = \tau_{pr}$, sledi:

$$3r_{P_ON} \cdot C = 2r_{N_ON} \cdot C,$$

$$3r_{P_ON} = 2r_{N_ON},$$

$$r_{N_ON} = \frac{3r_{P_ON}}{2} = 75\Omega.$$

16. a) Odrediti prekidačku funkciju koju realizuje kombinaciona mreža na slici.
 b) Isprojektovati statičko CMOS kolo koje realizuje funkciju dobijenu pod tačkom a). Prilikom projektovanja traženog kola potrebno je koristiti minimalan broj NMOS i PMOS tranzistora.



Rešenje:

- a) Prekidačka funkcija koju realizuje kombinaciona mreža sa slike je:

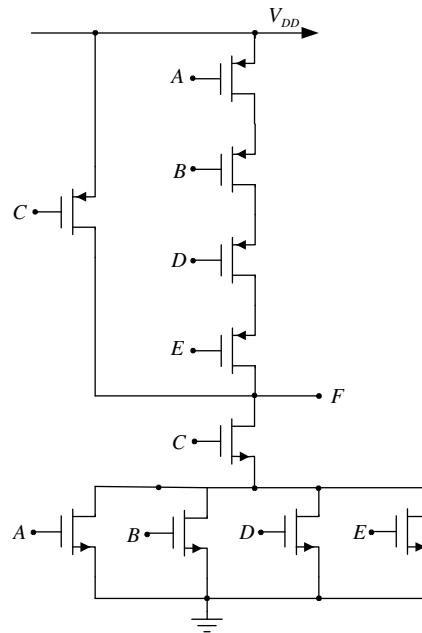
$$F = \bar{C} \cdot A + (\overline{A+B}) \cdot (\overline{D+E}) + \bar{C} \cdot \bar{A}$$

Dobijena prekidačka funkcija se primenom pravila Bulove algebre može transformisati na sledeći način:

$$F = \bar{C} \cdot A + (\overline{A+B}) \cdot (\overline{D+E}) + \bar{C} \cdot \bar{A} = \bar{C} \cdot A + \bar{A} \cdot \bar{B} \cdot \bar{D} \cdot \bar{E} + \bar{C} \cdot \bar{A} = \bar{A} \cdot \bar{B} \cdot \bar{D} \cdot \bar{E} + \bar{C} \cdot (\bar{A} + A)$$

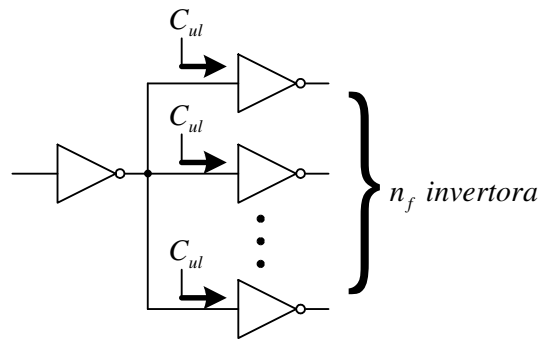
$$F = \bar{A} \cdot \bar{B} \cdot \bar{D} \cdot \bar{E} + \bar{C} = \overline{(A+B+D+E)} \cdot \bar{C}$$

- b) Traženo statičko CMOS kolo je:

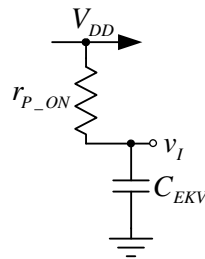


17. Napon napajanja CMOS invertora je $V_{DD} = 5V$, a njegova ulazna kapacitivnost je $C_{ul} = 1pF$. Minimalni napon na ulazu invertora koji se i dalje tumači kao logička jedinica je $V_{IH} = 3V$. PMOS tranzistor u invertoru u provodnom režimu se može ekvivalentirati sa otpornošću $r_{P_ON} = 200\Omega$, a u neprovodnom režimu sa $r_{P_OFF} \rightarrow \infty$, dok se NMOS tranzistor u provodnom režimu može ekvivalentirati sa otpornošću $r_{N_ON} = 400\Omega$, a u neprovodnom režimu sa $r_{N_OFF} \rightarrow \infty$. Odrediti faktor grananja n_f na izlazu invertora, ako se on računa kao broj ulaza istih takvih invertora koji se može vezati na njegov izlaz, tako da V_{IH} bude dostignuto za manje od $\Delta t = 50ns$ pri promeni izlaznog napona sa logičke nule na logičku jedinicu.

Rešenje:



Ekvivalentna šema invertora, na čiji je izlaz povezano n_f istih takvih invertora, u situaciji kada se napon na njegovom izlazu menja sa logičke nule na logičku jedinicu je prikazana na sledećoj slici:



Ekvivalentna kapacitivnost na izlazu prvog invertora se može predstaviti kao:

$$C_{EKV} = n_f C_{ul}$$

Izlazni napon tog invertora se može izraziti kao:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau}}$$

Pritom je:

$$\tau = r_{P_ON} \cdot C_{EKV} = r_{P_ON} \cdot n_f C_{ul},$$

$$v_I(0^+) = V_{OL} = 0,$$

$$v_I(\infty) = V_{DD},$$

tako da je:

$$v_I(t) = V_{DD} - (V_{DD} - V_{OL}) \cdot e^{-\frac{t}{r_{p_ON} \cdot n_f \cdot C_{ul}}} = V_{DD} \left(1 - e^{-\frac{t}{r_{p_ON} \cdot n_f \cdot C_{ul}}} \right)$$

Po uslovu zadatka mora biti:

$$v_I(\Delta t) \geq V_{IH},$$

tako da se dobija:

$$V_{DD} \left(1 - e^{-\frac{\Delta t}{r_{p_ON} \cdot n_f \cdot C_{ul}}} \right) \geq V_{IH}$$

$$e^{-\frac{\Delta t}{r_{p_ON} \cdot n_f \cdot C_{ul}}} \leq 1 - \frac{V_{IH}}{V_{DD}}$$

$$e^{\frac{\Delta t}{r_{p_ON} \cdot n_f \cdot C_{ul}}} \geq \frac{1}{1 - \frac{V_{IH}}{V_{DD}}}$$

$$\frac{\Delta t}{r_{p_ON} \cdot n_f \cdot C_{ul}} \geq \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right)$$

$$n_f \leq \frac{\Delta t}{r_{p_ON} \cdot C_{ul} \cdot \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right)}$$

$$n_f \leq 272.84$$

Konačno je (s obzirom da je n_f ceo broj):

$$n_f = 272$$

18. Napon napajanja CMOS invertora je $V_{DD} = 5V$. Minimalni napon na ulazu invertora koji se i dalje tumači kao logička jedinica je $V_{IH} = 3V$, a maksimalni napon na ulazu invertora koji se i dalje tumači kao logička nula je $V_{IL} = 2V$. PMOS tranzistor u invertoru u provodnom režimu se može ekvivalentirati sa otpornošću $r_{P_ON} = 200\Omega$, a u neprovodnom režimu sa $r_{P_OFF} \rightarrow \infty$, dok se NMOS tranzistor u provodnom režimu može ekvivalentirati sa otpornošću $r_{N_ON} = 400\Omega$, a u neprovodnom režimu sa $r_{N_OFF} \rightarrow \infty$.

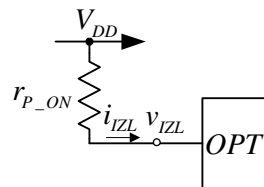
a) Koliko maksimalno segmenata LED displeja sa zajedničkom anodom može napajati ovaj invertor?

b) Koliko maksimalno segmenata LED displeja sa zajedničkom katodom može napajati ovaj invertor?

Svaki od segmenata LED displeja se može predstaviti rednom vezom otpornika $R = 1k\Omega$ i LED diode sa $V_D = 1.5V$.

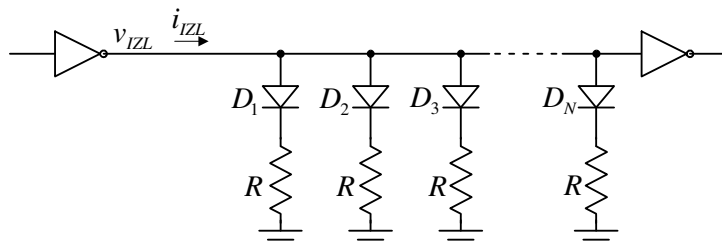
Rešenje:

a) Kada je na izlazu CMOS invertora prisutna logička jedinica, maksimalna dozvoljena izlazna struja $i_{IZL} = I_{OH}$ koja utiče u opterećenje OPT koje je povezano na izlaz invertora se može izračunati iz uslova da je izlazni napon pao na minimalnu vrednost koja se i dalje tumači kao logička jedinica $v_{IZL} = V_{IH}$:



$$i_{IZL} = \frac{V_{DD} - v_{IZL}}{r_{P_ON}} \Rightarrow I_{OH} = \frac{V_{DD} - V_{IH}}{r_{P_ON}} = 10mA$$

Segmenti LED displeja sa zajedničkom anodom povezani na izlaz invertora su prikazani na sledećoj slici:



Za analizu je bitan slučaj kada je na izlazu invertora (levi invertor na slici) logička jedinica, jer su tada LED diode uključene i odgovarajuća struja protiče kroz njih. Kada je na izlazu invertora logička nula, LED diode su isključene i struja ne protiče kroz njih.

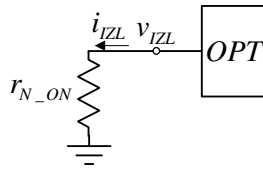
Što je veći broj segmenata LED displeja povezan na izlaz invertora, to je veća izlazna struja i_{IZL} , a izlazni napon v_{IZL} je manji, u situaciji kada je na izlazu invertora (levi invertor na slici) logička jedinica. U najkritičnijem slučaju, pri kome se izlazni napon i dalje tumači kao logička jedinica (od strane desnog invertora na slici) je $v_{IZL} = V_{IH}$ i $i_{IZL} = I_{OH}$.

$$I_{OH} = N \cdot \frac{V_{IH} - V_D}{R}$$

$$N = \frac{RI_{OH}}{V_{IH} - V_D} = 6.67$$

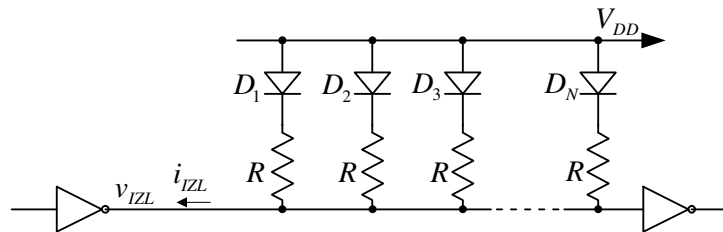
Dakle, maksimalni broj segmenata LED displeja sa zajedničkom anodom koji može napajati ovaj inverter je $N_{MAX} = 6$.

b) Kada je na izlazu CMOS invertora prisutna logička nula, maksimalna dozvoljena izlazna struja $i_{IZL} = I_{OL}$ koja utiče u izlaz CMOS invertora iz opterećenja *OPT* koje je povezano na izlaz invertora se može izračunati iz uslova da je izlazni napon porastao na maksimalnu vrednost koja se i dalje tumači kao logička nula $v_{IZL} = V_{IL}$:



$$i_{IZL} = \frac{v_{IZL} - 0}{r_{N_ON}} \Rightarrow I_{OL} = \frac{V_{IL} - 0}{r_{N_ON}} = 5\text{mA}$$

Segmenti LED displeja sa zajedničkom katodom povezani na izlaz invertora su prikazani na sledećoj slici:



Za analizu je bitan slučaj kada je na izlazu invertora (levi inverter na slici) logička nula, jer su tada LED diode uključene i odgovarajuća struja protiče kroz njih. Kada je na izlazu invertora logička jedinica, LED diode su isključene i struja ne protiče kroz njih.

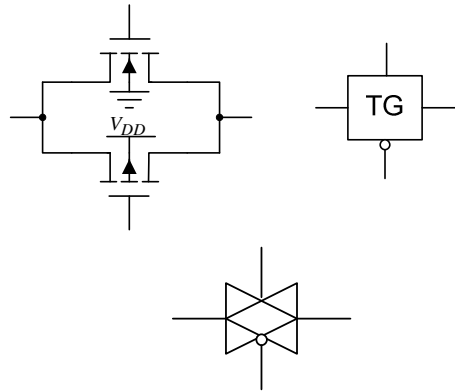
Što je veći broj segmenata LED displeja povezan na izlaz invertora, to je veća izlazna struja i_{IZL} , i izlazni napon v_{IZL} je veći, u situaciji kada je na izlazu invertora (levi inverter na slici) logička nula. U najkritičnijem slučaju, pri kome se izlazni napon i dalje tumači kao logička nula (od strane desnog invertora na slici) je $v_{IZL} = V_{IL}$ i $i_{IZL} = I_{OL}$.

$$I_{OL} = N \cdot \frac{V_{DD} - V_D - V_{IL}}{R}$$

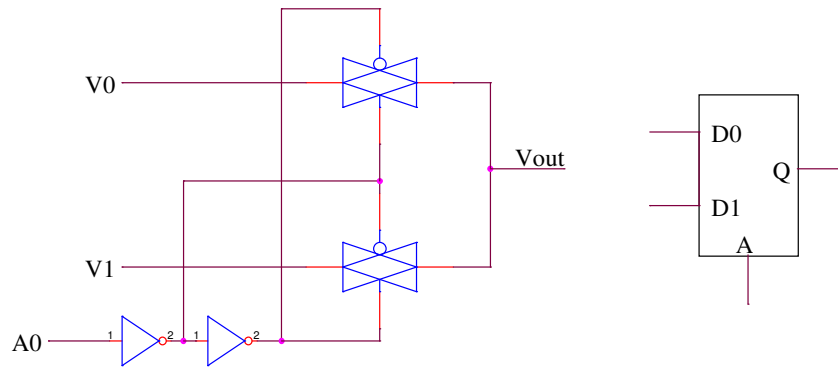
$$N = \frac{RI_{OL}}{V_{DD} - V_D - V_{IL}} = 3.33$$

Dakle, maksimalni broj segmenata LED displeja sa zajedničkom katodom koji može napajati ovaj inverter je $N_{MAX} = 3$.

Bilateralni prekidač (transmisioni gejt)

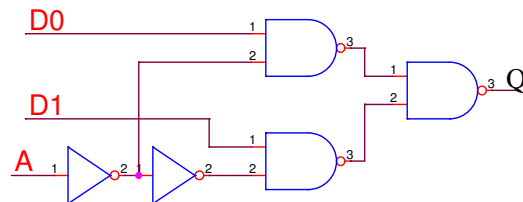


Analogni multiplekser 2/1 (realizacija pomoću serijske logike)



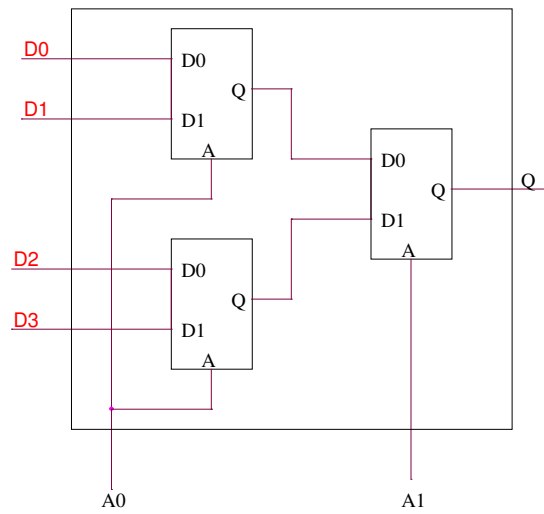
$$n_{tran} = 2 \times 2|_{prekidaci} + 2 \times 2|_{invertori} = 8$$

Multiplekser 2/1 realizovan standardnim logičkim kolima



$$n_{tran} = 3 \times 4|_{NI} + 2 \times 2|_{invertori} = 16$$

Multiplekser 4/1



- za realizaciju pomoću serijske logike:

$$n_{tran} = 3 \times 4|_{prekidaci} + 2 \times 4|_{invertori} = 20$$

- za realizaciju standardnim logičkim kolima:

$$n_{tran}^* = 3 \times 12|_{NI} + 2 \times 4|_{invertori} = 44$$