

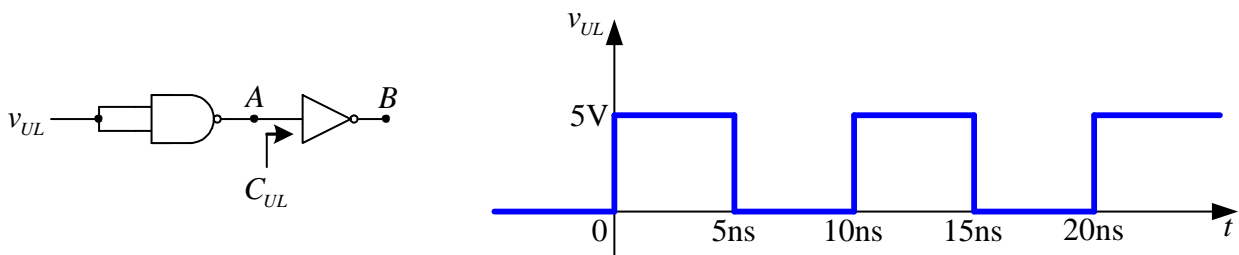
**NAPOMENA:**

Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci rađeni.

1. a) [5] Za slučaj nebaferisanog CMOS invertora skicirati jednosmernu prenosnu karakteristiku.
- b) [5] Na karakteristici iz tačke a) skicirati karakteristične zone, i naznačiti stanje tranzistora u svakoj od zona.
- c) [6] Objasniti pojmove  $V_{IL}$  i  $V_{OH}$ .
- d) [4] Nacrtati dvoulazno NI kolo.

2. a) [10] Za logičko CMOS kolo objasniti i dati formule za dinamičku disipaciju.
- b) [5] Nacrtati CMOS bilateralni prekidač i objasniti kako radi.
- c) [5] Nacrtati realizaciju multipleksa 2/1 korišćenjem bilateralnih prekidača i invertora.

3. a) [25] Ulazi dvoulaznog CMOS NI kola su kratko spojeni, a na njegov izlaz je povezan CMOS invertor, kao što je prikazano na slici. Ekvivalentna ulazna kapacitivnost invertora je  $C_{UL} = 50\text{pF}$ . Na ulaz  $v_{UL}$  se dovodi povorka pravougaonih impulsa (logičkih nula i jedinica) frekvencije  $f = 100\text{MHz}$ , sa jednakim trajanjem impulsa i pauze, kao što je prikazano na slici. Svaki od MOS tranzistora koji čine NI logičko kolo u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsNMOS} = 50\Omega$ , dok svaki od PMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsPMOS} = 200\Omega$ . Logička kola se napajaju sa  $V_{DD} = 5\text{V}$ . Izračunati i nacrtati vremenski oblik napona u tački A u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.
- b) [5] Ako se invertor, osim ulazne kapacitivnosti ponaša kao idealan (sa naponom praga  $V_T = V_{DD}/2$  i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.



4. a) [20] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju  $Z = \overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{E}$ .
- b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost kanala  $r_{dsNMOS} = 20\Omega$ , i da svaki od PMOS tranzistora u provodnom režimu ima otpornost kanala  $r_{dsPMOS} = 50\Omega$ . Ako se na izlaz kola poveže kondenzator kapacitivnosti  $C = 10\text{pF}$ , izračunati vremensku konstantu punjenja kondenzatora  $\tau_{pu}$  u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora  $\tau_{pr}$  u najsporijem slučaju.