

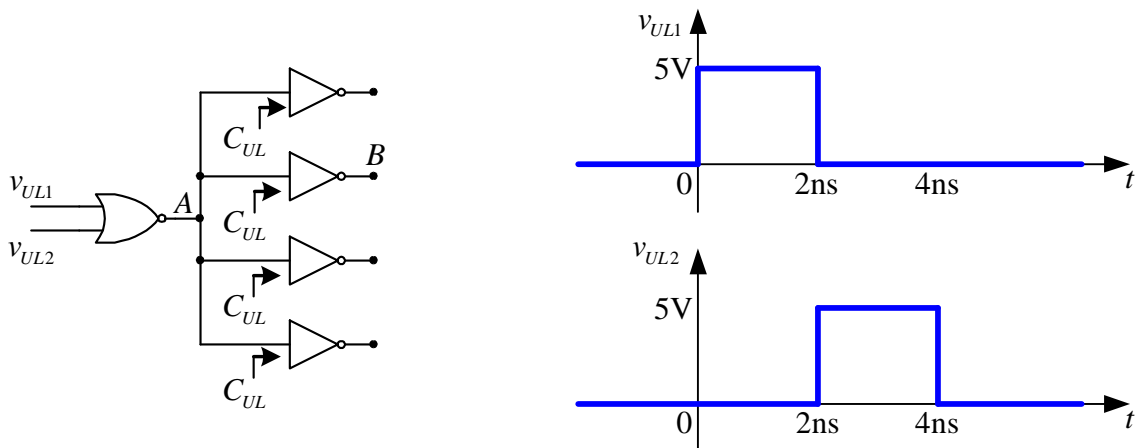
**NAPOMENA:**

Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci radeni.

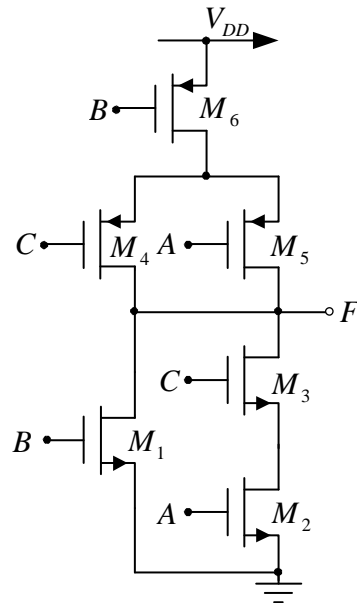
- 1. a) [7] Kolika je ulazna kapacitivnost NMOS tranzistora u funkciji  $C_{OX}$ ,  $\mu_P$ ,  $\mu_N$ ,  $W$ ,  $L$ ,  $|V_{GS}|=V_{DD}$ ,  $V_T$ , a kolika dvotranzistorskog CMOS invertora?
- b) [8] Izvesti formulu za vreme uspona kod integratora  $T_R = 2.2\tau$ .
- c) [5] Koje su vrednosti margina šuma logičkih kola, u funkciji  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$ ?

- 2. a) [10] Ako je idealnim CMOS invertorom (0 i 5V napajanje) potrebno upaliti 10 paralelnih LED dioda koje imaju pad napona od 1.4V i zahtevaju struju od 2mA svaka, nacrtati šemu i proračunati odgovarajuće otpornike ako se kao drajver diodnih struja koristi NPN tranzistor. Na raspolaganju je napajanje 5V, otpornici po izboru,  $\beta=100$ ,  $|V_{BE}|=0.7V$ ,  $|V_{CES}|=0.2V$ . Dioda se vezuju anodom prema napajanju.
- b) [10] Nacrtati električni simbol i objasniti princip funkcionisanja optokaplera. Kako se definiše zavisnost struje kolektora izlaznog tranzistora od struje diode?

- 3. a) [30] Na izlaz dvoulaznog CMOS NILI kola su povezana 4 CMOS invertora, kao što je to prikazano na slici. Svaki od invertora ima ekvivalentnu ulaznu kapacitivnost  $C_{UL} = 10pF$ . Na ulaze dvoulaznog CMOS NILI kola se dovode naponi  $v_{UL1}$  i  $v_{UL2}$ , čiji su vremenski dijagrami takođe prikazani na slici. Svaki od NMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsNMOS} = 50\Omega$ , dok svaki od PMOS tranzistora koji čine NILI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsPMOS} = 100\Omega$ . Logička kola se napajaju sa  $V_{DD} = 5V$ . Izračunati i nacrtati vremenski oblik napona u tački A.
- b) [10] Ako se invertori, sa izuzetkom ulazne kapacitivnosti, ponašaju kao idealni (sa naponom praga  $V_{DD}/2$  i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B.



4. a) [10] Za statičko CMOS logičko kolo sa slike, tabelarno predstaviti režime rada svih tranzistora u kolu i vrednosti izlaznog signala za sve kombinacije vrednosti ulaznih signala, a zatim odrediti logičku funkciju kola.



b) [10] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju  $Z = \overline{A \cdot B \cdot C \cdot (D + E)}$ .