

NAPOMENA:

Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci rađeni.

1. Dat je CMOS inverter sa karakteristikama: $V_{IH} = 3V$, $V_{IL} = 2V$, $V_{DD} = 5V$, za neopterećen inverter važi $V_{OH}(0) = V_{DD}$, $V_{OL}(0) = 0$, dok za opterećen važi $V_{OH}(5mA) = V_{IH}$ i $V_{OL}(-5mA) = V_{IL}$. Na izlaz invertora je povezan ulaz sledećeg istog takvog invertora, kao i LED preko otpornika $R = 10k\Omega$ prema masi. Pad napona na LED je $V_D = 0.7V$.

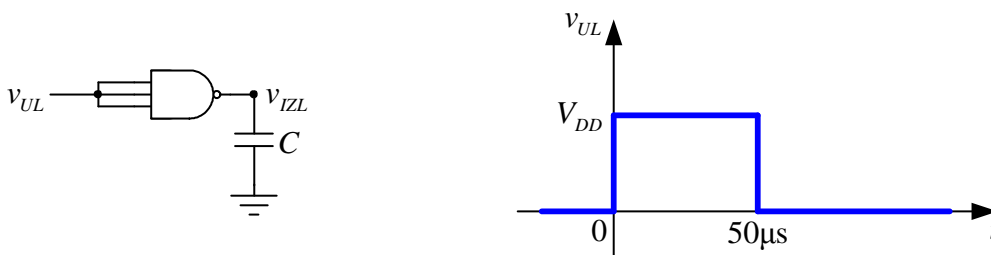
- [10] Odrediti statičke margine šuma na ulazu sledećeg logičkog kola.
- [10] Modifikovati mrežu sa LED koja se nalazi na izlazu invertora tako da margine šuma budu približno jednake.

2. a) [10] Realizovati kaskadni multiplekser 4/1 koristeći serijsku logiku. Voditi računa da su dekoderski invertori zajednički za jedan nivo multipleksiranja.

b) [10] Uporediti broj tranzistora potrebnih za realizaciju multipleksera sa brojem tranzistora koji bi imao isti takav multiplekser ako bi se realizovao sa standardnim logičkim kolima.

c) [10] Realizovati funkciju $y = x_1x_2 + x_1x_3$ korišćenjem serijske logike.

3. [30] Ulazi nebaferisanog trouzalnog CMOS NI kola su kratko spojeni, a izlaz je opterećen kondenzatorom kapacitivnosti $C = 20pF$ (kao na slici). Na ulaz v_{UL} se dovodi impuls trajanja $50\mu s$ prikazan na slici. Svaki od MOS tranzistora koji čine logičko kolo u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine logičko kolo u provodnom režimu ima otpornost od $r_{dsNMOS} = 20\Omega$ između drejna i sorsa, dok svaki od PMOS tranzistora koji čine logičko kolo u provodnom režimu ima otpornost od $r_{dsPMOS} = 180\Omega$ između drejna i sorsa. Logičko kolo se napaja sa $V_{DD} = 5V$. Izračunati i nacrtati vremenski oblik napona v_{IZL} .



4. a) [10] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju $Z = \overline{A} \cdot \overline{B} \cdot C \cdot (D + E)$.

b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost od $r_{dsNMOS} = 20\Omega$ između drejna i sorsa, i da svaki od PMOS tranzistora u provodnom režimu ima otpornost od $r_{dsPMOS} = 50\Omega$ između drejna i sorsa. Ako se na izlaz kola poveže kondenzator kapacitivnosti $C = 5pF$, izračunati vremensku konstantu punjenja kondenzatora τ_{pu} u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora τ_{pr} u najsporijem slučaju.