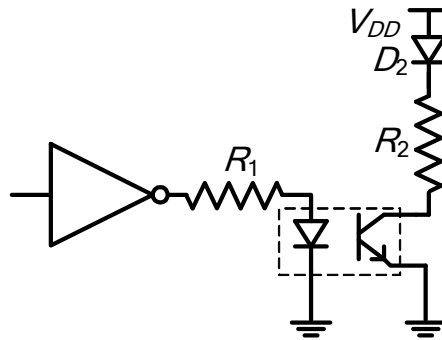


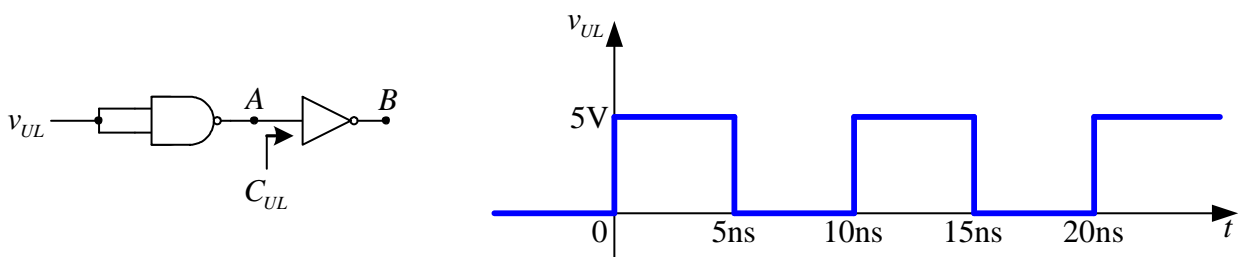
**NAPOMENA:**

Numerisati svaku stranu vežbanke u gornjem spoljašnjem uglu. Svaki zadatak početi na novoj stranici. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu vežbanke označiti koji su zadaci rađeni.

1. a) [5] Nacrtati trouglazno, nebaferisano, standardno CMOS NI kolo. Objasniti kako se realizuju zaštite ulaza i izlaza od prenapona.
  - b) [5] Nacrtati šemu trostatičkog CMOS invertora u diskretnoj tehnologiji i objasniti princip funkcionisanja.
  - c) [5] Nacrtati šemu trostatičkog CMOS invertora u integrisanoj tehnologiji i objasniti princip funkcionisanja.
2. a) [10] Ako je za jedan logički invertor  $I_{OH} = 2\text{mA}$ , a  $V_{IH} = 3.5\text{V}$ , pri  $V_{DD} = 5\text{V}$ , odrediti broj invertora koje treba povezati u paralelu da bi se upalila led dioda, a da se pritom margina šuma logičke jedinice ne smanji za više od 50%. Led dioda se pali strujom od 10mA, a pad napona na njoj je 1.4V.
  - b) [15] Ako se logički invertor iz a) koristi za paljenje optokaplera sa slike, čiji je  $CTR = 300\% \pm 30\%$  i ako je pad napona na optodiodi 1.4V, odrediti vrednosti otpornika  $R_1$  i  $R_2$  tako da se upali led dioda  $D_2$  strujom od 2mA, a da je pri tom tranzistor u zasićenju,  $V_{CES} = 0.2\text{V}$ . Pad napona na  $D_2$  je 1.4V.



3. a) [25] Ulazi dvoulaznog CMOS NI kola su kratko spojeni, a na njegov izlaz je povezan CMOS invertor, kao što je prikazano na slici. Ekvivalentna ulazna kapacitivnost invertora je  $C_{UL} = 50\text{pF}$ . Na ulaz  $v_{UL}$  se dovodi povorka pravougaonih impulsa (logičkih nula i jedinica) frekvencije  $f = 100\text{MHz}$ , sa jednakim trajanjem impulsa i pauze, kao što je prikazano na slici. Svaki od MOS tranzistora koji čine NI logičko kolo u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsNMOS} = 50\Omega$ , dok svaki od PMOS tranzistora koji čine NI logičko kolo u provodnom režimu ima otpornost kanala  $r_{dsPMOS} = 200\Omega$ . Logička kola se napajaju sa  $V_{DD} = 5\text{V}$ . Izračunati i nacrtati vremenski oblik napona u tački A u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.
- b) [5] Ako se invertor, osim ulazne kapacitivnosti ponaša kao idealan (sa naponom praga  $V_T = V_{DD}/2$  i nultom izlaznom otpornošću), izračunati i nacrtati vremenski oblik napona u tački B u ustaljenom režimu u toku trajanja bar jedne periode ulaznog napona.



**Kolokvijum traje 2.5 sata.**

4. a) [20] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju  $Z = \overline{A} + \overline{B} \cdot \overline{C} \cdot \overline{D} + \overline{E}$ .
- b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost kanala  $r_{dsNMOS} = 20\Omega$ , i da svaki od PMOS tranzistora u provodnom režimu ima otpornost kanala  $r_{dsPMOS} = 50\Omega$ . Ako se na izlaz kola poveže kondenzator kapacitivnosti  $C = 10\text{pF}$ , izračunati vremensku konstantu punjenja kondenzatora  $\tau_{pu}$  u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora  $\tau_{pr}$  u najsporijem slučaju.