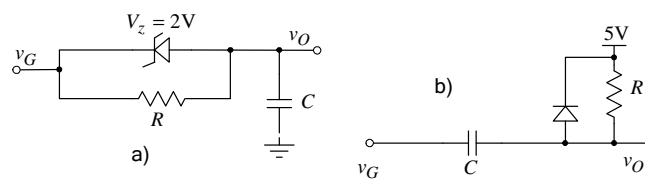
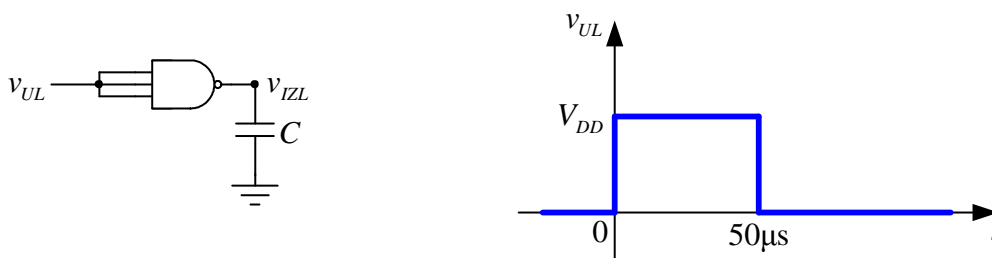


1. a) [6] Nacrtati detaljnu CMOS realizaciju D leča, gde je signal dozvole aktivan na logičku nulu. Objasniti princip funkcionisanja.
- b) [6] Nacrtati detaljnu CMOS realizaciju ivičnog D flip-flopa samo sa asinhronim S (set) priključkom. Signal takta C je aktivan na uzlaznu ivicu dok je S aktivan na logičku nulu. Objasniti princip funkcionisanja.
- c) [6] Nacrtati realizaciju multipleksera 2/1 u serijskoj logici i pomoću 2-ulaznih NI kola. Uporediti realizacije po broju upotrebljenih tranzistora.
- d) [6] Nacrtati kompletan 4-bitni binarni komparator koristeći XNOR kola sa otvorenim drejnom. Objasniti princip funkcionisanja.

2. [8+8] Ako su diode u kolima idealne, nacrtati vremenske dijagrame napona na izlazu kola sa slika a) i b) od  $t=0$  do  $t=10\tau$ . Obeležiti karakteristične tačke na dijagramima. Pobudni napon je pravougaoni impuls amplitude 5V trajanja  $5 \cdot \tau$ ,  $\tau=RC$ .



3. [30] Ulazi nebaferisanog trouzalnog CMOS NI kola su kratko spojeni, a izlaz je opterećen kondenzatorom kapacitivnosti  $C = 20\text{pF}$  (kao na slici). Na ulaz  $v_{UL}$  se dovodi impuls trajanja  $50\mu\text{s}$  prikazan na slici. Svaki od MOS tranzistora koji čine logičko kolo u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa. Svaki od NMOS tranzistora koji čine logičko kolo u provodnom režimu ima otpornost od  $r_{dsNMOS} = 20\Omega$  između drejna i sorsa, dok svaki od PMOS tranzistora koji čine logičko kolo u provodnom režimu ima otpornost od  $r_{dsPMOS} = 180\Omega$  između drejna i sorsa. Logičko kolo se napaja sa  $V_{DD} = 5\text{V}$ . Izračunati i nacrtati vremenski oblik napona  $v_{IZL}$ .



4. a) [20] Koristeći minimalan potreban broj NMOS i PMOS tranzistora, izvršiti sintezu statičkog CMOS logičkog kola koje realizuje logičku funkciju  $Z = \overline{A + B \cdot C \cdot (D + E)}$ .
- b) [10] Poznato je da svaki od MOS tranzistora koji čine logičko kolo iz prethodne tačke u neprovodnom režimu ima beskonačnu otpornost između drejna i sorsa, da svaki od NMOS tranzistora u provodnom režimu ima otpornost od  $r_{dsNMOS} = 20\Omega$  između drejna i sorsa, i da svaki od PMOS tranzistora u provodnom režimu ima otpornost od  $r_{dsPMOS} = 50\Omega$  između drejna i sorsa. Ako se na izlaz kola poveže kondenzator kapacitivnosti  $C = 5\text{pF}$ , izračunati vremensku konstantu punjenja kondenzatora  $\tau_{pu}$  u najsporijem slučaju, i vremensku konstantu pražnjenja kondenzatora  $\tau_{pr}$  u najsporijem slučaju.