

LAB VEŽBA 2 – DIGITALNA KOLA I SIGNALI

Tema: Cilj ove laboratorijske vežbe je upoznavanje studenata sa osnovnim kombinacionom i sekvencijalnim digitalnim kolima. Za realizaciju različitih digitalnih funkcionalnosti biće korišćena integrisana kola sa bazičnim digitalnim ILI i NE kolima, kao i kolo 4-bitnog brojača.

Komponente potrebne za vežbu:

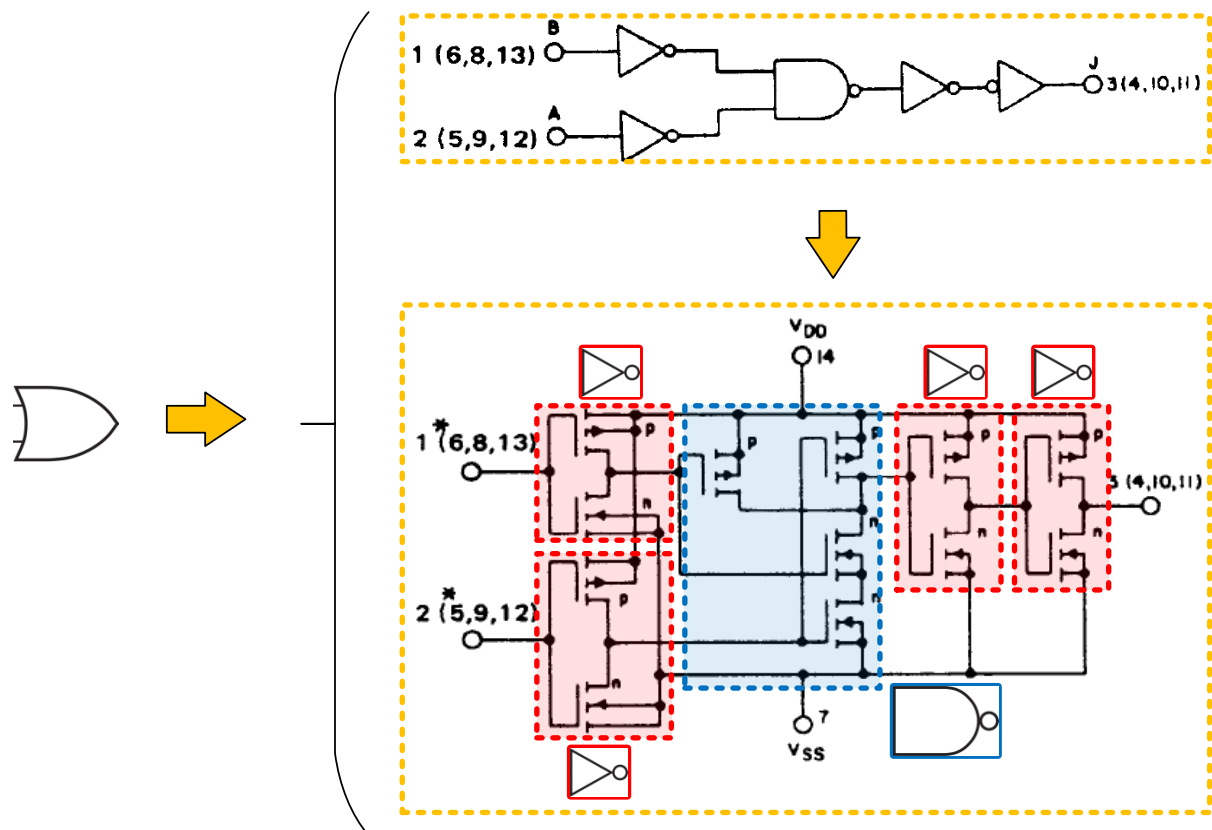
1. 5x otpornik 1kΩ
2. 1x SN74HCT04N – invertori (6x unutar čipa)
3. 1x CD4071B – ILI kola (4x unutar čipa)
4. 1x 74HCT193N – brojač
5. 1x taster
6. 1x kondenzator 10μF

ZADATAK 1 – KOMBINACIONA LOGIČKA KOLA

U okviru prvog zadatka biće realizovana različita kombinaciona kola korišćenjem invertorskih i ILI kola koja su dostupna u paketu opreme. Oba čipa su realizovana u CMOS logici. Na predavanjima je pokazano da je CMOS logika najpogodnija za realizaciju invertujućih funkcija poput invertora, NI i NILI kola. ILI kolo se može realizovati pomoću invertora i NI kola, primenom dvostruke negacije i De Morganovih pravila:

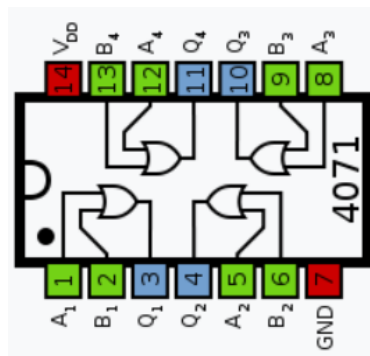
$$A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

Ako se pogleda opis CD40718D čipa može se uočiti da su ILI kola realizovana upravo na gore opisani način pomoću invertora i NI kola kao što je prikazano na slici 1.



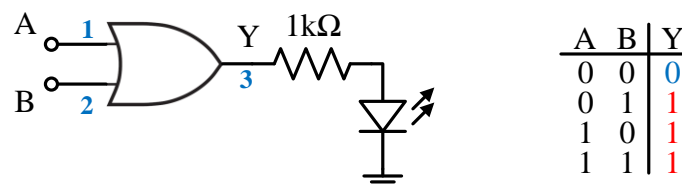
Slika 1. Realizacija ILI kola u CMOS logici

Prvi korak u laboratorijskoj vežbi je demonstriranje ILI logičke funkcije korišćenjem CD4071B integrisanog kola. Struktura korišćenog integrisanog kola prikazana je na slici 2. Vidimo da unutar čipa postoje 4 ILI kola i za potrebe ovog testiranja može biti korišćeno bilo koja kolo. Šeme koje slede su realizovane za prvo ILI kolo koje koristi pinove 1, 2 i 3.



Slika 2. Struktura CD4071B čipa

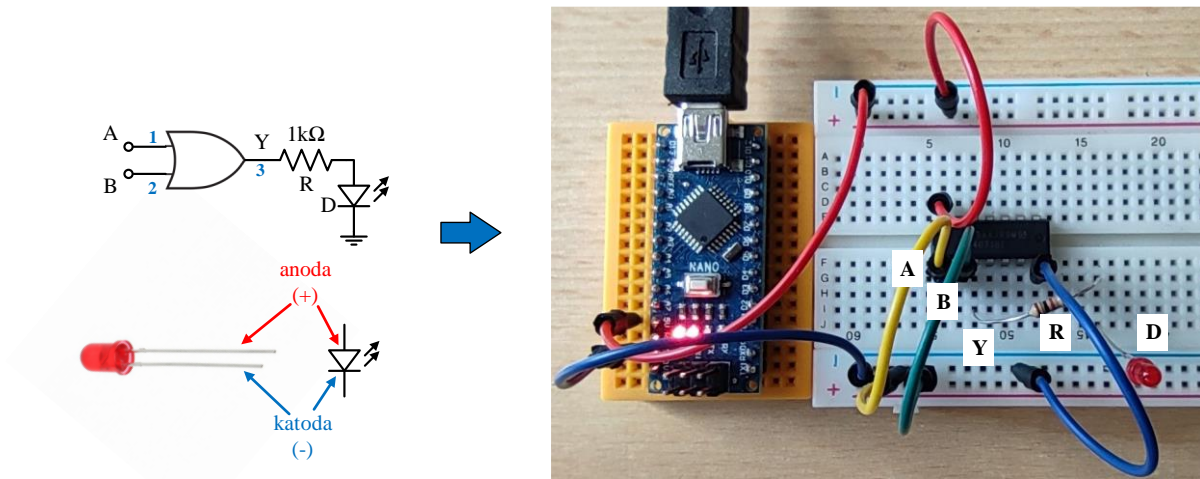
Na slici 3 je prikazana logička šema koja će biti korišćena za testiranje ILI kola kao i tabela istinitosti ILI logičke funkcije. Na ulaze kola se mogu dovesti logičke 1 i logičke 0 koje u našem slučaju predstavljaju napone od 5V i 0 (odnosno masu sistema). Stanje izlaza ILI kola najlakše je odrediti postavljanjem LED diode na izlaz kola kao što je prikazano na slici 3. LED (light emitting diode), kao što im samo ime kaže, emituju svetlost u toku provođenja. Dakle ukoliko je izlaz ILI kola 0, dioda ne vodi i ostaje ugašena, dok u slučaju kada se na izlazu kola nađe logička 1, odnosno napon V_{OH} , dioda provodi i svetli. Intenzitet svetla zavisi od intenziteta struje koja prolazi kroz diodu.



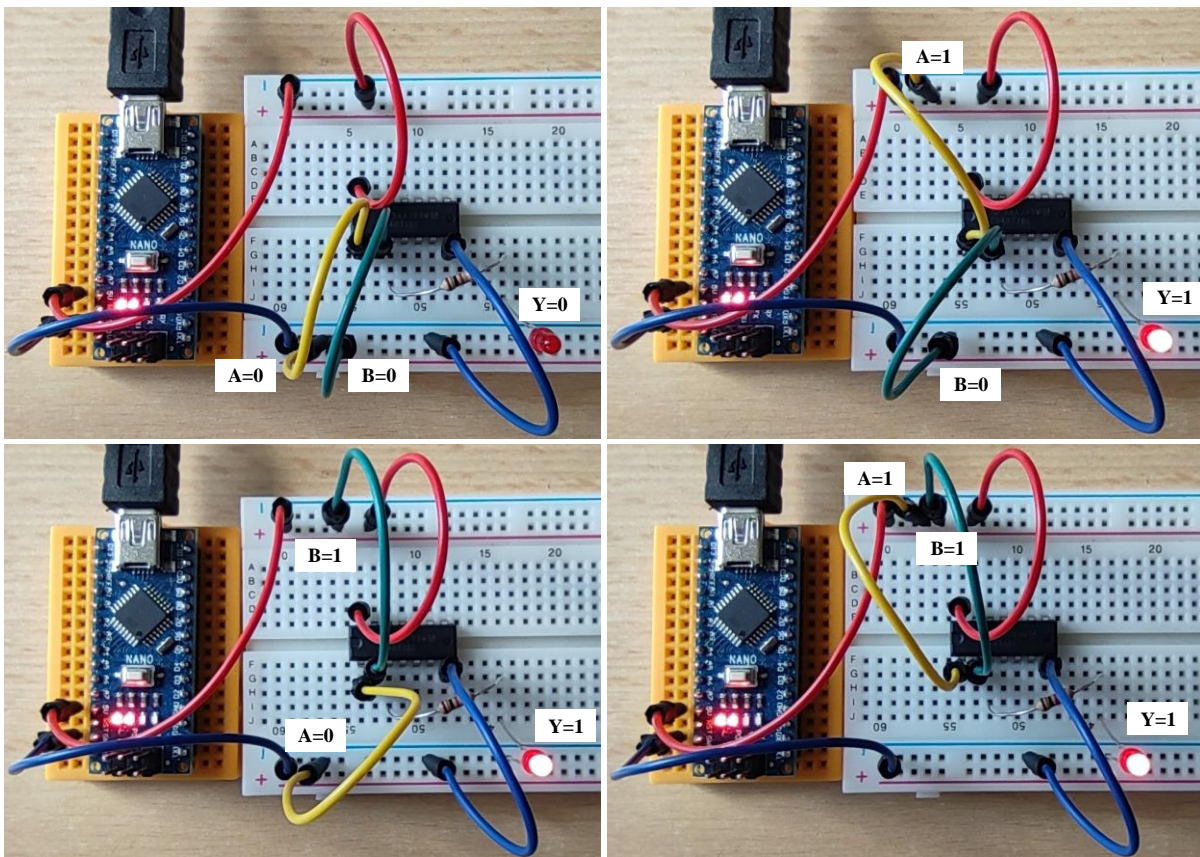
Slika 3. Logička šema za testiranje ILI kola i tabela istinitosti

Povezivanje šeme sa slike 3 na univerzalnoj radnoj ploči prikazano je na slici 4. Voditi računa da je pin broj 1 u donjem levom uglu, ukoliko se zarez na čipu nalazi sa leve strane, kao što je slučaj na slici 4. **Ne zaboravite da povežete napajanje od 5V na pin broj 14 (gornji desni pin) i masu na pin broj 7 (donji levi pin).** Na slici 3 su plavom bojom označeni brojevi pinova integrisanog kola na koje se povezuju odgovarajući ulazni i izlazni signali. Kako bi se lakše ispratili vrednosti ulaza za signale A i B su odabrani žuti i zeleni kablovi. LED dioda ima dva pina od kojih duži predstavlja pozitivan priključak, odnosno anodu, dok je kraći pin negativan priključak, odnosno katoda. Dioda se u kolo povezuje tako što se katoda (kraći pin) povezuje na masu, dok se anoda preko otpornika vrednosti 1kΩ povezuje na izlaz ILI kola (pin 3).

Nakon povezivanja šeme sa slike 4 može se pristupiti testiranju ILI kola. Posmatranjem funkcionalne tabele ILI kola sa slike 3 vidi se da će izlaz Y biti logička 0 samo u slučaju da su oba ulaza A i B na masi, odnosno da predstavljaju logičku 0. Premeštanjem kablova koji odgovaraju ulazima A i B na napajanje odnosno na masu, tako da se pokriju sve 4 kombinacije, kao što je prikazano na slici 5. Vidi se da je dioda ugašena jedino u slučaju kada su oba ulaza na masi, što odgovara funkcionalnoj tabeli ILI kola.



Slika 4. Povezivanje šeme za testiranje Ili kola

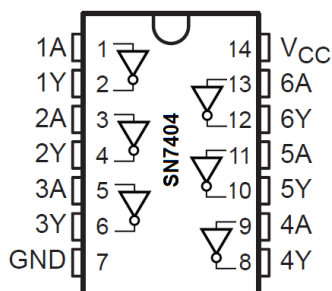


Slika 5. Rezultat testiranja Ili kola

Pitanje koje se sada postavlja je kako realizovati I logičku funkciju ako na raspolaganju imamo Ili logička kola i invertore. Pokazuje se da se rešenje ovog problema krije u dvostrukoj negaciji I funkcije i primeni De Morganovih pravila:

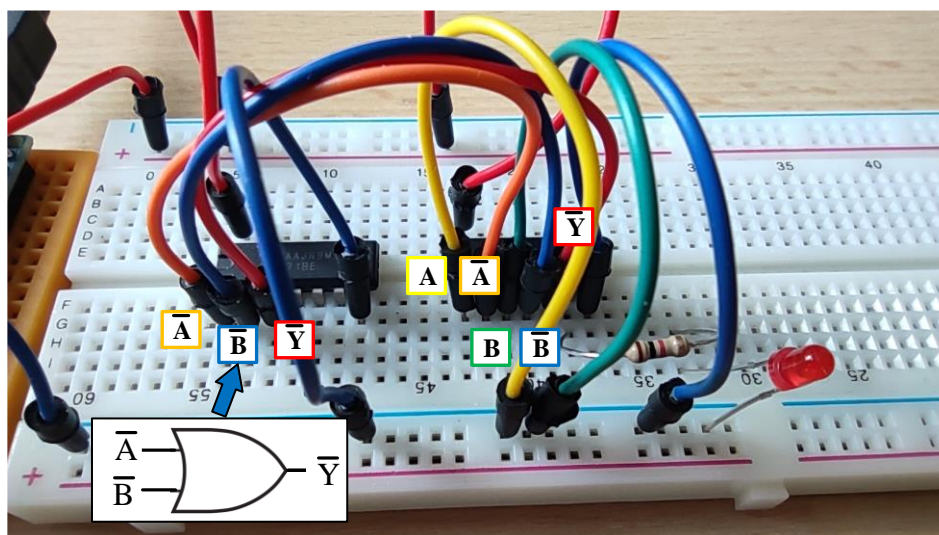
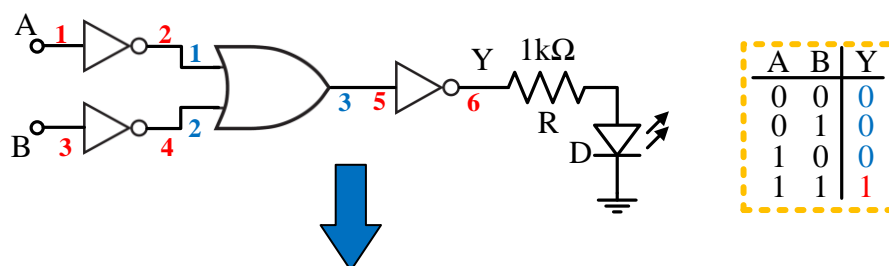
$$A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$$

Dakle za realizaciju I logičke funkcije potrebno je iskoristiti 3 invertora i 1 ILI logičko kolo. U okviru ove laboratorijske vežbe invertori su nam dostupni u okviru čipa SN74HCT04N u okviru koga se nalazi 6 CMOS invertora. Struktura i raspored pinova SN74HCT04N integrisanog kola prikazana je na slici 6.



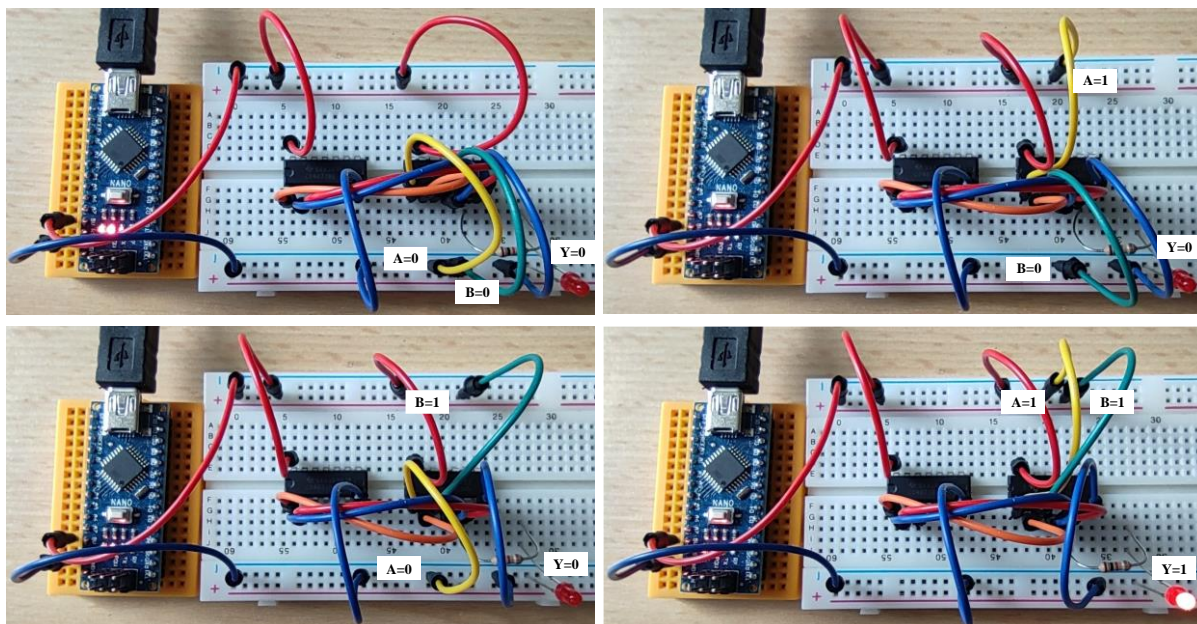
Slika 6. Struktura SN74HCT04N čipa

Na slici 7 je prikazana logička šema I kola realizovanog pomoću ILI kola i invertora. Na istoj slici je pokazano i povezivanje ove šeme na univerzalnoj radnoj ploči. U desnom delu šeme se nalazi SN74HCT04N čip sa invertorima koji služi za realizaciju negacija ulaza kao i za finalno komplementiranje izlaza. Sa leve strane se nalazi CD4071B sa ILI kolima. Na izlaz je kao i u prethodnom slučaju povezana LED dioda koja služi kao indikacija stanja izlaza realizovanog I kola.



Slika 7. Povezivanje šeme za testiranje I kola

Nakon povezivanja šeme sa slike 7 može se pristupiti testiranju ILI kola. Posmatranjem funkcionalne tabele I kola sa slike 7 vidi se da će izlaz Y biti logička jedinica samo u slučaju da su oba ulaza A i B na visokom naponskom nivou, odnosno da predstavljaju logičku 1. Rezultati testiranja su prikazani na slici 8. Vidi se da dioda svetli jedino u slučaju kada su oba ulaza na visokom naponskom nivou, što odgovara funkcionalnoj tabeli I kola.



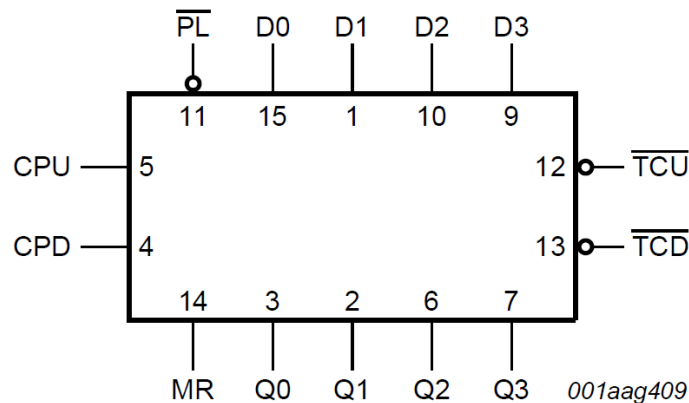
Slika 8. Rezultat testiranja I kola

Nakon potvrde ispravnosti rada ILLI i I logičkih kola može se preći na izradu zadatka.

ZADATAK – 5 poena: Potrebno je realizovati EKSILI logičku funkciju korišćenjem invertora i ILLI logičkih kola. EKSILI funkcija je zadata sa: $Y = \bar{A} \cdot B + A \cdot \bar{B}$. Na univerzalnoj radnoj ploči demonstrirati ispravnost rada realizovane funkcije. Prikazati slike za sve 4 kombinacije ulaznih signala.

ZADATAK 2 – BROJAČ

Cilj drugog dela vežbe je testiranje modula brojača koji predstavlja jedno od osnovnih sekvencijalnih kola. U tu svrhu koristi se integrisano kolo 74HCT193N koje predstavlja modul 4-bitnog brojača sa mogućnošću brojanja unapred ili unazad. Brojač takođe ima mogućnost asinhronog reseta preko ulaza MR (master reset) koji je aktivan u logičkoj 1, kao i asinhronog paralelnog upisa preko ulaza PL (parallel load) koji je aktivan u logičkoj 0. Blok šema brojača sa oznakama broja pina pored svakog ulaza i izlaza prikazana je na slici 9.



Slika 9. Blok šema 4-bitnog brojača 74HCT193N

U tabeli 1 su prikazani naponski nivoi koje je potrebno dovesti na ulaze brojača za svaki od režima rada: brojanje na gore, brojanje na dole, reset, paralelni upis.

H = HIGH voltage level; L = LOW voltage level; X = don't care; ↑ = LOW-to-HIGH clock transition.

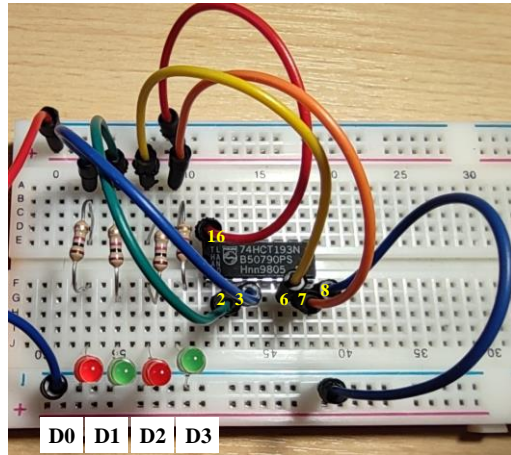
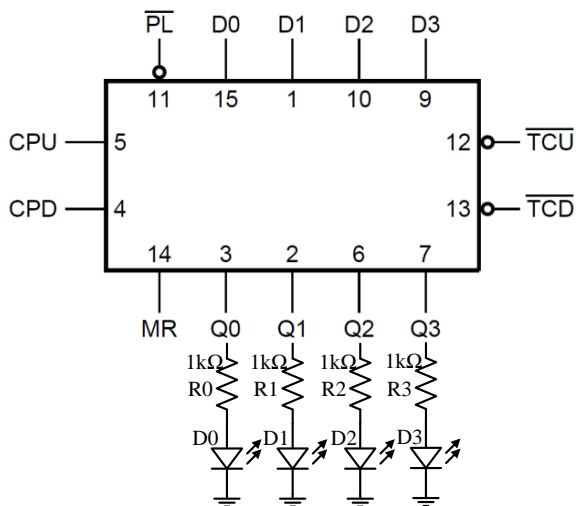
Operating mode	Inputs								Outputs					
	MR	\overline{PL}	CPU	CPD	D0	D1	D2	D3	Q0	Q1	Q2	Q3	\overline{TCU}	\overline{TCD}
Reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
Parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
Count up	L	H	↑	H	X	X	X	X	count up				H [1]	H
Count down	L	H	H	↑	X	X	X	X	count down				H	H [2]

[1] \overline{TCU} = CPU at terminal count up (HHHH)

[2] \overline{TCD} = CPD at terminal count down (LLLL).

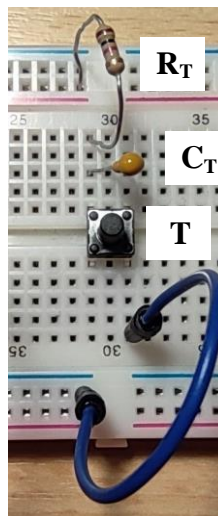
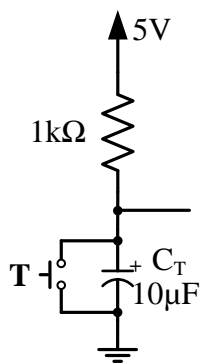
Tabela 1. Funkcionalna tabela brojača

Slično kao u prethodnom delu vežbe, vrednosti na izlazima brojača ćemo očitavati pomoću LED dioda. Kako sada postoji 4 bita na izlazu, potrebno je povezati 4 otpornika i 4 LED diode na izlaz brojača kao što je prikazano na slici 10.



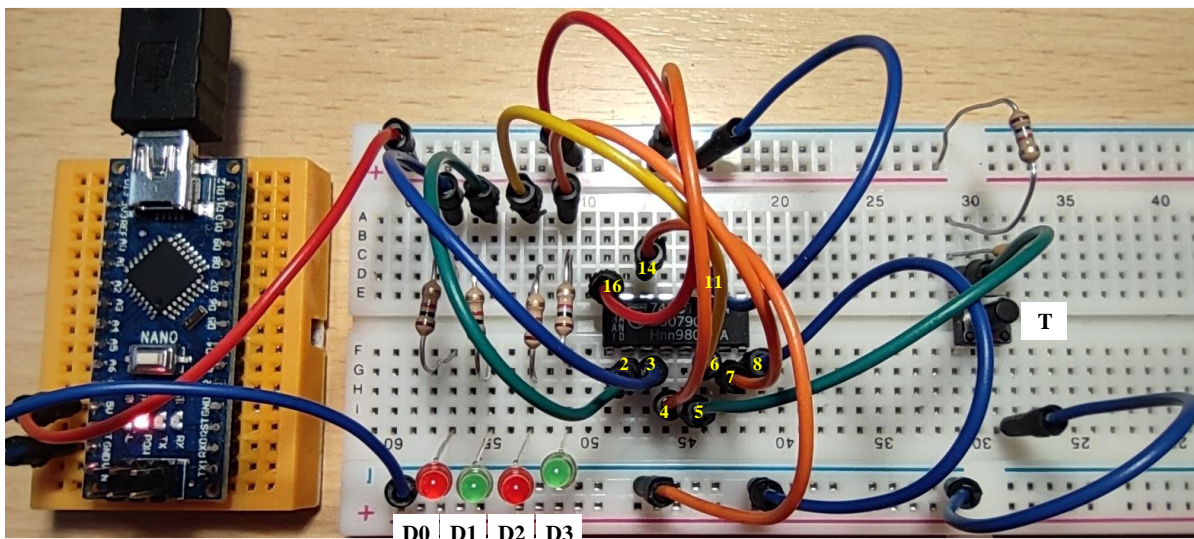
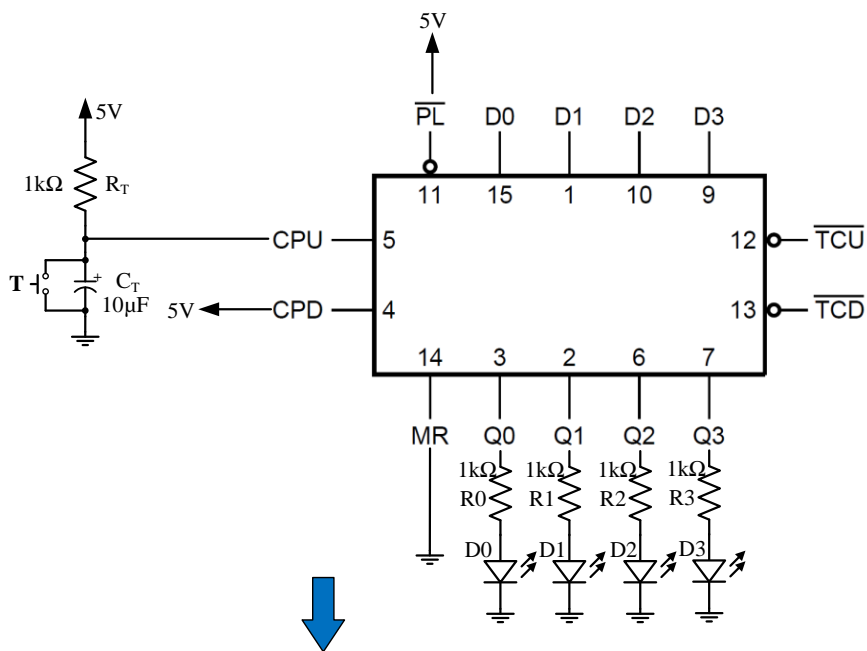
Slika 10. Povezivanje LED dioda na izlaz brojača

Brojač menja svoje stanje (broji) na svaku uzlaznu ivicu signala takta (CPU ili CPD), odnosno pri svakoj promeni ovih signala sa logičke 0 na logičku 1. Da bi omogućili brojanje potrebno je da obezbedimo ovaj promenljivi signal. Jedan od mogućih načina da se to uradi je prikazan na slici 11. Kondenzator C_T je preko otpornika povezan na napon od 5V. U stacionarnom stanju kondenzator je pun. Paralelno sa kondenzatorom je postavljen taster. Svaki put kada se taster pritisne kondenzator se isprazni i napon na izlazu padne na 0. Otpuštanjem tastera kondenzator se puni, signal na izlazu raste i pojavljuje se uzlazna ivica koja dovodi do promene stanja brojača.



Slika 11. Generisanje signala takta pomoću tastera

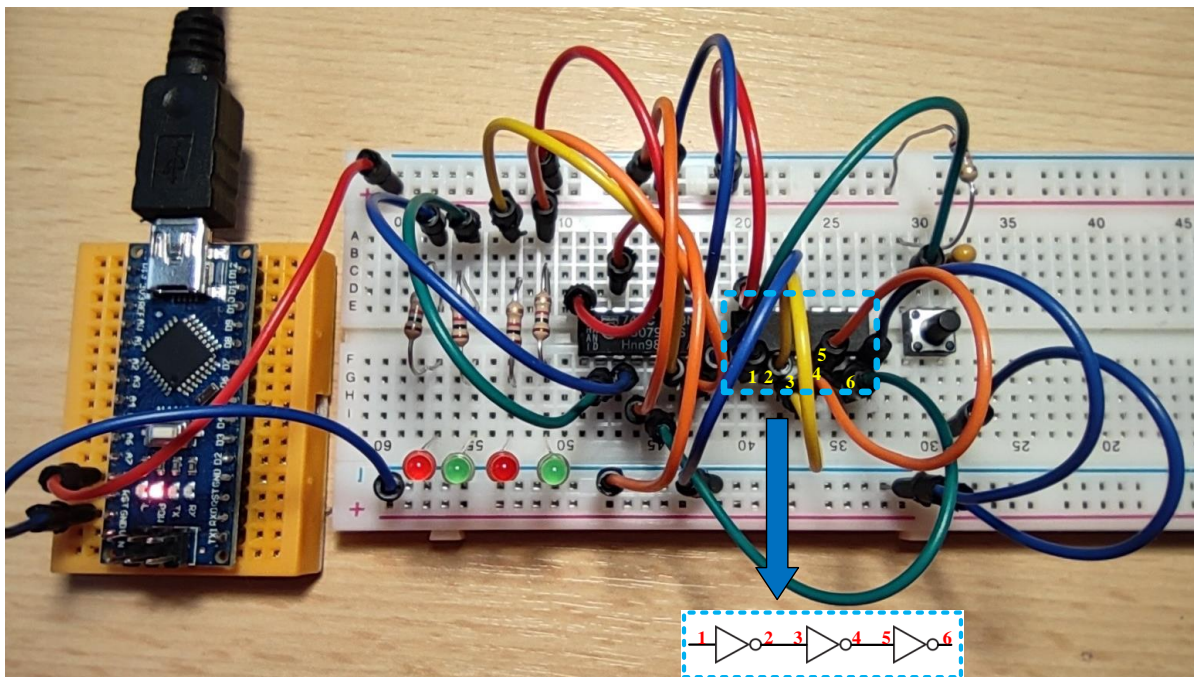
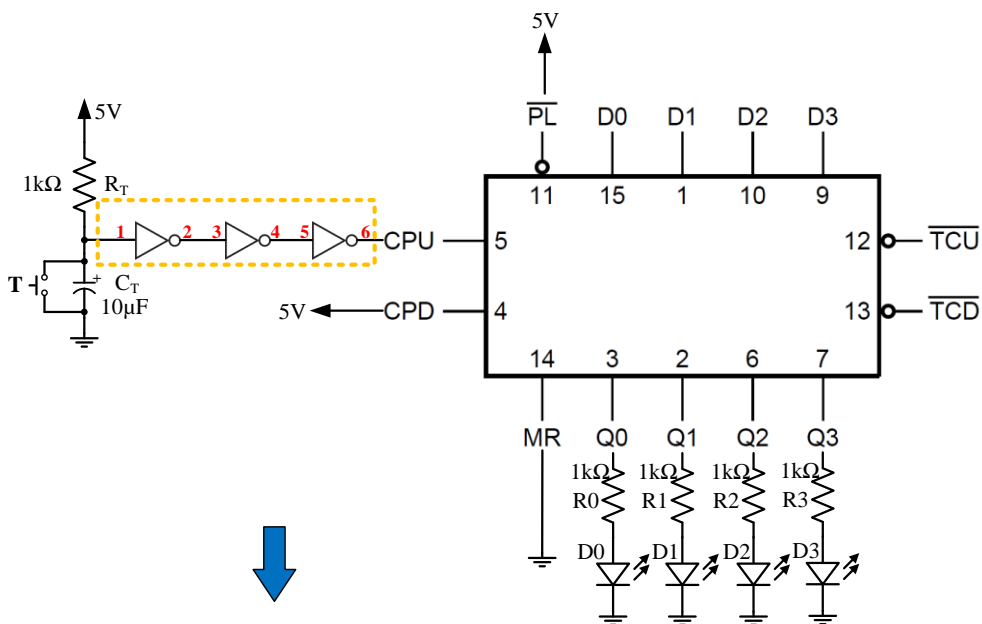
Na slici 12. je prikazan brojač sa povezanim signalom takta. **Da bi brojač ispravno radio neophodno je povezati signal MR na 0 i signal PL na 5V, tj na njihove neaktivne vrednosti.** Jedino tada će brojač moći da radi ispravno što se vidi i iz tabele 1. Napon sa kondenzator se vodi na ulaz CPU čime se realizuje brojanje unapred. **U tom slučaju neophodno je signal CPD povezati na 5V.**



Slika 12. Kompletiranje šeme brojača i dovođenje taktnog signala sa prekidača

Testiranjem brojača sa slike 12 može se uočiti da postoji dosta preskakanja brojeva prilikom pritiska tastera. Razlog tome je pojava odskakivanja (*bouncing*) mehaničkih tastera, što znači da jedan pritisak zapravo u prelaznom režimu generiše više prelazaka sa visokog na niski naponski nivo i obrnuto. Kako bi se ovo rešilo potrebno je realizovati tzv kolo za debaunsiranje.

Ublažavanje efekta odskakivanja može se postići propagacijom signala sa tastera kroz niz logičkih kola kojim se obezbeđuje regeneracija naponskih nivoa, ubrzavanje ivice signala kao i potiskivanje promena čije je kašnjenje manje od propagacije kroz logičko kolo. U tom cilju, signal sa tastera je propušten kroz lanac 3 invertora čime se problem potiskivanja značajno smanjio. Povezivanje lanca invertora na izlaz tastera prikazano je na slici 13.



Slika 13. Potiskivanje problema usled odskakivanja tastera pomoću lanca invertora

Realizovani brojač broji sekvencu:

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 12 \rightarrow 13 \rightarrow 14 \rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow \dots$

Često je u praksi potrebno realizovati brojač koji broji neku drugačiju sekvencu od ove osnovne. Na primer u slučaju realizacije dekadnog brojača, potrebno je da brojač broji sekvencu:

$0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 0 \rightarrow 1 \rightarrow \dots$

Dakle kada stigne do broja 9, brojač ne prelazi u stanje 10 već se vraća u stanje 0. Skraćivanje sekvence brojanja se može realizovati na više načina, korišćenjem reseta ili paralelnog upisa. U slučaju kada brojanje počinje od 0 najlakše je skraćivanje sekvence brojanja realizovati korišćenjem signala reseta.

Ideja je da se realizuje kolo kojim se detektuje određeno stanje brojača i po njegovoj pojavi se aktivira signal reseta. Ovde je potrebno obratiti pažnju da li je na raspolaganju sinhroni ili asinhroni signal reseta. Prilikom aktivacije sinhronog reseta, čeka se naredna uzlazna ivica signala takta i tek tada se obavlja reset brojača. Kod asinhronog reseta brojač se resetuje odmah po aktivaciji resetnog signala. Kako bi obezbedili da brojač broji sekvencu od 0 do 9 potrebno je aktivirati signal reseta čim brojač pokuša da pređe iz stanja 9 u stanje 10, odnosno potrebno je detektovati stanje 10 brojača na izlazu. Na osnovu prethodne diskusije zaključuje se da je na resetni ulaz MR potrebno dovesti sledeću logičku funkciju:

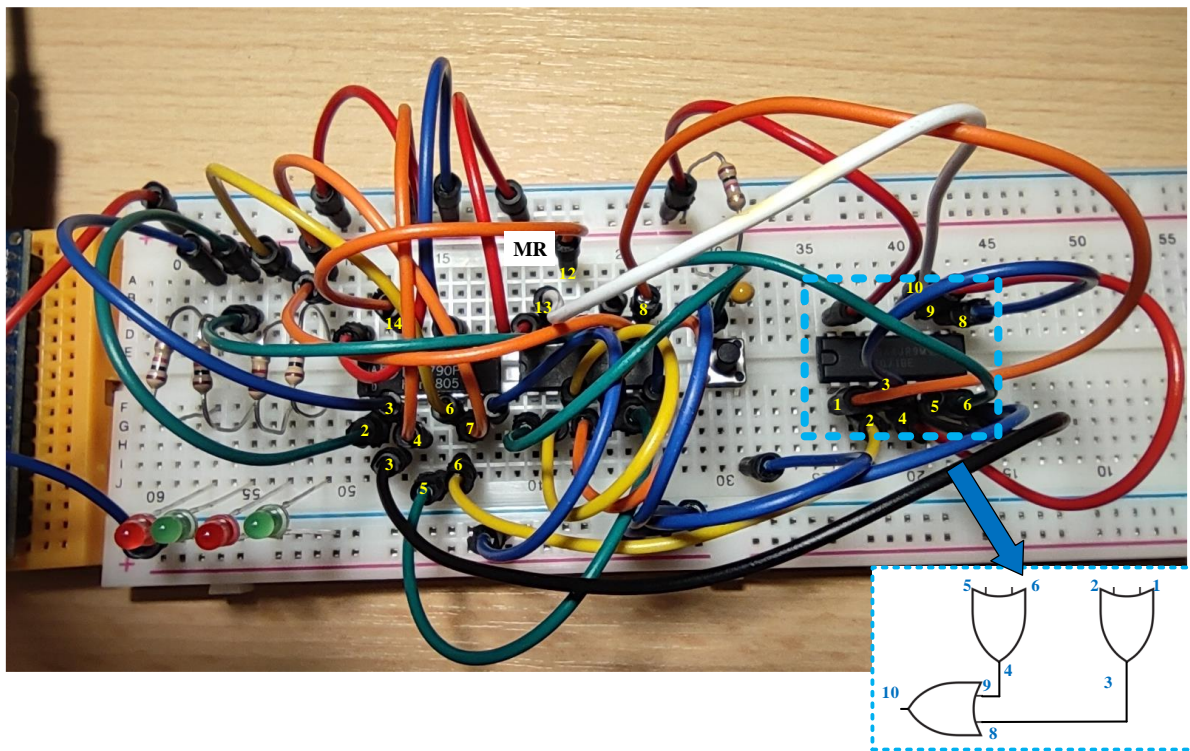
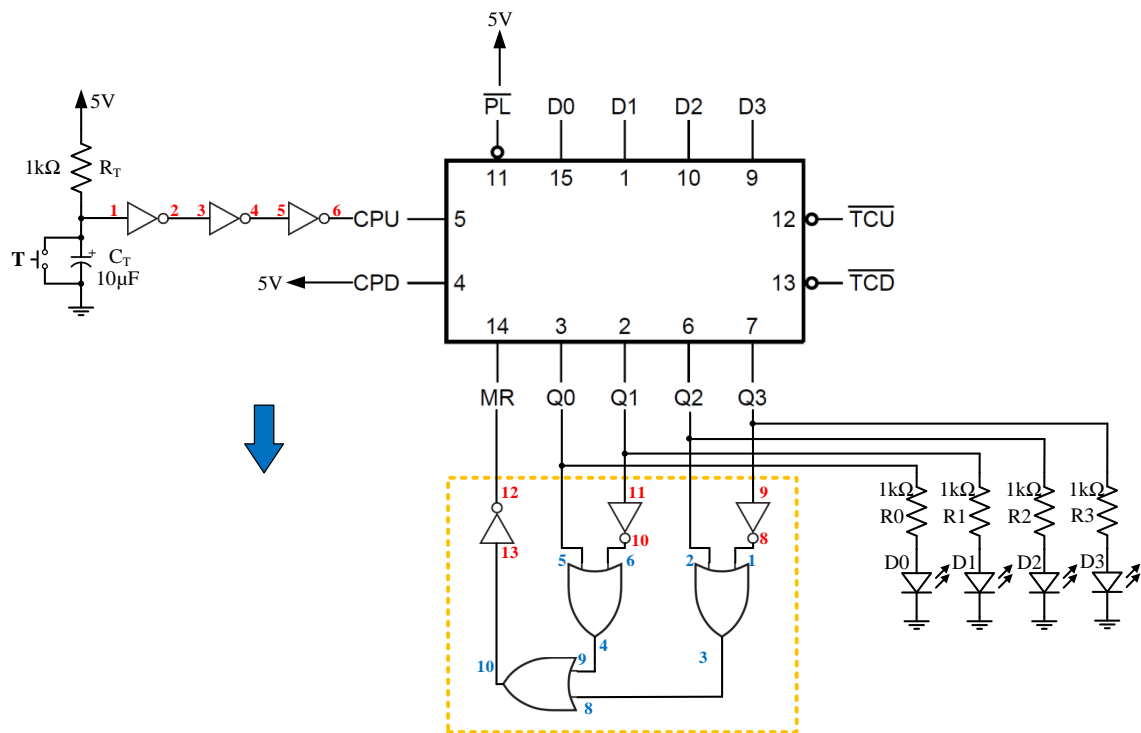
$$MR = Q_3 \cdot \overline{Q_2} \cdot Q_1 \cdot \overline{Q_0}$$

Na ovaj način se obezbeđuje da je MR aktivno samo u slučaju kada brojač pređe u stanje 10 (binarno 1010) i u tom trenutku brojač prelazi u stanje 0, tako da se broj 10 praktično neće ni videti na izlazu. Kako su na raspolaganju dvoulazna ILI kola i invertori prethodni izraz se može zapisati i drugačije:

$$MR = \overline{(\overline{Q_3} + Q_2)} + (\overline{Q_1} + Q_0)$$

Dakle za realizaciju reset signala koji će konvertovati brojač u dekadni, potrebna su još 3 invertora i 3 ILI kola.

Modifikacija brojača tako da broji sekvencu 0-9 na univerzalnoj radnoj ploči prikazana je na slici 14.



Slika 14. Realizacija dekadnog brojača – skraćivanje sekvence brojanja na 0-9

Nakon potvrde ispravnosti rada dekadnog brojača preći na izradu zadatka.

ZADATAK – 5 poena: Potrebno je realizovati realizovati brojač koji broji po sekvenci: $0 - 2 * (\text{BrInd} \% 5) + 1$ gde je **BrInd** broj indeksa a **%** predstavlja moduo operaciju, odnosno ostatak pri deljenju. **Ukoliko se kao rezultat dobije sekvenca 0-9 potrebno je realizovati sekvencu 0-11.**

Primer: Za broj indeksa 123 tražena sekvenca je 0-7. Dok je za broj indeksa 124 tražena sekvenca 0-11