

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 21.08.2009.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	15	15	20	15	15	80
Dobijeno						

1. a) [5] Opisati arhitekturu PROMa sa strukturom i brojem ulaza/izlaza.
- b) [5] Opisati arhitekturu PLA sa strukturom i brojem ulaza/izlaza.
- c) [5] Opisati arhitekturu PALa sa strukturom i brojem ulaza/izlaza.

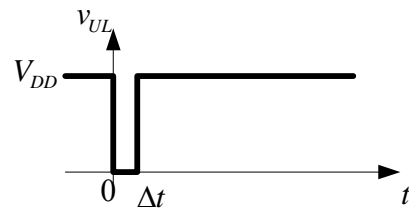
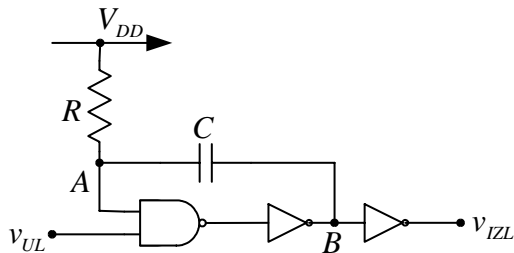
Rešenje:

Pred.5, str.6.,7.,8.

2. a) [12] Na slici je prikazano kolo monostabilnog multivibratora. Sva logička kola pripadaju CMOS familiji i imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = V_{DD}/2$, beskonačnu ulaznu i nultu izlaznu otpornost. Poznato je: $V_{DD} = 5\text{ V}$, $R = 25\text{ k}\Omega$ i $C = 20\text{ nF}$.

Ako se na ulaz kola dovede kratkotrajni naponski impuls trajanja $\Delta t \ll RC$ sa silaznom ivicom u trenutku $t = 0$ prikazan na slici, odrediti i nacrtati vremenske oblike izlaznog napona i napona u tačkama A i B za $t > 0$. Pre pojave pobudnog impulsa kolo je bilo dovoljno dugo vremena u stacionarnom stanju.

b) [3] Ako se kratkotrajni naponski impuls dovodi češće na ulaz da li može da dođe do promene trajanja kvazistabilnog stanja i kako? Kratko obrazložiti odgovor.



Rešenje:

a) Prema uslovu zadatka, za $t < 0$ u kolu je uspostavljeno stacionarno stanje. To znači da je struja kroz kondenzator jednaka nuli, a s obzirom da je ulazna otpornost NI kola beskonačna, može se zaključiti da tada ne postoji ni struja kroz otpornik R, što znači da je $v_A = V_{DD}$. S obzirom da je za $t < 0$ $v_{UL} = V_{DD}$ sledi da je napon na izlazu NI kola na nivou logičke nule, tako da je $v_B = V_{DD}$ i $v_{IZL} = 0$.

Kada se na ulazu pojavi pobudni impuls u trenutku $t = 0$, vrednost napona na izlazu NI kola se promeni na nivo logičke jedinice, a napon v_B padne na nulu. S obzirom da se vrednost napona na kondenzatoru ne može trenutno promeniti, sledi da se vrednost napona v_A promeni na $v_A = 0$. Dakle u trenutku $t = 0^+$ važi:

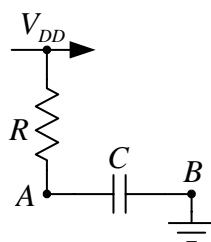
$$v_{UL}(0^+) = 0$$

$$v_A(0^+) = 0$$

$$v_B(0^+) = 0$$

$$v_{IZL}(0^+) = V_{DD}$$

Ekvivalentna šema kola je tada:



Zatim se napon u tački A eksponencijalno povećava sa vremenskom konstantom $\tau = RC$. Vrednost kojoj teži napon v_A je određena novim stacionarnim stanjem koje bi nastupilo kada bi struja kroz kondenzator opala na nulu, a to je $v_A(\infty) = V_{DD}$. Jednačina koja opisuje napon v_A u toj situaciji je:

$$v_A(t) = v_A(\infty) - [v_A(\infty) - v_A(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_A(t) = V_{DD} - [V_{DD} - 0] \cdot e^{-\frac{t}{RC}} = 5V \cdot (1 - e^{-2000t})$$

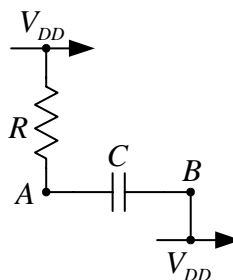
Ova zavisnost će važiti sve dok napon v_A ne poraste do praga NI kola $V_T = \frac{V_{DD}}{2}$, kada će izlaz NI kola pasti na logičku nulu (jer je u međuvremenu ulazni signal skočio na vrednost logičke jedinice pošto je kratkotrajni ulazni impuls prošao). Istovremeno, napon v_B skače na logičku jedinicu, što će za posledicu imati pad napona na izlazu na $v_{IZL} = 0$. Zbog promene napona v_B , napon v_A se momentalno poveća na vrednost $\frac{3V_{DD}}{2}$ (jer vrednost napona na kondenzatoru ne može trenutno da se promeni). Ukoliko se trenutak promene nivoa signala na izlazu NI kola označi sa $t = T_1$, na osnovu opisane analize sledi:

$$v_A(T_1^+) = \frac{3V_{DD}}{2}$$

$$v_B(T_1^+) = V_{DD}$$

$$v_{IZL}(T_1^+) = 0$$

Ekvivalentna šema kola je tada:



Dalje će napon v_A da eksponencijalno opada ka stacionarnoj vrednosti $v_A(\infty) = V_{DD}$ sa vremenskom konstantom $\tau = RC$, dok će nivoi naponskih signala v_B i v_{IZL} da ostanu nepromenjeni. Jednačina koja opisuje v_A u ovoj situaciji je:

$$v_A(t) = v_A(\infty) - [v_A(\infty) - v_A(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_A(t) = V_{DD} - [V_{DD} - \frac{3V_{DD}}{2}] \cdot e^{-\frac{t-T_1}{RC}} = 5V + 2,5V \cdot e^{-2000(t-T_1)}$$

Vremenski trenutak $t = T_1$ se može odrediti iz uslova:

$$v_A(T_1^-) = 5V \cdot (1 - e^{-2000T_1}) = 2,5V$$

odakle se dobija:

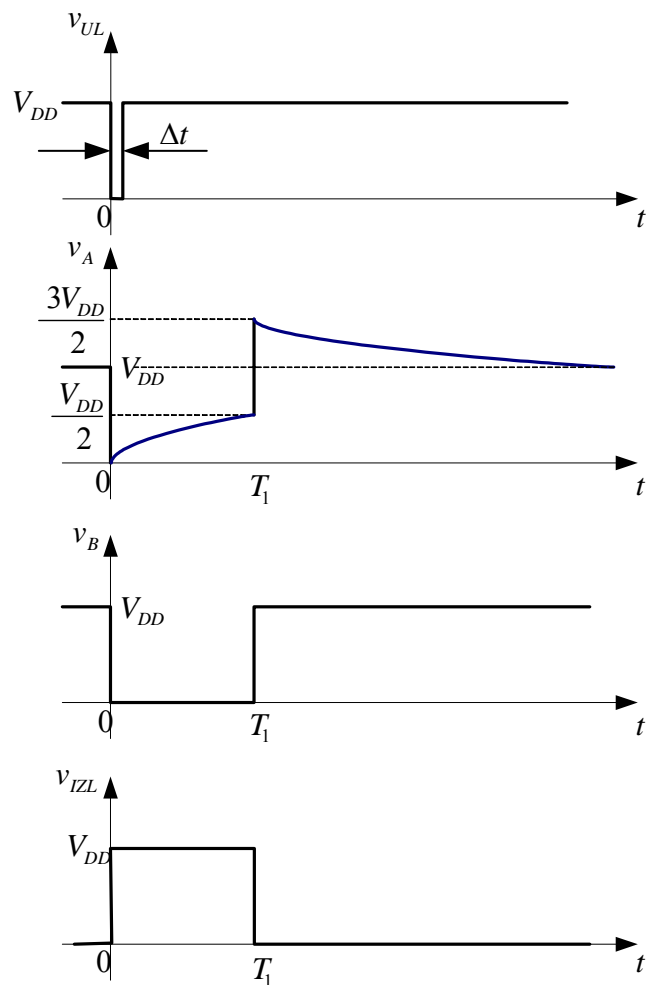
$$T_1 = 0,0005 \ln 2 = 0,347 \text{ ms}$$

Dakle, konačno je:

$$v_A(t) = 5V \cdot (1 - e^{-2000t}), \text{ za } 0 < t < T_1$$

$$v_A(t) = 5V + 2,5V \cdot e^{-2000(t-T_1)}, \text{ za } t > T_1.$$

Odgovarajući vremenski dijagrami su prikazani na sledećoj slici:



b) Može. U tom slučaju će silazna ivica impulsa v_{UL} da se pojavi još dok napon v_A ima nezanemarljivo veću vrednost od V_{DD} , što će imati za posledicu obaranje napona v_A na vrednost veću od 0 u trenutku neposredno nakon pojave silazne ivice impulsa v_{UL} . Samim tim, vreme potrebno da v_A dostigne prag $\frac{V_{DD}}{2}$ će biti kraće od onog izračunatog pod tačkom a), tj. trajanje kvazistabilnog stanja se u tom slučaju smanjuje.

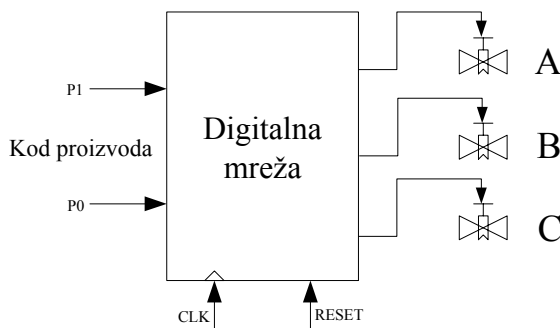
3. [20] Projektovati digitalnu mrežu za kontrolu otvaranja ventila u postrojenju za termičku obradu proizvoda. U sektoru za upravljanje termičkim procesom nalaze se tri ventila za kontrolu protoka tečnosti koja se koristi u procesu (ventili A, B, C). Ventili zatvaraju ili otvaraju tok tečnosti na različitim temperaturama (temperature a, b, c). Ventili se naizmenično otvaraju i zatvaraju u zavisnosti od vrste proizvoda, tako da se određeni proizvod tretira temperaturama a, b, c, pri čemu je poredak određen vrstom proizvoda. Postoji četiri vrste proizvoda, redosled tretiranja svakog proizvoda je prikazan u tabeli:

Vrsta proizvoda	Redosled tretiranja
1	a, b, c, a, b, c....
2	b, a, c, b, a, c....
3	c, a, b, c, a, b....
4	b, c, a, b, c, a....

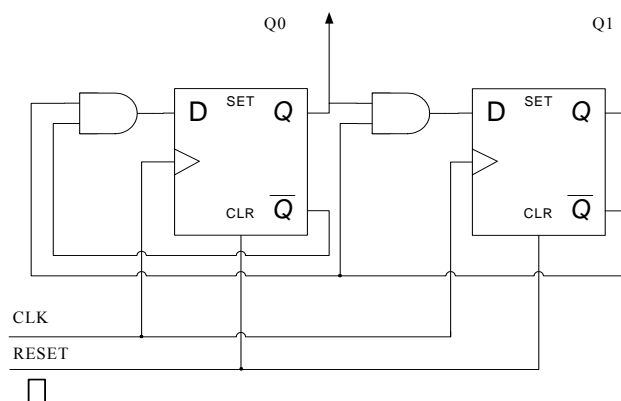
Informacija o vrsti proizvoda (kodovana sa potrebnim brojem bita) se dovodi na digitalnu mrežu i ne menja se sve dok traje termička obrada tog proizvoda. Ventil je otvoren ukoliko je na upravljačku elektroniku koja reguliše njegovo otvaranje dovedena logička jedinica, ukoliko je dovedena logička nula ventil je zatvoren. U jednom momentu je otvoren samo jedan ventil. Vreme tretiranja za svaku temperaturu je identično. Za realizaciju digitalne mreže koristiti logička kola i ivične D flipflopove sa asihronim resetom. Termička obrada počinje pojavom kratkotrajnog impulsa za asihroni reset flipflopova.

Rešenje:

Blok šema digitalne mreže je prikazana na slici.



Kako postoje samo tri ventila koji se naizmenično otvaraju i zatvaraju, dovoljno je da se koriste dva ivična D flip-flopa koja se mogu povezati u binarni brojač koji broji u sekvenci 0, 1, 2, 0, 1, 2....(3 je zabranjeno stanje i iz njega brojač prelazi u stanje 0)



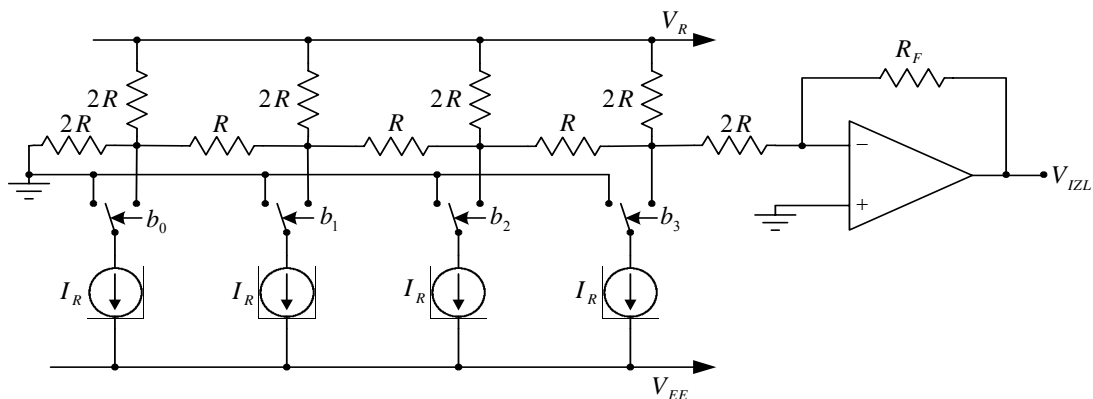
Sada se uz pomoć ulaznih signala P0, P1, kao i promenljivih Q0, Q1 može formirati kombinaciona tabela na osnovu koje se minimizacijom mogu dobiti izrazi za upravljačke promenjive A, B, C.

$$A = P_1 P_0 Q_1 + P_1 \overline{P_0} Q_0 + \overline{P_1} P_0 Q_0 + \overline{P_1} \overline{P_0} \overline{Q_1} \overline{Q_0}$$

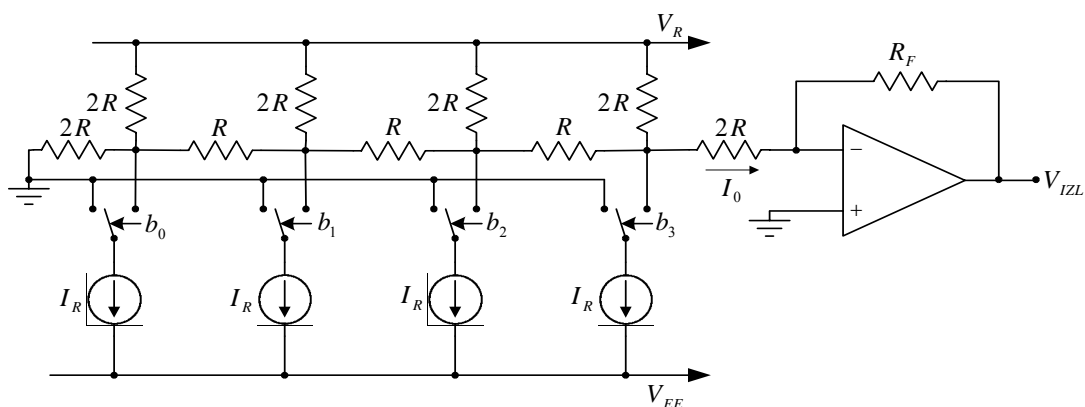
$$B = P_1 \overline{P_0} Q_1 + \overline{P_1} \overline{P_0} Q_0 + P_0 \overline{Q_1} \overline{Q_0}$$

$$C = \overline{P_1} Q_1 + P_1 P_0 Q_0 + P_1 \overline{P_0} \overline{Q_1} \overline{Q_0}$$

4. [15] U D/A konvertoru prikazanom na slici otpornosti otpornika su $R = 100\Omega$ i $R_F = 2R$. Odrediti vrednost referentnog napona V_R i struje strujnih izvora I_R tako da se izlazni napon kreće u opsegu $-1V < V_{IZL} < V_{MAX}$, gde je V_{MAX} najveći napon na izlazu konvertora koji se dobija kada su svi digitalni ulazi na logičkoj jedinici. Poznato je da je za vrednost ulaznog digitalnog podatka $b_3b_2b_1b_0 = 1000$ izlazni napon jednak nuli. Prekidači u kolu su idealni, i za vrednost bita $b_i = 1$ povezuju odgovarajući strujni izvor sa masom, dok za vrednost bita $b_i = 0$ povezuju odgovarajući strujni izvor sa odgovarajućim priključkom otporne mreže. Izračunati vrednost napona V_{MAX} .



Rešenje:

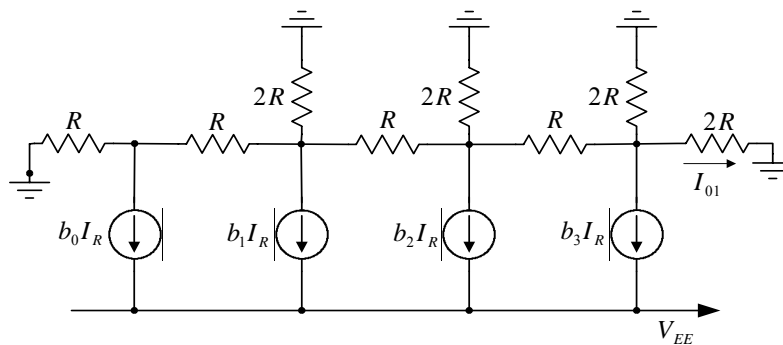


Struja I_0 (označena na slici) se primenom principa superpozicije može izraziti kao:

$$I_0 = I_{01} + I_{02},$$

pri čemu I_{01} predstavlja komponentu koja nastaje dejstvom strujnih generatora I_R kada je napon $V_R = 0$, a I_{02} komponentu koja nastaje dejstvom referentnog napona V_R kada su strujni generatori I_R isključeni.

Komponenta I_{01} se može odrediti na osnovu sledeće ekvivalentne šeme kola:



$$I_{01} = -\left(\frac{1}{3}b_3I_R + \frac{1}{2}\left(\frac{1}{3}b_2I_R\right) + \frac{1}{4}\left(\frac{1}{3}b_1I_R\right) + \frac{1}{8}\left(\frac{1}{3}b_0I_R\right)\right).$$

Za drugu komponentu (za $I_R = 0$) se dobija:

$$I_{02} = \frac{15}{16} \cdot \frac{V_R}{3R}.$$

Za ukupnu struju I_0 se dobija:

$$I_0 = I_{01} + I_{02} = -\frac{1}{3} \cdot \frac{I_R}{8} \cdot (b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0) + \frac{15}{16} \cdot \frac{V_R}{3R}.$$

Izlazni analogni napon se može izraziti kao:

$$V_{IZL} = -2RI_0 = -\frac{1}{3} \cdot \frac{2RI_R}{8} \cdot (b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0) - 2R \cdot \frac{15}{16} \cdot \frac{V_R}{3R}$$

$$V_{IZL} = \frac{RI_R}{12} \cdot (b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0) - \frac{5}{8} \cdot V_R.$$

Za $b_3b_2b_1b_0 = 0000$ treba da bude $V_{IZL} = -1V$ iz čega sledi:

$$-1 = -\frac{5}{8} \cdot V_R \Rightarrow V_R = 1,6V.$$

Za $b_3b_2b_1b_0 = 1000$ treba da bude $V_{IZL} = 0$ iz čega sledi:

$$\frac{RI_R}{12} \cdot 8 - \frac{5}{8} \cdot V_R = 0 \Rightarrow I_R = \frac{15}{16R} \cdot V_R = 15mA.$$

Najveći napon na izlazu konvertora je:

$$V_{MAX} = V_{IZL} (za b_3b_2b_1b_0 = 1111) = 0,875V.$$

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
 Dežurni _____

5. [15] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model osmobitnog binarnog brojača. Brojač broji sinhrono sa silaznom ivicom signala takta `clk` samo ako je kontrolni signal `en` na visokom logičkom nivou i to: unapred – ako je kontrolni signal `up` na visokom logičkom nivou ili unazad ako je kontrolni signal `up` na niskom logičkom nivou. Ako je kontrolni signal `en` na niskom logičkom nivou, stanje brojača se ne menja.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY brojac_8b IS PORT
(
  up,clk,en   : IN STD_LOGIC;
  q           : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END brojac_8b;

ARCHITECTURE behav OF brojac_8b IS
  SIGNAL tmp : UNSIGNED(7 DOWNTO 0);
BEGIN
  PROCESS (clk) BEGIN
    IF en='1' THEN
      IF falling_edge(clk) THEN
        IF up='1' THEN
          tmp <= tmp+1;
        ELSE
          tmp <= tmp-1;
        END IF;
      END IF;
    END IF;
  END PROCESS;
  q <= STD_LOGIC_VECTOR(tmp);
END behav;
```