

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 18.01.2010.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	<b>10</b>	<b>15</b>	<b>15</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno						

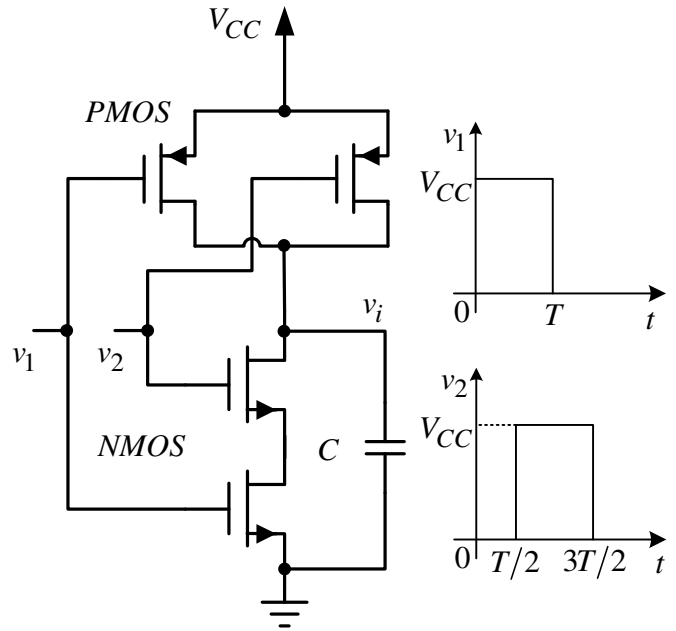
**KANDIDAT:** Ime \_\_\_\_\_ Prezime \_\_\_\_\_ Broj indeksa \_\_\_\_\_  
Dežurni \_\_\_\_\_

1. [10] Koristeći D flipflopove i potrebna logička kola, nacrtati šemu trobitnog pomeračkog registra koji ima funkciju paralelnog upisa sadržaja koji se pomera.

**Rešenje:**

Predavanje 6, str.8, slika 3.

2. Na slici je prikazano dvoulazno CMOS NI kolo sa NMOS i PMOS tranzistorima. NI kolo je kapacitivno opterećeno kondenzatorom  $C$  ( $T = RC$ ) na izlazu. Na ulaze NI kola se dovode signali  $v_1$  i  $v_2$  čiji su vremenski dijagrami prikazani na slici.



- a) [10] Analitički odrediti i nacrtati vremensku zavisnost izlaznog napona  $v_i(t)$  ( $0 < t < +\infty$ ). Smatrati da je u provodnom stanju otpornost NMOS tranzistora  $r_{nmos}$  konstantna i iznosi  $r_{nmos} = R$ , dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost. Otpornost PMOS tranzistora u provodnom stanju  $r_{pmos}$  je konstantna i iznosi  $r_{pmos} = R$ , dok u neprovodnom stanju PMOS tranzistor ima beskonačnu otpornost. ( $V_{CC} > V_T$ ,  $V_T$  – napon uključenja NMOS, PMOS tranzistora).

- b) [5] Rešiti zadatak postavljen u tački (a) kada se iz kola ukloni kondenzator kapacitivnosti  $C$ .

### Rešenje:

a) U vremenu  $-\infty < t < 0$ , PMOS tranzistori vode, dok su NMOS tranzistori zakočeni. Napon na kondenzatoru u tom vremenskom intervalu je konstantan i iznosi  $v_i(t) = V_{CC}$ . Kada u vremenskom trenutku  $t = 0^+$ , napon  $v_1$  postane  $v_1 = V_{CC}$ , uključuje se NMOS tranzistor na čiji gejti je doveden napon  $v_1$  i isključuje komplementarni PMOS tranzistor. Kako je napon  $v_2$  i dalje na nuli, NMOS tranzistor na čiji gejti je doveden napon  $v_2$  je i dalje isključen (komplementaran PMOS je uključen) tako da će napon na kondenzatoru i dalje biti  $v_i(t) = V_{CC}$  ( $0 \leq t \leq T/2$ ). Kada i napon  $v_2$  postane  $v_2 = V_{CC}$ , oba NMOS tranzistora vode (oba PMOS tranzistora su zakočeni) tako da će se kondenzator prazniti preko redne otpornosti  $R_e = 2r_{nmos} = 2R$ . Talasni oblik napona  $v_i(t)$  u tom vremenskom intervalu je:

$$v_i(t) = V_{CC} e^{-\frac{t}{CR_e}} = V_{CC} e^{-\frac{t}{2T}}; T/2 \leq t \leq T$$

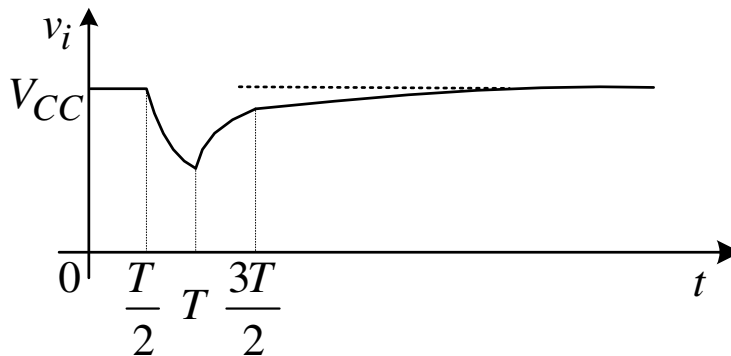
Kada napon  $v_1$  postane  $v_1 = 0V$ , zakočiće se donji NMOS tranzistor i uključiti odgovarajući komplementarni PMOS tranzistor, tako da će kondenzator od tog vremena početi da se puni preko otpornosti  $R_e = r_{pmos} = R$ . Talasni oblik napona  $v_i(t)$  u tom vremenskom intervalu je:

$$v_i(t) = V_{CC} - (V_{CC} - V_{CC} e^{-\frac{1}{2}}) e^{-\frac{t-T}{CR_e}} = V_{CC} - (V_{CC} - V_{CC} e^{-\frac{1}{2}}) e^{-\frac{t-T}{T}}; T \leq t \leq 3T/2$$

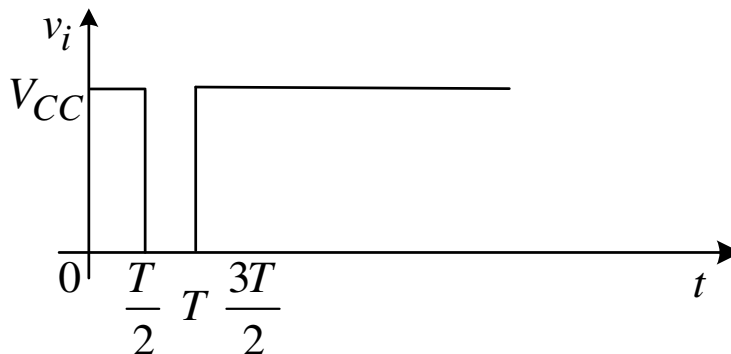
Kada i napon  $v_2$  postane  $v_2 = 0V$ , zakočiće se i gornji NMOS tranzistor i uključiti odgovarajući komplementarni PMOS tranzistor, tako da će kondenzator od tog vremena početi da se puni preko otpornosti  $R_e = r_{pmos}/2 = R/2$ . Talasni oblik napona  $v_i(t)$  u tom vremenskom intervalu je:

$$v_i(t) = V_{CC} - (V_{CC} - v_i(3T/2)) e^{-\frac{t-3T/2}{C \frac{r_{pmos}}{2}}} = V_{CC} - (V_{CC} - V_{CC} e^{-\frac{1}{2}}) e^{-\frac{t-3T/2}{\frac{T}{2}}}; \quad 3T/2 \leq t \leq \infty$$

Talasni oblik napona  $v_i$  je prikazan na slici



b) Kada se ukloni kondenzator sa izlaza, promene napona na izlazu će se dešavati trenutno, tako da će dijagram izlaznog napona izgledati



3. a) [10] Projektovati kombinacionu mrežu, u minimalnoj formi, koja na izlazu generiše kvadrat ulaznog trobitnog pozitivnog celog broja zapisanog u prirodnom binarnom kodu. Nacrtati traženu mrežu sa minimalnim brojem logičkih kola ako su na raspolaganju: dvoulazna I kola, dvoulazna ILI kola i invertori.

b) [5] Realizovati kombinacionu mrežu projektovanu u tački a) koristeći potreban broj multipleksera 8/1.

### Rešenje:

a) Kombinacona tabela opisuje funkciju tražene mreže:

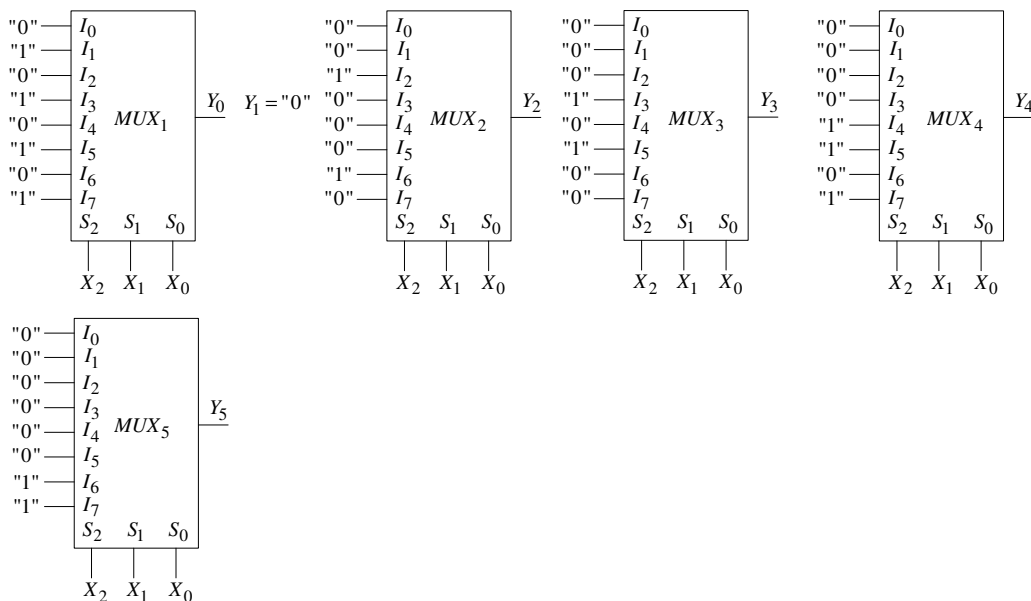
$X_{\text{dec.}}$	$X_2$	$X_1$	$X_0$	$X^2_{\text{dec.}}$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	1
2	0	1	0	4	0	0	0	1	0	0
3	0	1	1	9	0	0	1	0	0	1
4	1	0	0	16	0	1	0	0	0	0
5	1	0	1	25	0	1	1	0	0	1
6	1	1	0	36	1	0	0	1	0	0
7	1	1	1	49	1	1	0	0	0	1

Minimizacijom pomoću Karnoovih mapa, dobijaja se:

$$Y_0 = X_0, \quad Y_1 = 0, \quad Y_2 = X_1 \bar{X}_0, \quad Y_3 = X_0(X_2 \oplus X_1),$$

$$Y_4 = X_2(\bar{X}_1 + X_0), \quad Y_5 = X_2 X_1.$$

b) Na osnovu broja bita u izlaznom vektoru  $Y$  i kombinacione tabele može se zaključiti da je neophodno koristiti 5 multipleksera na čije se upravljačke linije dovodi vektor  $X_2 X_1 X_0$ , dok su ulazne linije spojene na logičku nulu ili jedinicu u zavisnosti za koji bit vektora  $Y$  se posmatrani multiplekser koristi.

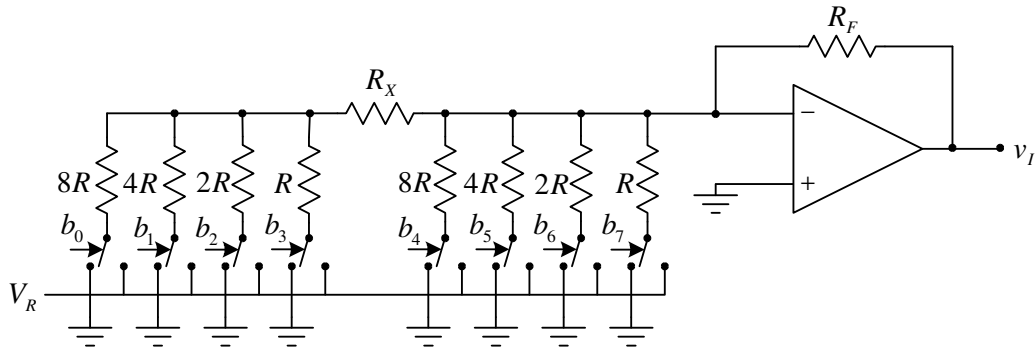


4. Na slici je prikazana šema osmobitnog D/A konvertora. Visoki logički nivo bita  $b_i$  postavlja prekidač u položaj u kome je donji kraj odgovarajućeg otpornika povezan na referentni napon  $V_R$ , a niski logički nivo bita  $b_i$  postavlja prekidač u položaj u kome je donji kraj odgovarajućeg otpornika povezan na masu. Smatrati da su prekidači idealni.

a) [10] Odrediti vrednost otpornika  $R_X$  (u zavisnosti od otpornosti  $R$ ) tako da konvertor konvertuje broj predstavljen u prirodnom BCD kodu u odgovarajući analogni napon.

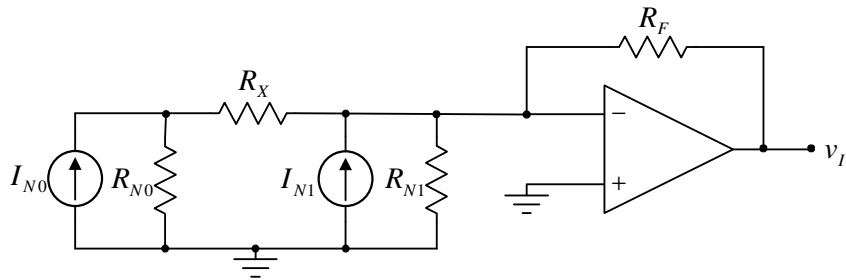
b) [5] Izvesti izraz za napon  $v_I$ .

c) [5] Kolika treba da bude otpornost otpornika  $R_X$  (u zavisnosti od otpornosti  $R$ ) da bi konvertor konvertovao brojeve predstavljene u prirodnom binarnom kodu u odgovarajući analogni napon?



### Rešenje:

a) Ako se deo kola levo od otpornika  $R_X$  i deo kola između otpornika  $R_X$  i invertujućeg ulaza operacionog pojačavača zamene ekvivalentnim Nortonovim generatorima, D/A konvertor može da se predstavi na sledeći način:



pri čemu su:

$$R_{N0} = R_{N1} = 8R \parallel 4R \parallel 2R \parallel R = \frac{8}{15} R;$$

$$I_{N0} = \frac{1}{8R} b_0 V_R + \frac{1}{4R} b_1 V_R + \frac{1}{2R} b_2 V_R + \frac{1}{R} b_3 V_R$$

$$I_{N0} = \frac{V_R}{8R} (b_0 2^0 + b_1 2^1 + b_2 2^2 + b_3 2^3)$$

$$I_{N1} = \frac{1}{8R} b_4 V_R + \frac{1}{4R} b_5 V_R + \frac{1}{2R} b_6 V_R + \frac{1}{R} b_7 V_R$$

$$I_{N1} = \frac{V_R}{8R} (b_4 2^0 + b_5 2^1 + b_6 2^2 + b_7 2^3)$$

Izlazni napon se može predstaviti kao:

$$v_I = -\frac{R_F R_{N0}}{R_{N0} + R_X} I_{N0} - R_F I_{N1}.$$

Da bi konvertor konvertovao broj predstavljen u prirodnom BCD kodu u odgovarajući analogni napon na izlazu, komponenta izlaznog napona koja potiče od dekade koju formiraju biti  $b_3 b_2 b_1 b_0$  (tj. komponente koju formira generator  $I_{N0}$ ) mora biti 10 puta manja od komponente izlaznog napona koja potiče od dekade koju formiraju biti  $b_7 b_6 b_5 b_4$  (tj. komponente koju formira generator  $I_{N1}$ ), tj.:

$$R_F = 10 \frac{R_F R_{N0}}{R_{N0} + R_X}.$$

Iz poslednje jednačine se dobija:

$$R_X = 9R_{N0} = 4,8R.$$

b) Na osnovu izraza iz prethodne tačke može se pisati:

$$v_I = -\frac{R_F R_{N0}}{R_{N0} + R_X} I_{N0} - R_F I_{N1} = -R_F \left( \frac{1}{10} I_{N0} + I_{N1} \right)$$

$$v_I = -\frac{V_R R_F}{80R} \left( \sum_{i=0}^3 b_i 2^i + 10 \sum_{i=0}^3 b_{i+4} 2^i \right).$$

c) Da bi konvertor konvertovao broj predstavljen u prirodnom binarnom kodu u odgovarajući analogni napon na izlazu, komponenta izlaznog napona koja potiče od dekade koju formiraju biti  $b_3 b_2 b_1 b_0$  (tj. komponente koju formira generator  $I_{N0}$ ) mora biti 16 puta manja od komponente izlaznog napona koja potiče od dekade koju formiraju biti  $b_7 b_6 b_5 b_4$  (tj. komponente koju formira generator  $I_{N1}$ ), tj.:

$$R_F = 16 \frac{R_F R_{N0}}{R_{N0} + R_X}.$$

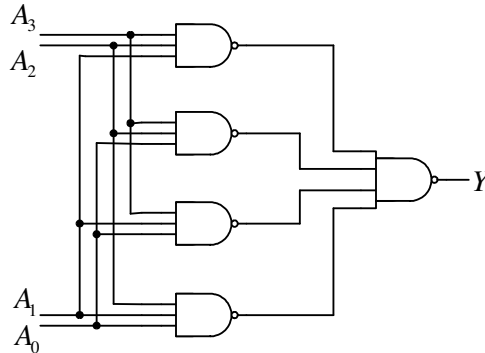
Iz poslednje jednačine se dobija:

$$R_X = 15R_{N0} = 8R.$$

5. a) [10] Odrediti prekidačku funkciju koju realizuje kombinaciona mreža sa slike i dati njen tabelarni prikaz.

b) [10] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacionog kola koje realizuje prekidačku funkciju iz tačke a) na osnovu njenog tabelarnog prikaza.

Napomena: Ocenjuje se precizna upotreba sintakse.



**Rešenje:**

a) Prekidačka funkcija koju realizuje kombinaciona mreža sa slike je:

$$Y = \overline{A_2 A_1 A_0} \cdot \overline{A_3 A_1 A_0} \cdot \overline{A_3 A_2 A_0} \cdot \overline{A_3 A_2 A_1} = A_2 A_1 A_0 + A_3 A_1 A_0 + A_3 A_2 A_0 + A_3 A_2 A_1$$

Tabelarni prikaz ove funkcije ima sledeći izgled:

$A_3$	$A_2$	$A_1$	$A_0$	$Y$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1



**b) Traženi VHDL kod je:**

```
library IEEE;
use IEEE.std_logic_1164.all;

entity comb is
  port (A: in STD_LOGIC_VECTOR (3 downto 0);
        Y: out STD_LOGIC);
end comb;

architecture behav of comb is
begin
  process (A)
  begin
    case A is
      when "0000" => Y <= '0';
      when "0001" => Y <= '0';
      when "0010" => Y <= '0';
      when "0011" => Y <= '0';
      when "0100" => Y <= '0';
      when "0101" => Y <= '0';
      when "0110" => Y <= '0';
      when "0111" => Y <= '1';
      when "1000" => Y <= '0';
      when "1001" => Y <= '0';
      when "1010" => Y <= '0';
      when "1011" => Y <= '1';
      when "1100" => Y <= '0';
      when "1101" => Y <= '1';
      when "1110" => Y <= '1';
      when "1111" => Y <= '1';
      when others => Y <= '0';
    end case;
  end process;
end behav;
```