

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 06.02.2013.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

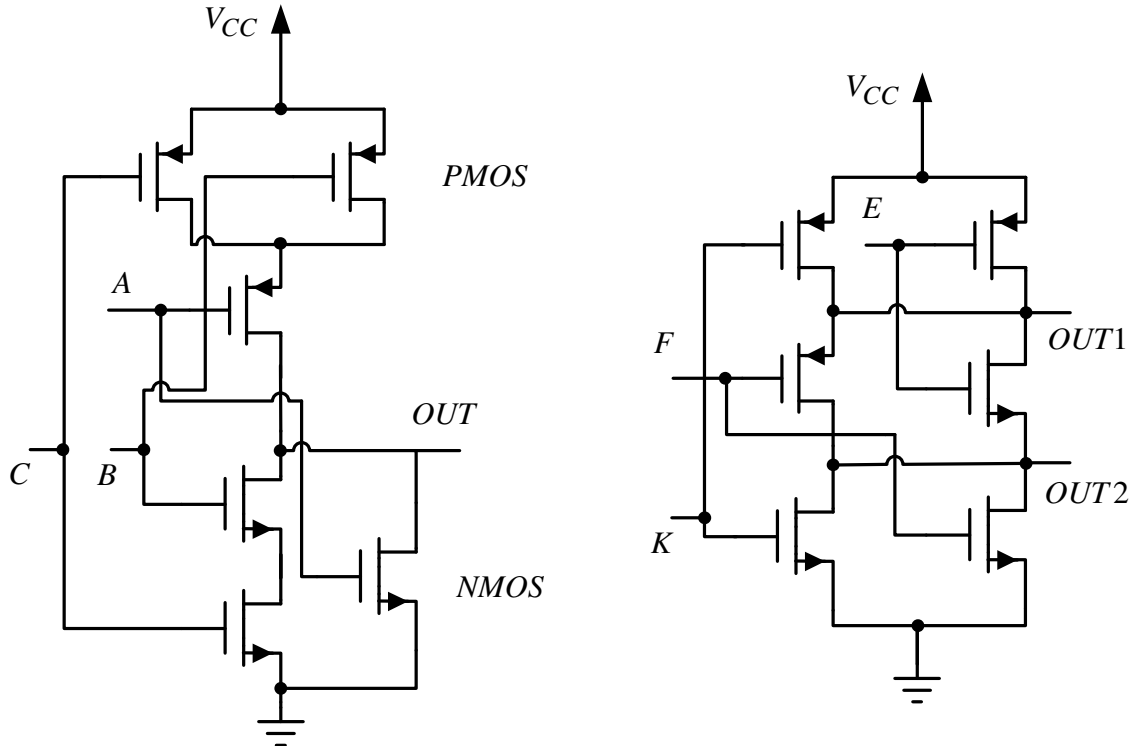
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. [20] Na slikama su prikazana CMOS logička kola sastavljena od NMOS i PMOS tranzistora.



- a) Odrediti logičku funkciju koje obavlja logičko kolo na slici levo. $OUT = OUT(A, B, C)$.
 b) Koristeći logičko kolo sa slike levo i minimalan broj dodatnih NMOS i PMOS tranzistora realizovati CMOS logičko kolo sa dva izlaza koje obavlja sledeće funkcije:

$$X = A + BC + \bar{E}$$

$$Y = (A + BC)\bar{F}$$

- c) Odrediti logičke funkcije koje obavlja CMOS kolo na slici desno. $OUT1 = OUT1(K, E, F)$, $OUT2 = OUT2(K, E, F)$. Da li se ovo logičko kolo može iskoristiti prilikom realizacije CMOS logičkog kola iz tačke b), obrazložiti detaljno odgovor.

Rešenje:

a) Logička funkcija CMOS kola sa slike levo se može dobiti na dva načina. Prvi način podrazumeva formiranje svih mogućih test vektora ABC i ispitivanja logičke vrednosti OUT promenjive za svaku vrednost test vektora. Na kraju se logička funkcija može naći minimizacijom pomoću Karnoove mape. Drugi način podrazumeva analizu topologije CMOS kola. Ukoliko uzmemo da je $A=1$, $OUT=0$ bez obzira na vrednosti C i B, ako je $A=0$, CMOS kolo se svodi na NI strukturu sa ulazima C i B. Na osnovu ovoga zaključujemo da je logička funkcija koju CMOS kolo realizuje:

$$OUT = \overline{A + BC}$$

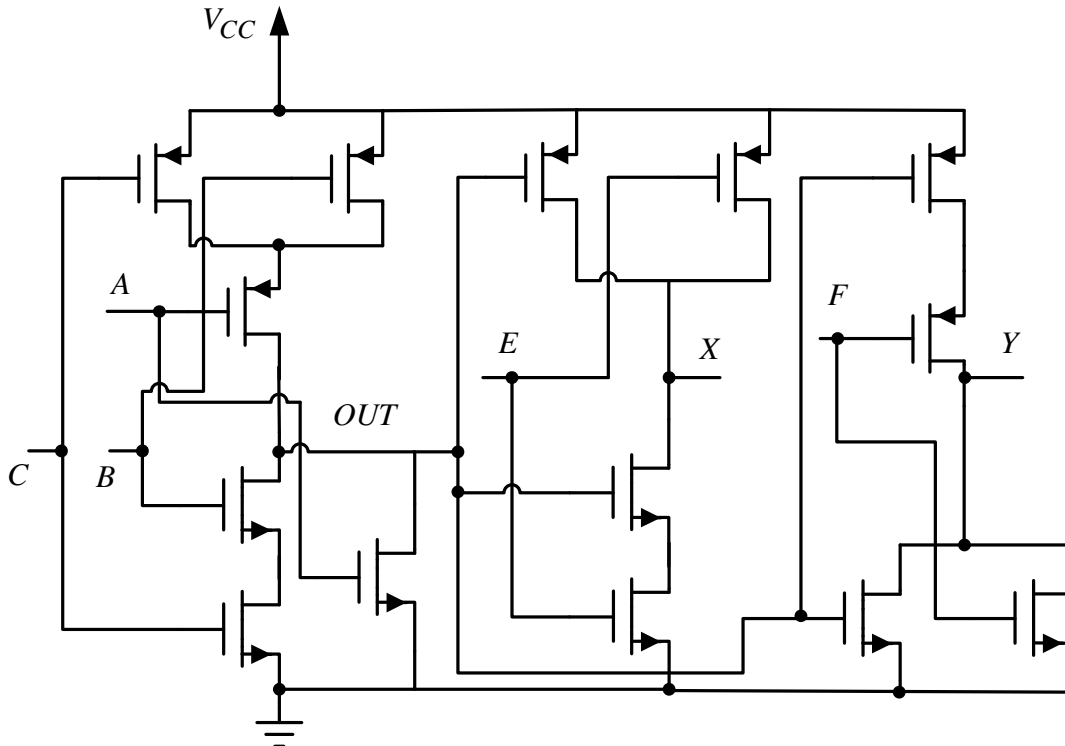
- b) Izrazi za X i Y se mogu napisati na drugi način

$$X = \overline{(A + BC)} \cdot E$$

$$Y = \overline{(A + BC) + F}$$

Na osnovu ovog zapisa se može zaključiti da se X funkcija može realizovati dovođenjem izlaza OUT na jedan ulaz NI kola, dok bi se na drugi ulaz NI kola dovela promenjiva E.

Y funkcija se može realizovati dovođenjem izlaza OUT na jedan ulaz NILI kola, dok bi se na drugi ulaz NI kola dovela promenjiva F. Realizacija je prikazana na slici.



c) Sličnom analizom kao u tački a) dolazimo do izraza

$$OUT1 = \overline{K \cdot E}$$

$$OUT2 = \overline{K + F}$$

ukoliko zamenimo $K = \overline{A + BC}$, OUT1 postaje X, a OUT2 postaje Y. Na prvi pogled traženo kolo bi moglo da zadovolji zahteve u pogledu funkcije i minimuma upotrebljenih dodatnih tranzistora (6 umesto 8 u realizaciji iz prethodne tačke). Međutim dato kolo ima ozbiljan nedostatak, ukoliko je $K=0$, $F=1$ i $E=1$, postoji kratka veza između napajanja i mase što bi dovelo do pregorevanja nekog od tranzistora i nedefinisanog stanja na izlazima X i Y. Na osnovu čega zaključujemo da se kolo sa slike desno ne može koristiti za realizaciju funkcija X i Y.

2. [20] Projektovati kombinacionu mrežu, u minimalnoj formi, koja na izlazu generiše kvadrat ulaznog trobitnog broja (binarno kodovani pozitivni celi brojevi). Nacrtati traženu mrežu sa minimalnim brojem logičkih kola ako su na raspolaganju: **dvoulazna** I kola, **dvoulazna** ILI kola i invertori.

Rešenje:

Kombinaciona tabela opisuje funkciju tražene mreže:

X dec.	X_2	X_1	X_0	X^2 dec.	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	1
2	0	1	0	4	0	0	0	1	0	0
3	0	1	1	9	0	0	1	0	0	1
4	1	0	0	16	0	1	0	0	0	0
5	1	0	1	25	0	1	1	0	0	1
6	1	1	0	36	1	0	0	1	0	0
7	1	1	1	49	1	1	0	0	0	1

Minimizacijom pomoću Karnoovih mapa, dobijaja se:

$$Y_0 = X_0, Y_1 = 0, Y_2 = X_1 \bar{X}_0, Y_3 = X_0(X_2 \oplus X_1),$$

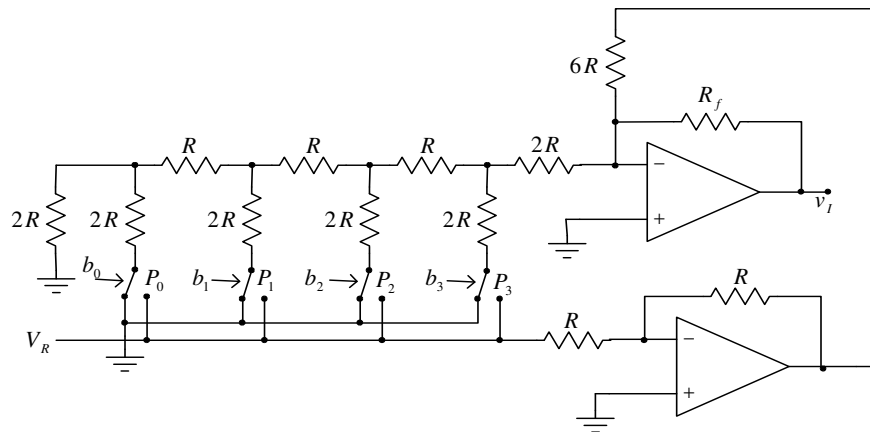
$$Y_4 = X_2(\bar{X}_1 + X_0), Y_5 = X_2 X_1.$$

3. a) [14] Na slici je prikazana šema četvorobitnog bipolarnog D/A konvertora sa lestvičastom R-2R otpornom mrežom. Na ulaz D/A konvertora se dovodi binarni broj $b_3b_2b_1b_0$, dok se na izlazu konvertora generiše analogni napon v_I koji je ekvivalent binarnog broja sa ulaza. Kada se na ulazu nalazi binarna vrednost 0000, na izlazu D/A konvertora se generiše po modulu najveći negativni napon, a kada se na ulazu nalazi binarna vrednost 1111, na izlazu D/A konvertora se generiše najveći pozitivni napon. Binarnom broju 1000 na ulazu odgovara analogni napon 0V na izlazu.

Prekidači P_i ($i=0,1,2,3$) povezuju donji kraj odgovarajućih otpornika $2R$ na napon V_R kada je vrednost odgovarajućeg bita b_i koji kontroliše taj prekidač jednaka 1, odnosno na masu kada je vrednost odgovarajućeg bita $b_i=0$. Otpornost prekidača je 0Ω .

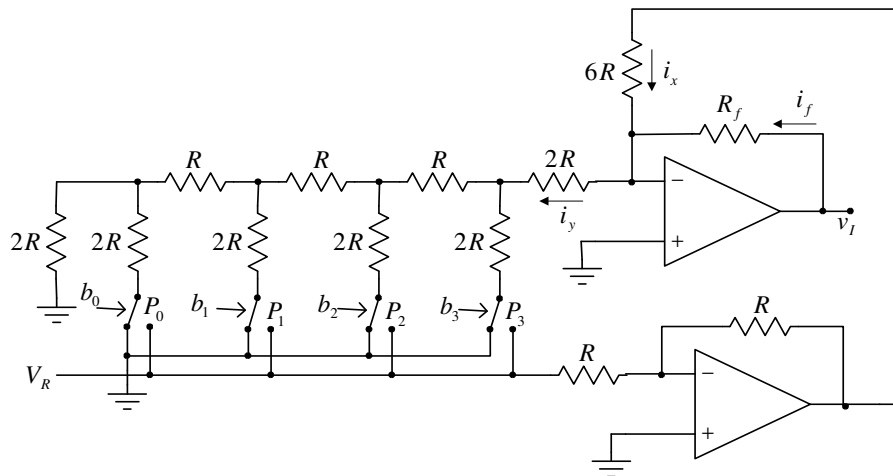
Izvesti izraz za napon v_I u zavisnosti od napona V_R , otpornosti R , R_f i vrednosti binarnih promenljivih b_3, b_2, b_1, b_0 .

b) [6] Ako je poznato da je $V_R = -6V$ i $R = 1k\Omega$ odrediti otpornost R_f tako da za maksimalnu vrednost binarnog broja na ulazu, izlazni napon bude $v_I = 4,375V$.



Rešenje:

a) Ako se označe struje i_x , i_y i i_f kao na slici i napišu odgovarajuće jednačine, dobija se:



$$v_I = R_f \cdot i_f = R_f \cdot (i_y - i_x)$$

$$i_x = \frac{-V_R}{6R}$$

$$i_y = \frac{1}{2} \cdot \frac{(-V_R)}{3R} \cdot b_3 + \frac{1}{4} \cdot \frac{(-V_R)}{3R} \cdot b_2 + \frac{1}{8} \cdot \frac{(-V_R)}{3R} \cdot b_1 + \frac{1}{16} \cdot \frac{(-V_R)}{3R} \cdot b_0$$

Iz prethodne tri jednačine se dobija:

$$v_I = -\frac{1}{16} \cdot \frac{V_R}{3R} \cdot R_f \cdot (8b_3 + 4b_2 + 2b_1 + b_0) + \frac{V_R}{6R} \cdot R_f = \frac{V_R}{6R} \cdot R_f - \frac{V_R}{48R} \cdot R_f \cdot (8b_3 + 4b_2 + 2b_1 + b_0)$$

b) Po uslovu zadatka je $v_I = 4,375 \text{ V}$ za $b_3 b_2 b_1 b_0 = 1111$. Na osnovu izraza izvedenog u tački a) dobija se:

$$v_I = \frac{-6V}{6R} \cdot R_f - \frac{-6V}{48R} \cdot R_f \cdot 15 = 4,375 \text{ V}$$

Dalje sledi:

$$-\frac{R_f}{R} \cdot + \frac{15R_f}{8R} = 4,375 \text{ odnosno:}$$

$$\frac{7R_f}{8R} = 4,375 \text{ odakle se konačno dobija da je tražena otpornost:}$$

$$R_f = 5 \text{ k}\Omega.$$

4. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacionog kola koje vrši detekciju prisustva neoznačenih četvorobitnih binarnih brojeva deljivih sa 3 na svom ulazu. Ukoliko je ulazni četvorobitni broj $D_3D_2D_1D_0$ bez ostatka deljiv sa 3, izlazni signal Y treba da bude na nivou logičke jedinice, a u suprotnom na nivou logičke nule. Opisana konverzija se vrši samo ako je signal EN na nivou logičke jedinice, dok u suprotnom na izlazu mreže treba da budu generisane sve nule.

Biti svih vektora su poređani od MSB ka LSB u smeru sa leva na desno.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

Kombinaciona tabela za traženo kombinaciono kolo za slučaj kada je $EN = 1$ je prikazana na sledećoj slici:

D_3	D_2	D_1	D_0	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Odgovarajući VHDL kod je dat u nastavku:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity comb is
    port (D: in STD_LOGIC_VECTOR (3 downto 0);
          EN: in STD_LOGIC;
          Y: out STD_LOGIC);
end comb;

architecture behav of comb is
    signal TMP: STD_LOGIC;
begin
    process (D, EN, TMP)
    begin
        case D is
            when "0000" => TMP <= '1';
            when "0001" => TMP <= '0';
            when "0010" => TMP <= '0';
            when "0011" => TMP <= '1';
            when "0100" => TMP <= '0';
```

```
when "0101" => TMP <= '0';
when "0110" => TMP <= '1';
when "0111" => TMP <= '0';
when "1000" => TMP <= '0';
when "1001" => TMP <= '1';
when "1010" => TMP <= '0';
when "1011" => TMP <= '0';
when "1100" => TMP <= '1';
when "1101" => TMP <= '0';
when "1110" => TMP <= '0';
when "1111" => TMP <= '0';
when others => TMP <= '1';
end case;
if EN='1' then Y<=TMP;
else Y <= '0';
end if;
end process;
end behav;
```