

# SINTEZA KOMBINACIONIH MREŽA POMOĆU KOLA NISKOGRADNOSTI I STATIČKI HAZARDI

## Zadatak 1

- Projektovati kombinacionu mrežu koja konvertuje 3-bitni binarni broj u komplementu do dva u binarni broj u kodu znak i apsolutna vrednost broja. Mrežu realizovati pomoću logičkih kola proizvoljnog tipa.
- Realizovati kombinacionu mrežu koja na izlazu generiše apsolutnu vrednost 4-bitnog binarnog broja datog u komplementu do dva.

*Napomena:* Težiti da broj upotrebljenih logičkih kola bude minimalan.

## REŠENJE:

- Najpre određujemo kombinacionu, odnosno funkcionalnu tabelu (tabela 1.1), koja definiše vrednosti izlaznih signala za sve kombinacije ulaznih logičkih nivoa.

Tabela 1.1: Kombinaciona tabela izlaza iz tačke a

$u_2u_1u_0$	$i_3i_2i_1i_0$
000	0000
001	0001
010	0010
011	0011
100	1100
101	1011
110	1010
111	1001

Na izlazu imamo četvorobitni binarni broj, obzirom da je u komplementu do dva sa tri bita minimalna vrednost koju možemo predstaviti, decimalni broj  $-4$ .

Iz kombinacione tabele 1.1, direktno određujemo logičke funkcije izlaza  $i_3$ ,  $i_2$  i  $i_0$ :

$$i_3 = u_2$$

$$i_2 = u_2\bar{u}_1\bar{u}_0 = u_2(\overline{u_1 + u_0})$$

$$i_0 = u_0$$

Funkciju izlaza  $i_1$  određujemo preko Karnoove karte date u tabeli 1.2.

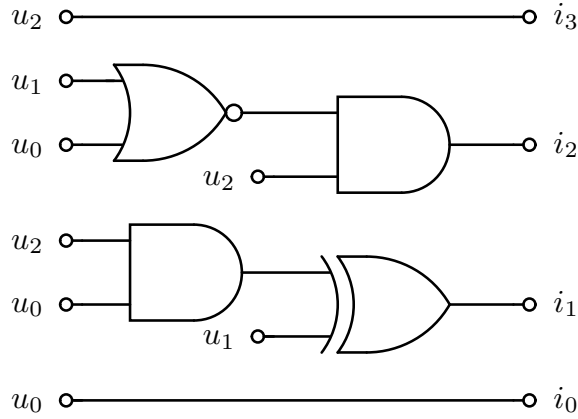
Tabela 1.2: Izgled Karnoove karte izlaza  $i_1$

$u_2 \backslash u_1u_0$	00	01	11	10
0	0	0	1	1
1	0	1	0	1

Na osnovu Karnoove karte date u tabeli 1.2, određujemo logičku funkciju izlaza  $i_1$ :

$$i_1 = \bar{u}_2 u_1 + u_1 \bar{u}_0 + u_2 \bar{u}_1 u_0 = \dots = u_1 \oplus (u_2 u_0)$$

Realizacija kombinacione mreže data je na slici 3.1.1.



Slika 1.1: Logička šema mreže iz tačke **a**

- b) Kombinaciona tabela koja definiše vrednosti signala na izlazu mreže za sve kombinacije logičkih nivoa na ulazu, data je u tabeli 1.3.

Tabela 1.3: Kombinaciona tabela izlaza iz tačke **b**

$u_3 u_2 u_1 u_0$	$i_3 i_2 i_1 i_0$
0000	0000
0001	0001
0010	0010
0011	0011
0100	0100
0101	0101
0110	0110
0111	0111
1000	1000
1001	0111
1010	0110
1011	0101
1100	0100
1101	0011
1110	0010
1111	0001

Iz kombinacione tabele 1.3, direktno određujemo logičke funkcije izlaza  $i_3$  i  $i_0$ :

$$i_3 = u_3 \bar{u}_2 \bar{u}_1 \bar{u}_0 = u_3 (\overline{u_2 + u_1 + u_0})$$

$$i_0 = u_0$$

Logičke funkcije ostalih izlaza kombinacione mreže određujemo pomoću Karnoovih karti datih u tabelama 1.4 i 1.5.

Tabela 1.4: Karnoova karta za izlaz  $i_2$

		$u_1u_0$			
		00	01	11	10
$u_3u_2$	00	0	0	0	0
	01	1	1	1	1
	11	1	0	0	0
	10	0	1	1	1

Prema tabeli 1.4, logička funkcija izlaza  $i_2$  data je izrazom:

$$i_2 = \bar{u}_3u_2 + u_2\bar{u}_1\bar{u}_0 + u_3\bar{u}_2u_0 + u_3\bar{u}_2u_1 = \dots = u_2\bar{u}_3\bar{u}_1\bar{u}_0 + \bar{u}_2u_3\bar{u}_1\bar{u}_0 = u_2 \oplus (u_3(u_1 + u_0))$$

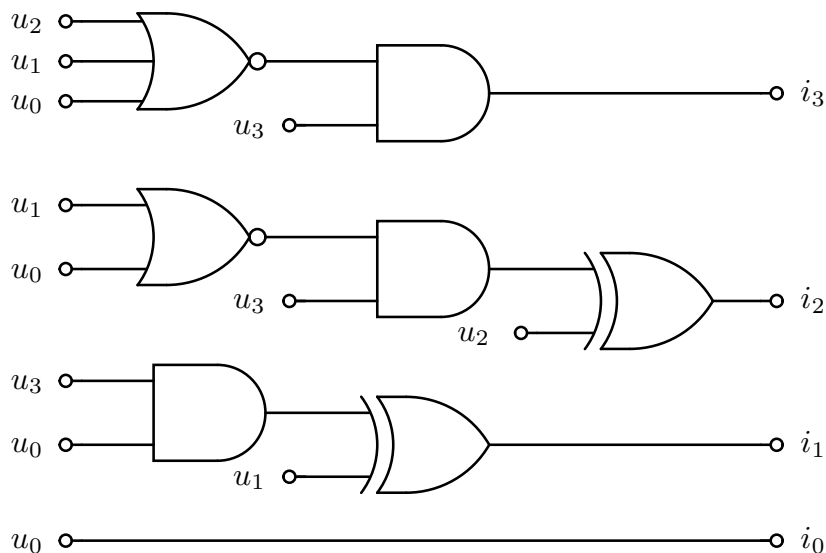
Tabela 1.5: Karnoova karta za izlaz  $i_1$

		$u_1u_0$			
		00	01	11	10
$u_3u_2$	00	0	0	1	1
	01	0	0	1	1
	11	0	1	0	1
	10	0	1	0	1

Logička funkcija izlaza  $i_1$  imaće oblik:

$$i_1 = u_1\bar{u}_0 + \bar{u}_3u_1 + u_3\bar{u}_1u_0 = \dots = u_1 \oplus (u_3u_0)$$

Logička šema kombinacione mreže iz tačke **b**, data je na slici 1.2.



Slika 1.2: Logička šema mreže iz tačke **b**

---

### Zadatak 2

Projektovati kombinacionu mrežu koja realizuje izlaz  $C(c_3c_2c_1c_0) = A(a_1a + 0) \times B(b_1b_0)$ , gde su  $A$  i  $B$  neoznačeni binarni brojevi. Na raspolaganju su logička kola proizvoljnog tipa.

*Napomena:* Težiti da broj upotrebljenih logičkih kola bude minimalan.

### REŠENJE:

Najpre određujemo kombinacionu tabelu (tabela 2.1), koja definiše vrednosti izlaza  $c_3c_2c_1c_0$ , za sve kombinacije logičkih nivoa na ulazu kola.

Tabela 2.1: Kombinaciona tabela

$a_1a_0b_1b_0$	$c_3c_2c_1c_0$
0000	0000
0001	0000
0010	0000
0011	0000
0100	0000
0101	0001
0110	0010
0111	0011
1000	0000
1001	0010
1010	0100
1011	0110
1100	0000
1101	0011
1110	0110
1111	1001

Na osnovu kombinacione tabele 2.1, direktno određujemo logičke funkcije izlaza  $c_3$  i  $c_0$ :

$$c_3 = a_1a_0b_1b_0$$

$$c_0 = a_0b_0 \tag{2.1}$$

Izraz 2.1, što se vidi i na osnovu tabele 2.1, odredili smo na osnovu činjenice da je rezultat množenja neparan broj ako i samo ako su i  $A$  i  $B$  neparni brojevi, odnosno kada važi:  $a_0 = b_0 = 1$ .

Logičke funkcije ostalih izlaza kombinacione mreže određujemo na osnovu Karnoovih karti datih u tabelama 3.2.2 i 3.2.3.

Tabela 2.2: Karnoova karta izlaza  $c_2$

		$b_1b_0$			
		00	01	11	10
$a_1a_0$	00	0	0	0	0
	01	0	0	0	0
	11	0	0	0	1
	10	0	0	1	1

Na osnovu Karnoove karte date u tabeli 2.2, određujemo logičku funkcija izlaza  $c_2$  datu izrazom:

$$c_2 = a_1\bar{a}_0b_1 + a_1b_1\bar{b}_0 = a_1b_1\overline{a_0b_0}$$

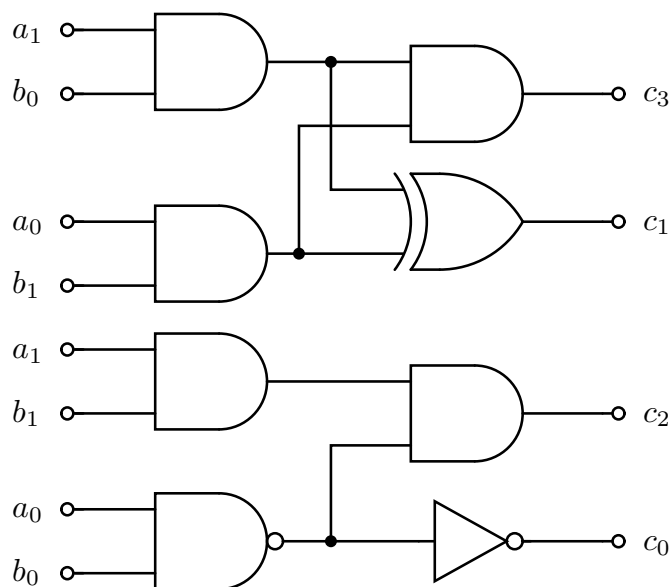
Tabela 2.3: Karnoova karta izlaza  $c_1$

		$b_1b_0$			
		00	01	11	10
$a_1a_0$	00	0	0	0	0
	01	0	0	1	1
	11	0	1	0	1
	10	0	1	1	0

Logička funkcija izlaza  $c_1$  data je izrazom:

$$c_1 = a_1\bar{a}_0b_0 + a_1\bar{b}_1b_0 + \bar{a}_1a_0b_1 + a_0b_1\bar{b}_0 = \overline{a_1b_0}a_0b_1 + a_1b_0\overline{a_0b_1} = (a_1b_0) \oplus (a_0b_1)$$

Logička šema kombinacione mreže data je na slici 2.1.

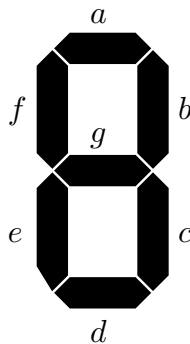


Slika 2.1: Logička šema mreže

---

### Zadatak 3

- Projektovati konvertor  $BCD$  kôda u sedmobitni kôd za pobudu svetlosnog sedmosegmentnog  $LED$  indikatora sa zajedničkom katodom (slika 3.1). Ako se na ulazu pojave kombinacije od 0000 do 1001 na indikatoru se prikazuju cifre 0-9. Ako se na ulazu pojave nedozvoljene kombinacije 1010-1111, na indikatoru se prikazuje slovo  $E$  (*Error*). Na raspolaganju su samo  $NI$  i  $NILI$  logička kola. Težiti da broj upotrebljenih logičkih kola bude minimalan.
- Projektovati kombinacionu mrežu, ako je poznato da se na ulazu kovertora koda ne mogu pojaviti nedozvoljene kombinacije ulaza, tj. ulazni podatak je u sigurno u opsegu 0000-1001. Na raspolaganju su logička kola proizvoljnog tipa.
- Kako treba modifikovati dobijenu šemu pod tačkom **a** da bi se, u slučaju kada se konvertor koristi u višecifarskom indikatoru, obezbedilo gašenje vodećih nula, i prikazivanje slova  $E$ , u slučaju kada se na ulazu bilo kog indikatora, nalazi neka od nedozvoljenih kombinacija. Na raspolaganju su logička kola proizvoljnog tipa.



Slika 3.1: Raspored segmenata  $LED$  indikatora

### REŠENJE:

- Najpre određujemo kombinacionu tabelu (tabela 3.1) koja definiše vrednosti izlaznih signala za sve kombinacije ulaznih logičkih nivoa. Na izlazu imamo sedmobitni kod ( $abcdefg$ ), koji se koristi za pobudu segmenata  $LED$  indikatora. Obzirom da je, prema tekstu zadatka, indikator sa zajedničkom katodom, aktivan logički nivo za pobudu nekog segmenta indikatora je nivo logičke jedinice.

Tabela 3.1: Kombinaciona tabela konvertora koda  $BCD/7s$

$ABCD$	$abcdefg$
0000	1111110
0001	0110000
0010	1101101
0011	1111001
0100	0110011
0101	1011011
0110	1011111
0111	1110000
1000	1110010
1001	1111111
1010	1111011
1011	1001111
1100	1001111
1101	1001111
1110	1001111
1111	1001111

Na osnovu kombinacione tabele 3.1, određujemo logičke funkcije izlaza pomoću Karnoovih karata. U nastavku je data Karnoova karta iz koje određujemo logičku funkciju izlaza  $a$ .

Tabela 3.2: Karnoova karta izlaza  $a$

		$CD$			
		00	01	11	10
$AB$	00	1	0	1	1
	01	0	1	1	1
	11	1	1	1	1
	10	1	1	1	1

Logičku funkciju izlaza  $a$  je moguće predstaviti u obliku koji je pogodan za realizaciju pomoću  $NILI$  logičkih kola:

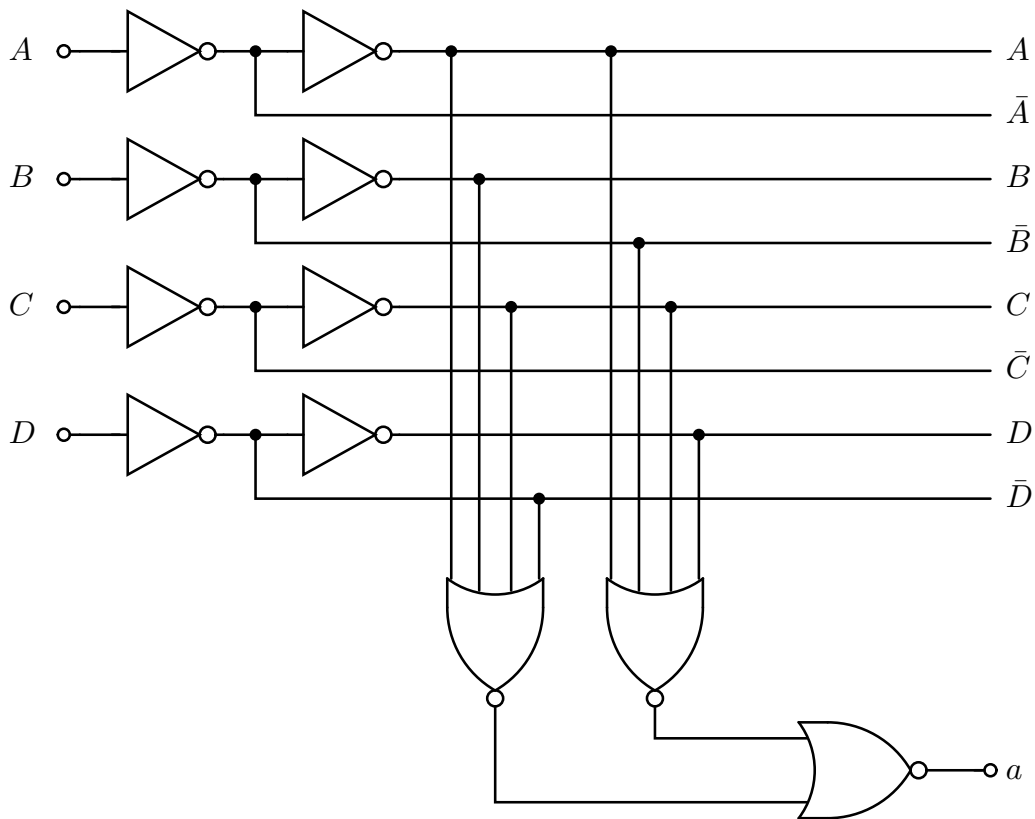
$$a = (A + \bar{B} + C + D)(A + B + C + \bar{D}) \quad (3.1)$$

Inače, izraz 3.1 moguće je predstaviti i u obliku koji je pogodan za realizaciju sa minimalnim brojem logičkih kola, ali je u tom slučaju zahtevano korišćenje  $EXNILI$  logičkih kola.

Izraz koji je pogodan za realizaciju sa minimalnim brojem logičkih kola ima oblik:

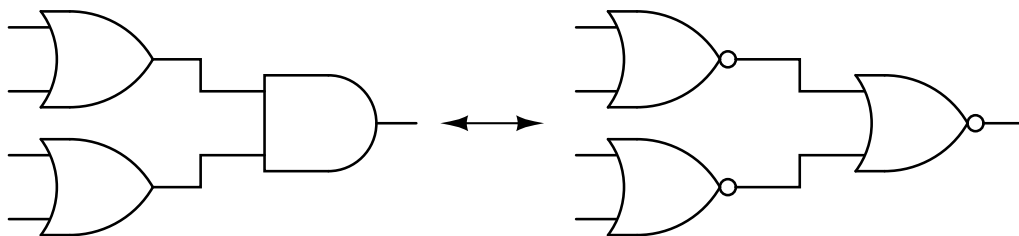
$$a = (A + \bar{B} + C + D)(A + B + C + \bar{D}) = A + C + \overline{B \oplus D}$$

Logička šema izlaza  $a$ , koji se koristi za pobudu jednog segmenta  $LED$  indikatora, data je na slici 3.2.



Slika 3.2: Logička šema dela kombinacione mreže iz tačke **a**

Logička funkcija u formi proizvoda logičkih zbirova, pogodna je za realizaciju sa *NILI* logičkim kolima, ako se izvrši transformacija:



Slika 3.3: Realizacija pomoću *NILI* kola

Obzirom da se ulazi *ABCD* konvertora kôda, vode na ulaze velikog broja logičkih kola, izvršeno je baferisanje ulaza.

Logičke funkcije ostalih izlaza (*b, c, d, e, f* i *g*) određujemo na sličan način.

- b) Najpre određujemo kombinacionu tabelu koja definiše vrednosti izlaznih signala za sve kombinacije ulaznih logičkih nivoa. Na izlazu imamo sedmobitni binarni broj (*abcdefg*). Kako je poznato da na ulazu konvertora može biti samo neka od kombinacija 0000-1001, vrednosti izlaza, u slučaju nedozvoljene kombinacije signala na ulazu kola, mogu imati proizvoljnu vrednost, (označenu sa *bbbbbb* u tabeli 3.3) te ih je preporučljivo koristiti prilikom određivanja logičke funkcije minimalne kompleksnosti.

Tabela 3.3: Kombinaciona tabela konvertora koda *BCD/7s*



$ABCD$	$abcdefg$
0000	1111110
0001	0110000
0010	1101101
0011	1111001
0100	0110011
0101	1011011
0110	1011111
0111	1110000
1000	1110010
1001	1111111
1010	$bbbbbb$
1011	$bbbbbb$
1100	$bbbbbb$
1101	$bbbbbb$
1110	$bbbbbb$
1111	$bbbbbb$

Iz kombinacione tabele 3.3, određujemo logičke funkcije izlaza pomoću Karnoovih karata.

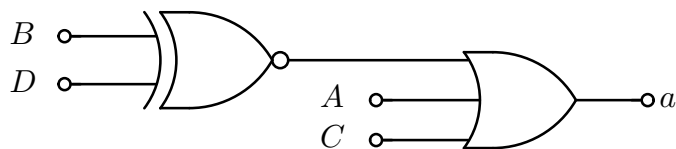
Tabela 3.4: Karnoova karta izlaza  $a$

$AB$	$CD$			
	00	01	11	10
00	1	0	1	1
01	0	1	1	1
11	$b$	$b$	$b$	$b$
10	1	1	$b$	$b$

Funkciju izlaza je moguće predstaviti u obliku koji je pogodniji za realizaciju u minimalnoj formi. Kao što je već dobijeno u tački **a**, logička funkcija izlaza  $a$ , imaće oblik:

$$a = A + C + BD + \bar{B}\bar{D} = A + C + \overline{B \oplus D} \quad (3.2)$$

Oblik logičke funkcije dat izrazom 3.2, je znatno jednostavniji za realizaciju od izraza 3.1, obzirom da zahteva samo dva logička kola, što je prikazano na slici 3.4.



Slika 3.4: Logička šema realizacije dela kombinacione mreže, iz tačke **b**, koja generiše izlaz konvertora koda  $a$

Logičke funkcije ostalih izlaza određujemo na sličan način.

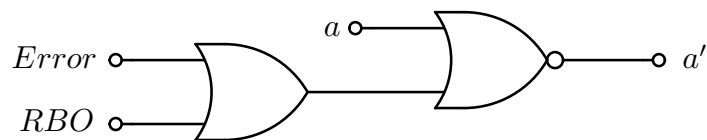
- c) Uvodimo kontrolne ulaze  $RBI$  i  $OFF$  i izlaze  $RBO$  i  $Error$ . Uzećemo da su svi kontrolni signali i ulazni i izlazni aktivni na nivou logičke jedinice. Signali  $RBI$  i  $RBO$  koriste se za kontrolu gašenja ili paljenja svih segmenata  $LED$  displeja. Signal  $Error$  generiše se ukoliko je na ulazu konvertora koda neka od nedozvoljenih kombinacija ulaza, dok se preko signala  $OFF$ , u slučaju višecifarskog indikatora, obezbeđuje gašenje svih  $LED$  indikatora osim onog koji odgovara  $LSD$  cifri i na kome se ispisuje  $E$ . Logička funkcija izlaza  $RBO$  data je izrazom:

$$RBO = RBI \cdot \bar{A}\bar{B}\bar{C}\bar{D}$$

Izlaz  $RBO = 1$  ako je ulaz  $RBI$  na visokom logičkom nivou i ako su svi ulazi  $ABCD = 0000$ . Dakle da bi smo, pomoću  $RBO$  signala obezbedili gašenje vodećih nula, odgovarajući konvertor koda na ulazu  $RBI$  mora imati logičku jedinicu. Ukoliko je na ulazu  $RBI$  logička nula, i u slučaju da je  $ABCD = 0000$ , na  $LED$  indikatoru će se prikazati cifra 0.

U slučaju da su ili ulaz  $OFF$  ili izlaz  $RBO$  na visokom logičkom nivou gase se svi segmenti  $LED$ -a, preko  $NILI$  kola, tj.  $abcdefg = 0000000$ , za  $RBO + OFF = 1$  (slika 3.5).

Dakle, izlaz za pobudu segmenta  $a$  (segmenta  $LED$  displeja), obeležen sa  $a'$ , generisaće se preko izlaznog  $NILI$  kola prema logičkoj šemi sa slike 3.5.



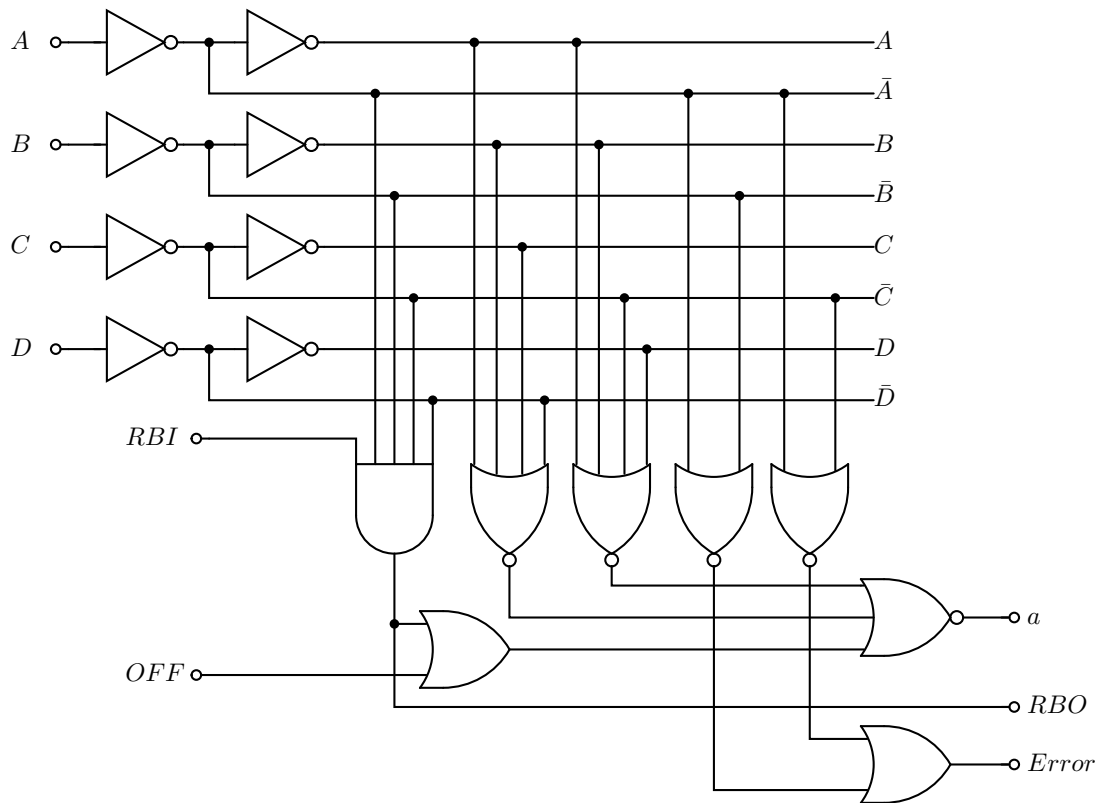
Slika 3.5: Segment realizacije kola koji obezbeđuje gašenje segmenata  $LED$  displeja

Vrednost izlaza  $Error$  je određena logičkom funkcijom:

$$Error = AB + AC$$

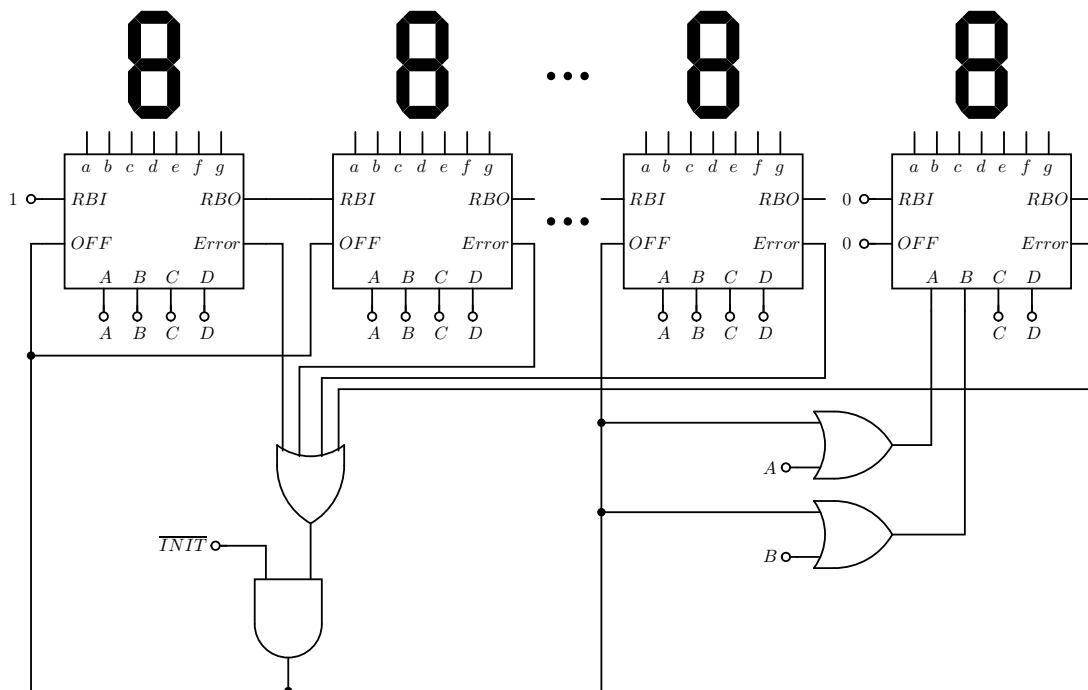
Dakle, izlaz  $Error = 1$  generiše se u slučaju da se na ulazu pojave nedozvoljene kombinacije  $11bb$  ili  $1b1b$ .

Logička šema  $BCD/7s$  konvertora koda sa dodatim ulazima i izlazima  $RBO$ ,  $RBI$ ,  $OFF$  i  $Error$  data je na slici 3.6.



Slika 3.6: Logička šema dela mreže iz tačke c

Logička šema veze konvertora koda  $BCD/7s$ , u slučaju višecifarskog indikatora data je na slici 3.7.



Slika 3.7: Logička šema realizacije višecifarskog indikatora iz tačke c

Signalom  $\overline{TNIT}$ , aktivnim na logičkoj nuli, obezbeđuje se izvođenje kola iz stanja kada se na  $LED$  indikatoru koji odgovara  $LSD$  cifri prikazuje znak  $E$  obzirom na povratnu spregu. Izlaz  $Error$ ,  $BCD/7s$  konvertora koda, obično se realizuje preko kola

sa otvorenim drejnom, čime je obezbeđeno jednostavno generisanje zajedničkog signala greške.

---

#### **Zadatak 4**

- a) Odrediti kombinacionu tabelu za mrežu koja na ulazu ima četvorobitni binarni broj u  $BCD$  kodu ( $ABCD$ ) i na izlazu signal  $Y$  koji je jednak jedinici ukoliko su dva susedna ulazna bita jednaka 1 (biti  $A$  i  $D$  su takođe susedni). Na ulazu se mogu pojaviti samo binarni brojevi u opsegu 0000-1001.
- b) Realizovati mrežu korišćenjem  $NI$  logičkih kola sa proizvoljnim brojem ulaza.
- c) Realizovati mrežu korišćenjem  $NI$  logičkih kola sa dva ulaza.
- d) Realizovati mrežu korišćenjem  $NILI$  logičkih kola sa dva ulaza.

*Napomena:* Težiti da broj upotrebljenih logičkih kola bude minimalan.

#### **REŠENJE:**

- a) Najpre određujemo kombinacionu tabelu (tabela 4.1) koja definiše vrednosti izlaznih signala za sve kombinacije ulaznih logičkih nivoa.

Tabela 4.1: Kombinaciona tabela izlaza  $Y$

$ABCD$	$Y$
0000	0
0001	0
0010	0
0011	1
0100	0
0101	0
0110	1
0111	1
1000	0
1001	1
1010	$b$
1011	$b$
1100	$b$
1101	$b$
1110	$b$
1111	$b$

Na osnovu tabele 4.1, određujemo logičku funkciju izlaza pomoću Karnoove karte date u tabeli 4.2.

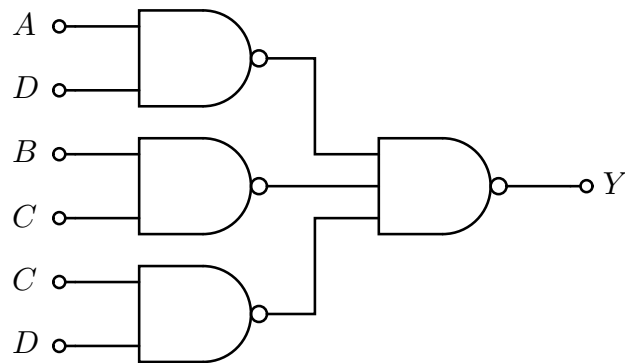
Tabela 4.2: Karnoova karta izlaza  $a$

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	0	0	1	0
	01	0	0	1	1
	11	<i>b</i>	<i>b</i>	<i>b</i>	<i>b</i>
	10	0	1	<i>b</i>	<i>b</i>

- b) Na osnovu tabele 4.2, određujemo logičku funkciju izlaza  $Y$ , koju realizujemo pomoću  $NI$  logičkih kola sa proizvoljnim brojem ulaza, prema izrazu:

$$Y = CD + BC + AD = \overline{\overline{CD} \cdot \overline{BC} \cdot \overline{AD}} \quad (4.1)$$

Logička šema kombinacione mreže data je na slici 4.1.

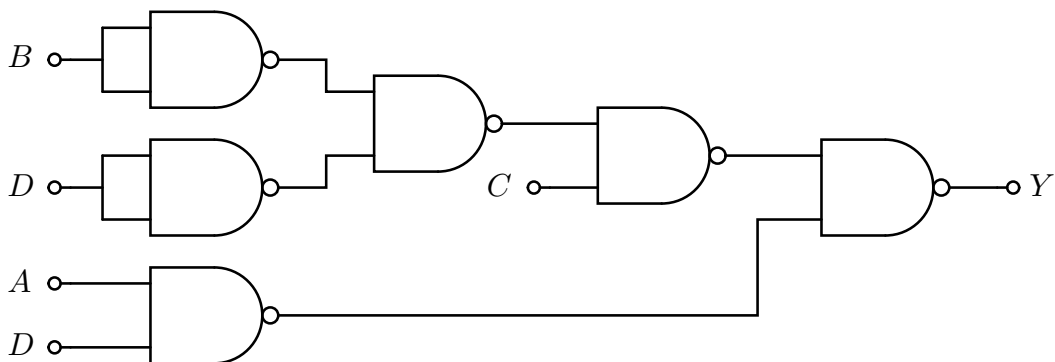


Slika 4.1: Logička šema kombinacione mreže iz tačke **b**

- c) Polazeći od izraza 4.1, modifikovaćemo logičku funkciju izlaza, tako da kombinacionu mrežu možemo realizovati pomoću dvoulaznih  $NI$  logičkih kola u obliku:

$$Y = C(D + B) + AD = \overline{\overline{\overline{C} \cdot \overline{D} \cdot \overline{B} \cdot \overline{AD}}}$$

Logička šema kombinacione mreže data je na slici 4.2.



Slika 4.2: Logička šema kombinacione mreže iz tačke **c**

- d) U slučaju realizacije kombinacione mreže pomoću *NILI* logičkih kola, pogodan oblik logičke funkcije izlaza jeste u formi proizvoda logičkih zbirova, koji se dobija ako se u Karnoovoj karti posmatraju polja u kojima je vrednost izlaza nula, što je prikazano u tabeli 4.3.

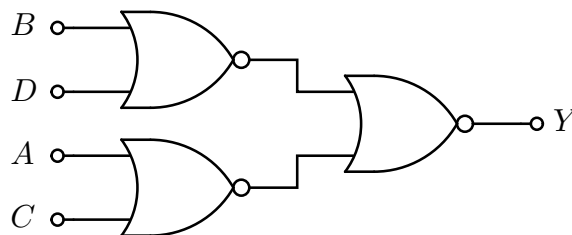
Tabela 4.3: Izgled Karnoove karte izlaza  $a$

		$CD$			
		00	01	11	10
$AB$	00	0	0	1	0
	01	0	0	1	1
	11	$b$	$b$	$b$	$b$
	10	0	1	$b$	$b$

Na osnovu tabele 4.3, određujemo logičku funkciju izlaza  $Y$ , koju ćemo realizovati pomoću dvoulaznih *NILI* logičkih kola. Logička funkcija izlaza, data je izrazom:

$$Y = (B + D)(A + C) = \overline{\overline{(B + D)}} + \overline{\overline{(A + C)}}$$

Logička šema kombinacione mreže data je na slici 4.3.



Slika 4.3: Logička šema kombinacione mreže iz tačke **d**

Na osnovu realizacija kombinacione mreže iz tačkama **a**, **b** i **c** zaključujemo da je realizacija pomoću dvoulaznih *NILI* logičkih kola, data pod tačkom **d**, optimalno rešenje.

### **Zadatak 5**

Dat je 6-bitni binarni broj  $D$ .

- Projektovati kombinacionu mrežu koja generiše izlaz  $Y$ , gde  $Y$  predstavlja binarni broj  $D$  u kodu sa minimalnim *Hamming*-ovim rastojanjem 2.
- Projektovati kombinacionu mrežu koja generiše izlaz  $Y$ , gde  $Y$  predstavlja binarni broj  $D$  u kodu sa minimalnim *Hamming*-ovim rastojanjem 4.

*Napomena:* Na raspolaganju su logička kola proizvoljnog tipa. Težiti da vreme propagacije signala od ulaza do izlaza mreže realizovane u tačkama **a** i **b** bude minimalno. Kašnjenje signala kroz sva logička kola nalazi se u opsegu od 2ns do 5ns. Za svaku od realizacija naznačiti maksimalnu vrednost kašnjenja izlaznih signala.

**REŠENJE:**

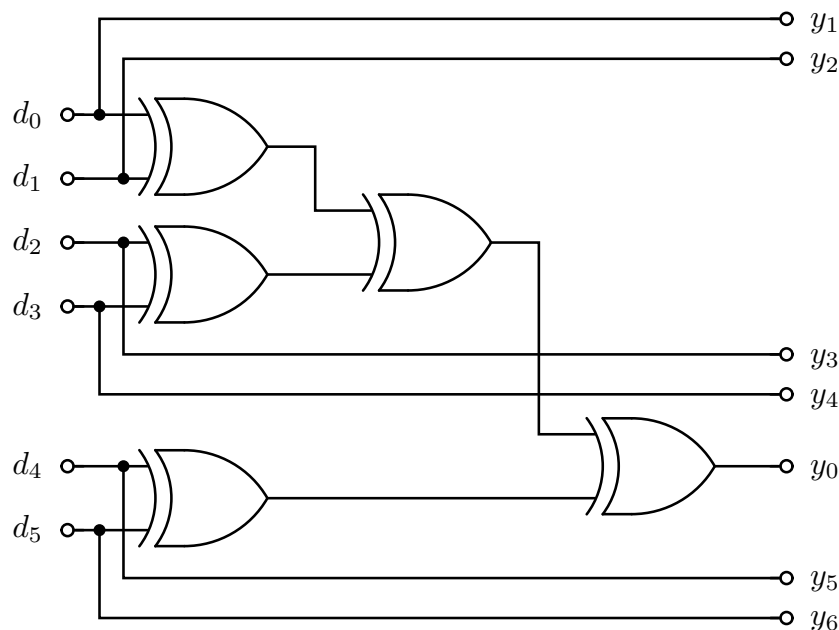
- a) Kako je u slučaju koda sa bitom neparne ili parne parnosti minimalno *Hamming*-ovo rastojanje između dve kodne reči 2, kombinacionu mrežu ćemo projektovati tako da generiše, npr. bit parne parnosti  $c_0$ .  
Ako ulazni binarni broj  $D$  predstavimo u obliku  $d_5d_4d_3d_2d_1d_0$ , kodovana informacija će imati 7 bita i biće data u obliku:

$$Y = y_6y_5y_4y_3y_2y_1y_0 = d_5d_4d_3d_2d_1d_0c_0$$

Kontrolni bit  $c_0$  određićemo na osnovu izraza:

$$c_0 = d_5 \oplus d_4 \oplus d_3 \oplus d_2 \oplus d_1 \oplus d_0$$

Realizacija kombinacione mreže iz tačke **a** data je na slici 5.1.



Slika 5.1: Logička šema kola iz tačke **a**

Vreme propagacije signala od ulaza do izlaza po kritičnoj putanji (putanji sa najvećim vremenom propagacije) iznosi  $3t_{dlk}$ , odnosno u najgorem slučaju 15ns. Kritična putanja određena je vremenom propagacije signala do izlaza  $y_0$ , nakon promene nekog od ulaza  $d_0$ ,  $d_1$ ,  $d_2$  ili  $d_3$ .

- b) Da bi smo generisali izlaz  $Y$ , koji predstavlja binarni broj  $D$  u kodu sa minimalnim rastojanjem 4, najpre ćemo odrediti binarni broj  $D$  u kodu sa minimalnim rastojanjem 3 i zatim ćemo dodati bit parne parnosti za sve određene bite koda, čime ćemo odrediti traženi izlaz  $Y$ . (Pogledati zadatak 17)

Neka izlaz  $Z$  predstavlja binarni broj  $D$  u kodu sa minimalnim rastojanjem 3. Najpre je potrebno odrediti minimalni broj kontrolnih bita u kodu, obzirom da imamo 6 bita podataka (informacionih bita). Kako važi da je ukupan broj bita (broj bita koda), u koji su uključeni i kontrolni i informacioni biti, dat izrazom  $2^i - 1$ , gde je  $i$  broj kontrolnih bita, dobijamo jednačinu iz koje određujemo potreban broj kontrolnih bita. Ako broj informacionih bita obeležimo sa  $j$ , jednačina će imati oblik:

$$2^i - 1 - i \geq j$$

U našem slučaju,  $j = 6$ , tako da za vrednost  $i$  dobijamo broj 4. Dakle, u slučaju koda sa minimalnim *Hamming*-ovim rastojanjem 3 mogli bi da imamo, sa ukupno 4 kontrolna

bita, maksimalno 11 informacionih bita. U našem slučaju imamo 6 informacionih bita, tako da ćemo prilikom određivanja logičkih funkcija kontrolnih bita uzeti da informacioni biti  $d_{10}d_9d_8d_7d_6$  imaju binarnu vrednost 00000. Izlaz  $Z$  će imati ukupno 10 bita i biće dat u obliku:

$$Z = z_{10}z_9z_8z_7z_6z_5z_4z_3z_2z_1 = d_5d_4c_8d_3d_2d_1c_4d_0c_2c_1$$

Logičke funkcije kontrolnih bita biće date izrazima:

$$c_1 = z_3 \oplus z_5 \oplus z_7 \oplus z_9 = d_0 \oplus d_1 \oplus d_3 \oplus d_4$$

$$c_2 = z_3 \oplus z_6 \oplus z_7 \oplus z_{10} = d_0 \oplus d_2 \oplus d_3 \oplus d_5$$

$$c_4 = z_5 \oplus z_6 \oplus z_7 = d_1 \oplus d_2 \oplus d_3$$

$$c_8 = z_9 \oplus z_{10} = d_4 \oplus d_5$$

Sada će izlaz  $Y$  biti dat u formi:

$$Y = y_{10}y_9y_8y_7y_6y_5y_4y_3y_2y_1y_0 = z_{10}z_9z_8z_7z_6z_5z_4z_3z_2z_1y_0$$

Izlaz  $y_0$  predstavljaće bit parne parnosti za bite  $y_{10}y_9y_8y_7y_6y_5y_4y_3y_2y_1$ , odnosno bite  $d_5d_4c_8d_3d_2d_1c_4d_0c_2c_1$ .

Logička funkcija izlaza  $y_0$  data je izrazom:

$$y_0 = d_5 \oplus d_4 \oplus c_8 \oplus d_3 \oplus d_2 \oplus d_1 \oplus c_4 \oplus d_0 \oplus c_2 \oplus c_1 \quad (5.1)$$

Ako izraze za logičke funkcije kontrolnih bita  $c_8$ ,  $c_4$ ,  $c_2$  i  $c_1$  zamenimo u izraz 5.1, na osnovu poznatih jednakosti:  $a \oplus a = 0$  i  $a \oplus a \oplus a = a$ , izraz 5.1 se transformiše u izraz:

$$y_0 = d_5 \oplus d_4 \oplus d_2 \oplus d_1 \oplus d_0 \quad (5.2)$$

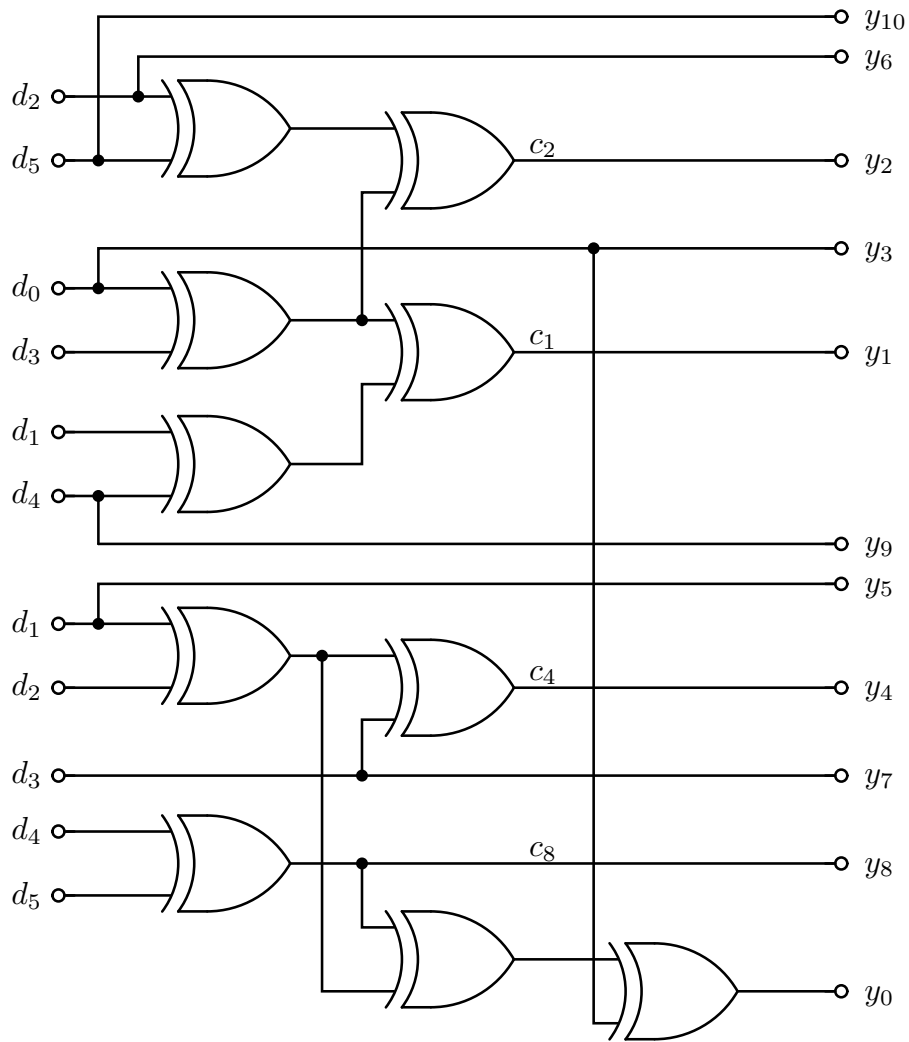
Odnosno:

$$y_0 = c_4 \oplus c_8 \oplus d_3 \quad (5.3)$$

Međutim, ako logičku funkciju izlaza  $y_0$  realizujemo prema izrazu 5.3, imaćemo, na prvi pogled, realizaciju koja zahteva minimalan broj logičkih kola. Kako je, prema uslovu zadatka, zahtevano minimalno kašnjenje, pogodniji oblik za realizaciju izlaza  $y_0$  je oblik 5.2.

Logička šema kola iz tačke **b** data je na slici 5.2.





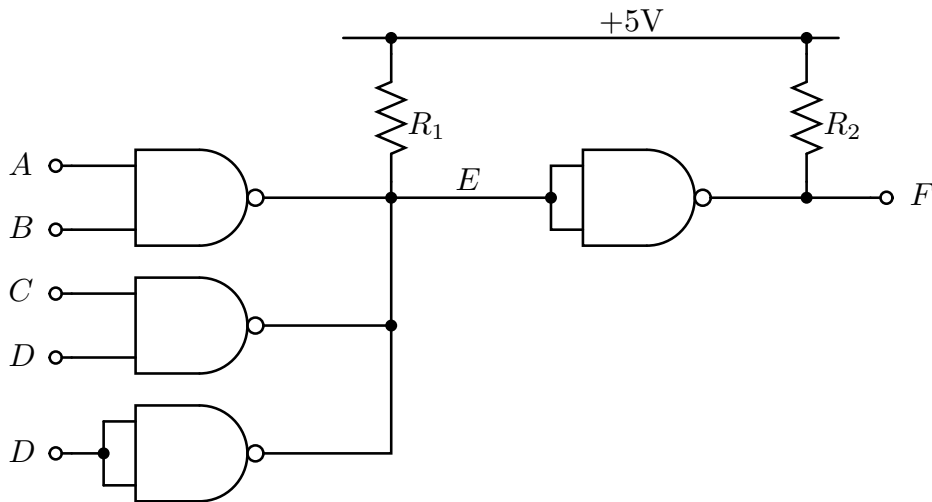
Slika 5.2: Logička šema kola iz tačke **b**

Na osnovu realizacije sa slike 5.2, uočavamo da je za generisanje izlaza  $y_0$  upotrebljena samo 2 dodatna *EXILI* kola.

Vreme propagacije signala od ulaza do izlaza po kritičnoj putanji ima istu vrednost kao i tački **a**, odnosno 15ns.

### **Zadatak 6**

- U kolu sa slike 6.1 korišćena su logička kola sa otvorenim drejnom (kolektorom) čije je napajanje +5V. Napisati kombinacionu tabelu za izlazni signal  $F$  i odrediti njegovu logičku funkciju u što minimalnijoj formi.
- Šta bi se desilo u kolu sa slike 6.1, ako bi se uklonio otpornik  $R_1$ ?
- Da li bi kolo sa slike 6.1 ispravno radilo ako upotrebljena logička kola ne bi bila kola sa otvorenim drejnom?



Slika 6.1: Logička šema kola

### REŠENJE:

- a) Obzirom da su korišćena logička kola sa otvorenim drejnom u realizaciji kola sa slike 6.1, kombinacionu tabelu za izlazni signal  $F$ , na najjednostavniji način, odredićemo preko logičke funkcije izlaza  $F$ . Naime, ako izlaze ulaznih  $NI$  logičkih kola sa otvorenim drejnom obeležimo sa  $I_1$ ,  $I_2$  i  $I_3$ , signal u tački  $E$  biće jednak nuli ako je na izlazu bilo kog ulaznog  $NI$  kola nizak logički nivo. Sa druge strane, ako su izlazni tranzistori kod svih  $NI$  logičkih kola (kola sa otvorenim drejnom) zakočeni, u tački  $E$  ćemo imati visok logički nivo zbog *pull up* otpornika  $R_1$ . Logička funkcija izlaza  $E$  biće data izrazom:

$$E = I_1 \cdot I_2 \cdot I_3$$

Sa druge strane imamo da su logičke funkcije izlaza  $I_1$ ,  $I_2$  i  $I_3$  i izlaza mreže  $F$ , date izrazima:

$$I_1 = \overline{AB}$$

$$I_2 = \overline{CD}$$

$$I_3 = \overline{D}$$

Za logičku funkciju izlaza  $F$ , konačno dobijamo izraz:

$$F = \overline{E} = \overline{I_1 I_2 I_3} = \overline{\overline{AB} \cdot \overline{CD} \cdot \overline{D}} = AB + CD + D = AB + D \quad (6.1)$$

Dakle, dobili smo da izlaz  $F$  ne zavisi od logičkog nivoa na ulazu  $C$ .

Sada, na osnovu izraza 6.1, lako određujemo kombinacionu tabelu za izlaz  $F$ , što je prikazano u tabeli 6.1.

Tabela 6.1: Kombinaciona tabela izlaza  $F$

$ABCD$	$F$
0000	0
0001	1
0010	0
0011	1
0100	0
0101	1
0110	0
0111	1
1000	0
1001	1
1010	0
1011	1
1100	1
1101	1
1110	1
1111	1

- b) Ukoliko bi se u kolu sa slike 6.1, uklonio otpornik  $R_1$ , u slučaju da su izlazni tranzistori ulaznih  $NI$  kola sa otvorenim drejnom zakočeni, signal u tački  $E$  bi bio u stanju visoke impedanse, tako da bi logički nivo na izlazu kola bio neodređen.
- c) Ukoliko upotrebljena logička kola ne bi bila sa otvorenim drejnom, imali bi situaciju da su izlazi logičkih kola kratko spojeni. To bi značilo da za određenu kombinaciju ulaznih logičkih nivoa (npr.  $A = B = 1$  i  $D = 0$ ) između linija napajanja logičkih kola (+5V i 0V) napravi putanja sa malom otpornosti. Kroz ovu putanju bi protekla ogromna struja koja bi dovela do zagrevanja komponente i uništenja upotrebljenih logičkih kola.

### **Zadatak 7**

Data je logička funkcija  $Y = \bar{A}\bar{C} + CD + BC\bar{D}$ , u formi zbira logičkih proizvoda.

- a) Odrediti pri kojim prelazima postoji mogućnost generisanja lažnih nula na izlazu kola. Da li je funkcija data u minimalnoj formi? Predstaviti logičku funkciju u minimalnoj formi. Da li kod funkcije data u minimalnoj formi postoji mogućnost generisanja lažnih nula na izlazu kola?
- b) Modifikovati logičku funkciju  $Y$ , tako da ne postoji mogućnost generisanja lažnih nula. Težiti da broj upotrebljenih logičkih kola bude minimalan.

### **REŠENJE:**

- a) U tabeli 7.1 data je Karnoova karta izlaza  $Y$ , datog logičkom funkcijom  $Y = \bar{A}\bar{C} + CD + BC\bar{D}$ , prema tekstu iz postavke zadatka.

Tabela 7.1: Karnoova karta za logičku funkciju  $Y$

		$CD$			
		00	01	11	10
$AB$	00	1	1	1	0
	01	1	1	1	1
	11	0	0	1	1
	10	0	0	1	0

Na osnovu obeleženih kontura koje odgovaraju pojedinačnim logičkim proizvodima iz logičke funkcije izlaza mreže  $Y = \bar{A}\bar{C} + CD + BC\bar{D}$ , vidimo da funkcija nije data u minimalnoj formi. Takođe, uočavamo, potencijalne prelaze koji mogu dovesti do generisanja lažne nule na izlazu kola. To su svi prelazi između dve susedne konture iz tabele 7.1, koji se mogu desiti pri promeni najviše jednog od ulaznih signala. U tabeli 7.2, obeleženi su svi prelazi koji mogu dovesti do pojave lažne nule.

Tabela 7.2: Prelazi koji mogu dovesti do generisanje lažne nule

		$CD$			
		00	01	11	10
$AB$	00	1	1	1	0
	01	1	1	1	1
	11	0	0	1	1
	10	0	0	1	0

Prema tabeli 7.2 uočavamo da postoji ukupno 10 prelaza koji mogu dovesti do pojave lažne nule na izlazu kola. Kao što je obeleženo u tabeli 7.2, polja  $ABCD = 0100$  i  $ABCD = 0110$  predstavljaju susedna polja u Karnoovoj karti. U tabeli 7.3, data je Karnoova karta za slučaj logičke funkcije izlaza  $Y$ , date u minimalnoj formi.

Tabela 7.3: Karnoova karta za logičku funkciju  $Y$

		$CD$			
		00	01	11	10
$AB$	00	1	1	1	0
	01	1	1	1	1
	11	0	0	1	1
	10	0	0	1	0

Logička funkcija izlaza određena na osnovu tabele 7.3 ima oblik:

$$Y = \bar{A}\bar{C} + CD + CB$$

U tabeli 7.3, obeleženi su i svi prelazi koji mogu dovesti do pojave generisanja lažne nule na izlazu kola, tako da ćemo na logičku funkciju u minimalnoj formi dodati konture, koje obuhvataju potencijalno opasne prelaze.

- b) Nova Karnoova karta izlaza  $Y$ , bez mogućnosti pojave lažnih nula data je u tabeli 7.4.

Tabela 7.4: Karnoova karta za logičku funkciju  $Y$

		$CD$			
		00	01	11	10
$AB$	00	1	1	1	0
	01	1	1	1	1
	11	0	0	1	1
	10	0	0	1	0

U tabeli 7.4, dočrtane su dodatne konture prikazane debljim linijama koje onemogućavaju pojavu lažnih nula. Logička funkcija izlaza  $Y$  sada će biti data izrazom:

$$Y = \bar{A}\bar{C} + CD + CB + \bar{A}B + \bar{A}D$$

Da rezimiramo, transformacijom logičke funkcije u oblik funkcije u minimalnoj formi i dodavanjem kontura koje obezbeđuju otklanjanje mogućnosti pojave statičkog hazarda, dobili smo zahtevanu realizaciju u minimalnoj formi.

### Zadatak 8

- a) Data je logička funkcija  $Y = \bar{B}\bar{C}\bar{D} + A\bar{C}D + \bar{A}C\bar{D}$ , u formi zbira logičkih proizvoda. Logičku funkciju predstaviti u minimalnom obliku u formi proizvoda logičkih zbirova. Da li i pri kojim prelazima postoji mogućnost generisanja lažnih jedinica na izlazu kola?
- b) Modifikovati logičku funkciju  $Y$ , tako da ne postoji mogućnost generisanja lažnih jedinica.

### **REŠENJE:**

- a) U tabeli 8.1 data je Karnoova karta logičke funkcije  $Y = \bar{B}\bar{C}\bar{D} + A\bar{C}D + \bar{A}C\bar{D}$ , iz postavke zadatka.

Tabela 8.1: Karnoova karta za logičku funkciju  $Y$

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	1	0	0	1
	01	0	0	0	1
	11	0	1	0	0
	10	1	1	0	0

Na osnovu Karnoove karte date u tabeli 8.1, određujemo logičku funkciju izlaza kola u minimalnoj formi u obliku proizvoda logičkih zbirova. Funkcija u traženom obliku data je izrazom:

$$Y = (\bar{B} + C + D)(A + \bar{D})(\bar{A} + \bar{C})$$

Uočavamo, na osnovu tabele 8.1, da logička funkcija u traženom obliku ima više potencijalno opasnih prelaza u pogledu pojave statičkih hazarda, odnosno generisanja lažne jedinice na izlazu kola, u odnosu na realizaciju mreže u obliku zbira logičkih proizvoda. U tabeli 8.2, obeleženi su svi prelazi koji mogu dovesti do pojave lažne jedinice.

Tabela 8.2: Prelazi koji mogu dovesti do generisanje lažne jedinice na izlazu kola

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	1	0	0	1
	01	0	0	0	1
	11	0	1	0	0
	10	1	1	0	0

Dakle postoji ukupno 8 prelaza koji mogu dovesti do pojave lažnih jedinica na izlazu kola.

- b) Nova Karnoova karta izlaza  $Y$ , bez mogućnosti pojave lažnih jedinica na izlazu kola, data je u tabeli 8.3.

Tabela 8.3: Karnoova karta za logičku funkciju  $Y$

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	1	0	0	1
	01	0	0	0	1
	11	0	1	0	0
	10	1	1	0	0

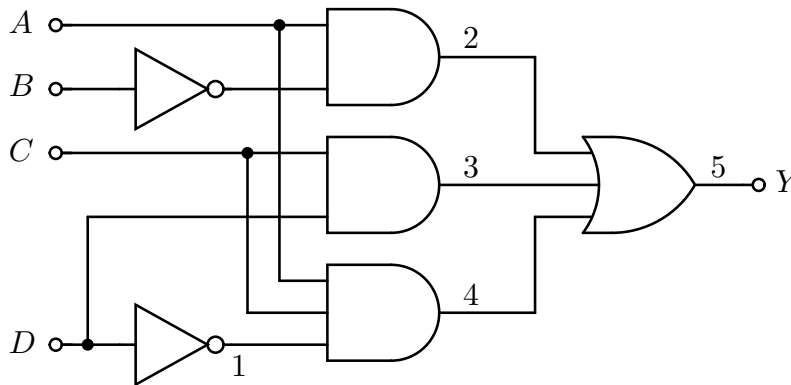
U tabeli 8.3, dodate su konture prikazane debljim linijama koje sprečavaju pojavu lažnih nula.

Logička funkcija izlaza  $Y$  sada će biti data izrazom:

$$Y = (\bar{B} + C + D)(A + \bar{D})(\bar{A} + \bar{C})(\bar{C} + \bar{D})(A + \bar{B} + C)(\bar{A} + \bar{B} + D)$$

### Zadatak 9

- Za kolo sa slike 9.1, odrediti pri kojim prelazima može doći do pojave lažnih nula.
- Nacrtati vremenske dijagrame signala u tačkama 1, 2, 3, 4 i 5 (samo onih signala koji se menjaju) u slučaju generisanja lažne nule.
- Nacrtati vremenske dijagrame signala u tačkama 1, 2, 3, 4 i 5 (samo onih signala koji se menjaju) u slučaju kada se ne generiše lažna nula za neki od prelaza iz tačke **a**.



Slika 9.1: Logička šema kombinacione mreže

### REŠENJE:

- Prema realizaciji datoj na slici 9.1, određujemo izraz za logičku funkciju izlaza  $Y$ .

$$Y = A\bar{B} + CD + AC\bar{D}$$

U tabeli 9.1 data je Karnoova karta logičke funkcije koja je realizovana na slici 9.1.

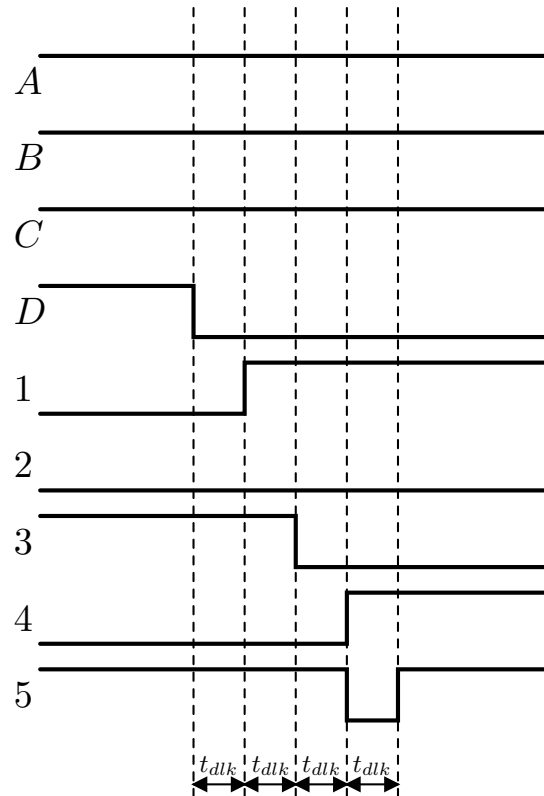
Tabela 9.1: Karnoova karta za logičku funkciju  $Y$

AB	CD			
	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	0	1	1
10	1	1	1	1

U tabeli 9.1, obeležen je potencijalni prelaz koji može dovesti do pojave generisanja lažne nule na izlazu kola.

b) Posmatrajmo prelaz  $ABCD$ : 1111  $\rightarrow$  1110.

Na slici 9.2, prikazani su relevantni vremenski dijagrami signala prilikom definisanog prelaza. Uzeto je da je vreme propagacije signala kroz logička kola konačno, i isto za sva logička kola. Uočavamo da se pri definisanom prelazu javlja pojava lažne nule na izlazu kola kao posledica različitog vremena propagacije signala po putanjama  $D \rightarrow 1 \rightarrow 4 \rightarrow Y$  i  $D \rightarrow 3 \rightarrow Y$ . Trajanje lažne nule na izlazu kola je jednako vremenu propagacije signala kroz logičko kolo  $t_{alk}$ , kao što je i naznačeno na slici 9.2.

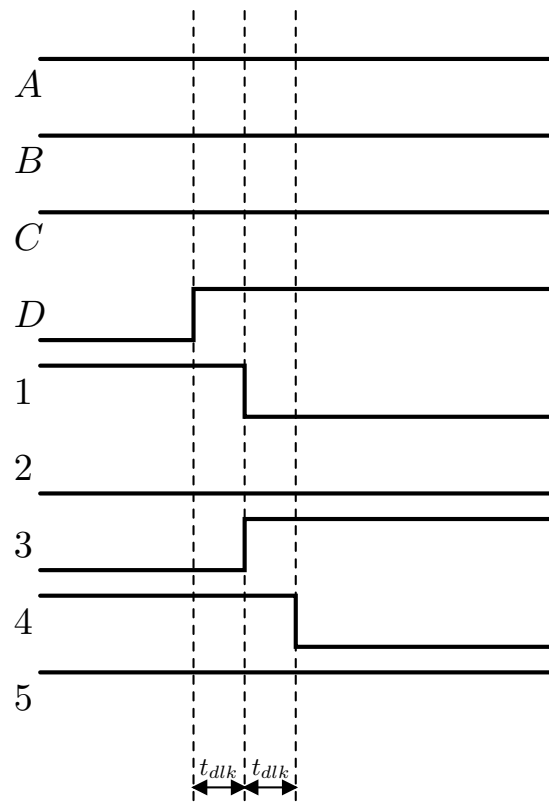


Slika 9.2: Vremenski dijagrami relevantnih signala u slučaju prelaza  $ABCD$ : 1111  $\rightarrow$  1110

c) Posmatrajmo prelaz  $ABCD$ : 1110  $\rightarrow$  1111.

Na slici 9.3, prikazani su relevantni vremenski dijagrami signala prilikom definisanog prelaza. Uočavamo da se u ovom slučaju, na izlazu kola, ne generiše lažna nula.





Slika 9.3: Vremenski dijagrami relevantnih signala u slučaju prelaza  $ABCD$ : 1110  $\rightarrow$  1111

---