

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 10.06.2015.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

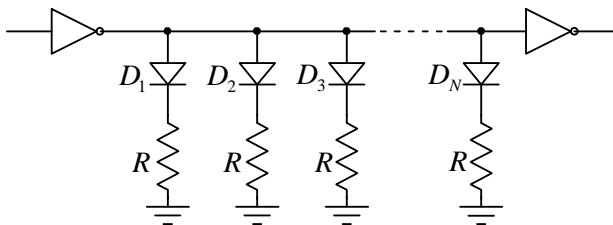
OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

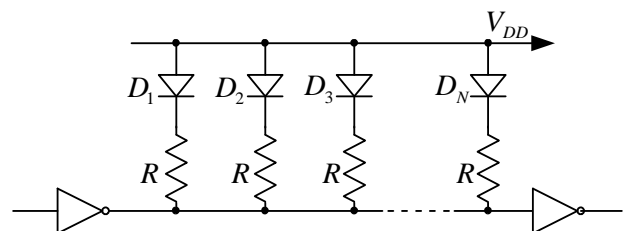
1. Napon napajanja CMOS invertora je $V_{DD} = 5V$. Minimalni napon na ulazu invertora koji se i dalje tumači kao logička jedinica je $V_{IH} = 3V$, a maksimalni napon na ulazu invertora koji se i dalje tumači kao logička nula je $V_{IL} = 2V$. PMOS tranzistor u invertoru u provodnom režimu se može ekvivalentirati sa otpornošću $r_{P_ON} = 400\Omega$, a u neprovodnom režimu sa $r_{P_OFF} \rightarrow \infty$, dok se NMOS tranzistor u provodnom režimu može ekvivalentirati sa otpornošću $r_{N_ON} = 200\Omega$, a u neprovodnom režimu sa $r_{N_OFF} \rightarrow \infty$.

a) [10] Na slici 1a je prikazano N segmenata LED displeja sa zajedničkom anodom (svaki od segmenata LED displeja se može predstaviti rednom vezom otpornika $R = 1k\Omega$ i LED diode sa $V_D = 1,5V$). Koliko maksimalno segmenata LED displeja sa zajedničkom anodom može napajati pobudni invertor sa slike 1a, tako da izlazni invertor sa slike 1a i dalje ispravno tumači logičke nivoe sa izlaza pobudnog invertora?

b) [10] Na slici 1b je prikazano N segmenata LED displeja sa zajedničkom katodom (svaki od segmenata LED displeja se može predstaviti rednom vezom otpornika $R = 1k\Omega$ i LED diode sa $V_D = 1,5V$). Koliko maksimalno segmenata LED displeja sa zajedničkom katodom može napajati pobudni invertor sa slike 1b, tako da izlazni invertor sa slike 1b i dalje ispravno tumači logičke nivoe sa izlaza pobudnog invertora?



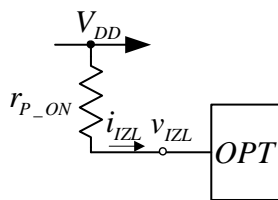
Slika 1a



Slika 1b

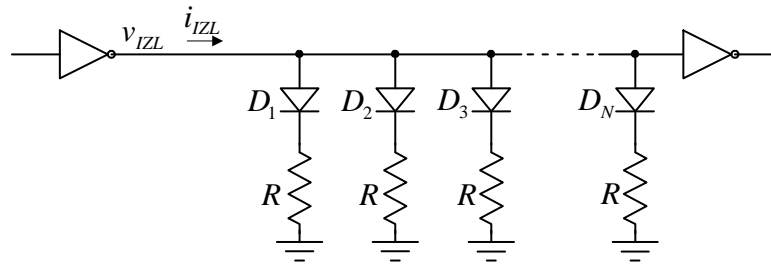
Rešenje:

a) Kada je na izlazu pobudnog CMOS invertora prisutna logička jedinica, maksimalna dozvoljena izlazna struja $i_{IZL} = I_{OH}$ koja utiče u opterećenje OPT koje je povezano na izlaz pobudnog invertora se može izračunati iz uslova da je izlazni napon pao na minimalnu vrednost koja se i dalje tumači kao logička jedinica $v_{IZL} = V_{IH}$:



$$i_{IZL} = \frac{V_{DD} - v_{IZL}}{r_{P_ON}} \Rightarrow I_{OH} = \frac{V_{DD} - V_{IH}}{r_{P_ON}} = 5mA$$

Segmenti LED displeja sa zajedničkom anodom povezani na izlaz invertora su prikazani na sledećoj slici:



Za analizu je bitan slučaj kada je na izlazu pobudnog invertora logička jedinica, jer su tada LED diode uključene i odgovarajuća struja protiče kroz njih. Kada je na izlazu pobudnog invertora logička nula, LED diode su isključene i struja ne protiče kroz njih.

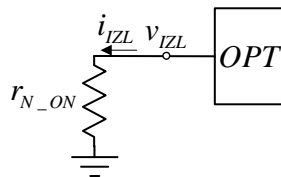
Što je veći broj segmenata LED displeja povezan na izlaz pobudnog invertora, to je veća izlazna struja i_{IZL} , a izlazni napon v_{IZL} je manji, u situaciji kada je na izlazu pobudnog invertora logička jedinica. U najkritičnijem slučaju, pri kome se izlazni napon i dalje tumači kao logička jedinica od strane izlaznog invertora na slici je $v_{IZL} = V_{IH}$ i $i_{IZL} = I_{OH}$.

$$I_{OH} = N \cdot \frac{V_{IH} - V_D}{R}$$

$$N = \frac{RI_{OH}}{V_{IH} - V_D} = 3,33$$

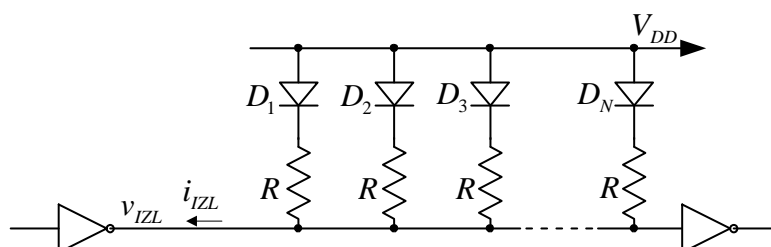
Dakle, maksimalni broj segmenata LED displeja sa zajedničkom anodom koji može napajati pobudni invertor je $N_{MAX} = 3$.

b) Kada je na izlazu pobudnog CMOS invertora prisutna logička nula, maksimalna dozvoljena izlazna struja $i_{IZL} = I_{OL}$ koja utiče u izlaz pobudnog CMOS invertora iz opterećenja OPT koje je povezano na izlaz pobudnog invertora se može izračunati iz uslova da je izlazni napon porastao na maksimalnu vrednost koja se i dalje tumači kao logička nula $v_{IZL} = V_{IL}$:



$$i_{IZL} = \frac{v_{IZL} - 0}{r_{N_ON}} \Rightarrow I_{OL} = \frac{V_{IL} - 0}{r_{N_ON}} = 10\text{mA}$$

Segmenti LED displeja sa zajedničkom katodom povezani na izlaz invertora su prikazani na sledećoj slici:



Za analizu je bitan slučaj kada je na izlazu pobudnog invertora logička nula, jer su tada LED diode uključene i odgovarajuća struja protiče kroz njih. Kada je na izlazu pobudnog invertora logička jedinica, LED diode su isključene i struja ne protiče kroz njih.

Što je veći broj segmenata LED displeja povezan na izlaz pobudnog invertora, to je veća izlazna struja i_{IZL} , i izlazni napon v_{IZL} je veći, u situaciji kada je na izlazu pobudnog invertora logička nula. U najkritičnijem slučaju, pri kome se izlazni napon i dalje tumači kao logička nula od strane izlaznog invertora na slici je $v_{IZL} = V_{IL}$ i $i_{IZL} = I_{OL}$.

$$I_{OL} = N \cdot \frac{V_{DD} - V_D - V_{IL}}{R}$$

$$N = \frac{RI_{OL}}{V_{DD} - V_D - V_{IL}} = 6,67$$

Dakle, maksimalni broj segmenata LED displeja sa zajedničkom katodom koji može napajati pobudni invertor je $N_{MAX} = 6$.

2. Na ulaz kombinacione mreže se dovode neoznačeni dvobitni binarni brojevi $A(A_1A_0)$ i $B(B_1B_0)$. Mreža treba da obavi aritmetičku operaciju nad ulaznim brojevima $Y = A + 2^B$ i da na izlazu generiše rezultat Y .

a) [5] Odrediti minimalan broj bita izlaza Y tako da se na izlazu dobije ispravan rezultat za bilo koje vrednosti ulaznih vektora.

b) [5] Popuniti tabelu istinitosti koja definiše rad kombinacione mreže. Odrediti Bulovu funkciju $Y=Y(A,B)$ i realizovati kombinacionu mrežu korišćenjem minimalnog broja logičkih kola sa proizvoljnim brojem ulaza.

c) [10] Korišćenjem minimalnog broja dvodimenzionalnih jednobitnih PROM memorija sa minimalnim brojem ćelija realizovati traženu kombinacionu mrežu. Odrediti minimalni broj memorija i minimalni broj ćelija. Prisustvo prekidačkog elementa u realizaciji svakog modula simbolično prikazati tačkom. Uzeti da je vektor adrese dat kao $A = A_3A_2A_1A_0 = A(A_1A_0)B(B_1B_0)$.

Rešenje:

a) Minimalan broj bita potreban za ispravno generisanje rezultata na izlazu se može odrediti u slučaju kada izlaz Y ima maksimalnu vrednost. Obzirom da je izvod funkcije Y po A i B uvek pozitivan, to znači da će vrednost Y biti najveća kada su vrednosti A i B maksimalne. Dakle $A=3$ i $B=3$. $Y(3,3)=11$, što znači da je potrebno minimalno 4 bita za predstavu maksimalne vrednosti Y .

b) Tabela koja definiše rad mreže je prikazana u nastavku

a1	a0	b1	b0	y3	y2	y1	y0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	1	0	0	0
0	1	0	0	0	0	1	0
0	1	0	1	0	0	1	1
0	1	1	0	0	1	0	1
0	1	1	1	1	0	0	1
1	0	0	0	0	0	1	1
1	0	0	1	0	1	0	0
1	0	1	0	0	1	1	0
1	0	1	1	1	0	1	0
1	1	0	0	0	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	0	1	1	1
1	1	1	1	1	0	1	1

Optimizacijom Karnoovim mapama dobijaju se Bulove funkcije vektora Y

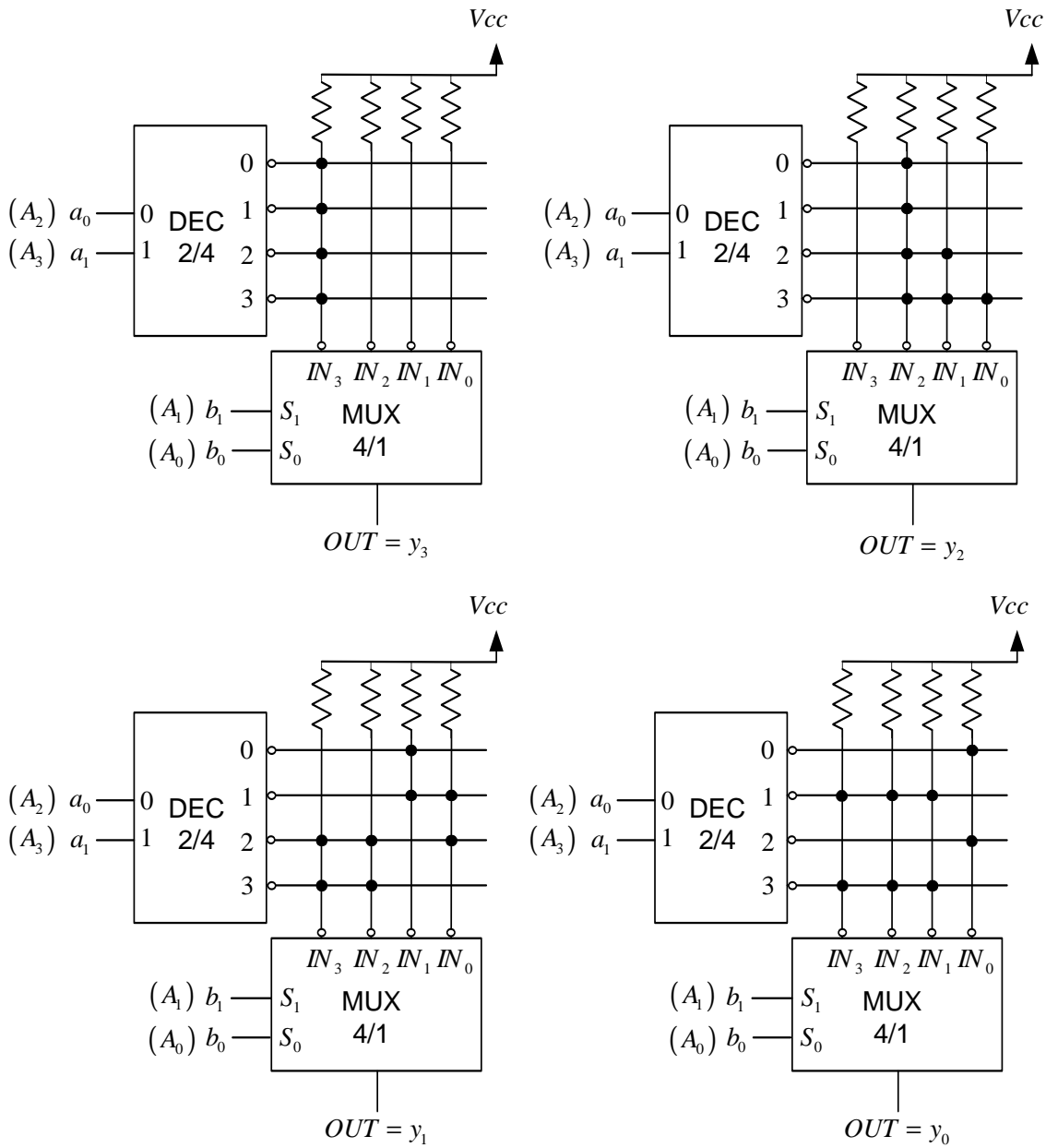
$$y_3 = b_1b_0$$

$$y_2 = b_1\overline{b_0} + a_1\overline{b_1}b_0 + a_1a_0\overline{b_1}$$

$$y_1 = a_1b_1 + \overline{a_1}\overline{b_1}b_0 + \overline{a_1}a_0\overline{b_1} + a_1a_0\overline{b_0}$$

$$y_0 = a_0b_0 + a_0b_1 + \overline{a_0}\overline{b_1}b_0$$

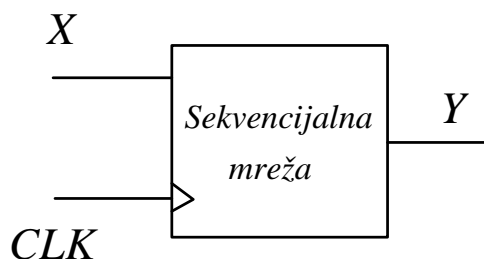
c) Minimalan broj jednobitnih memorijskih modula sa 16 ćelija je 4 obzirom da izlaz Y ima 4 bita. Realizacije modula su prikazane na slikama.



3. [20] Na slici je prikazana sekvencijalna mreža koja se koristi kao detektor povorke bitova. Povorka bitova (sekvenca) koja se detektuje je $\underline{1101}$ (prvo nailazi bit najveće težine MSB). Pojavljivanje bitova na ulazu mreže X je serijsko (biti stižu jedan za drugim) i sinhronizovano sa signalom takta. U slučaju detekcije tražene sekvence na izlazu Y mreže se pojavljuje logička jedinica koja je aktivna jedan takti ciklus.

a) Kreirati dijagram stanja mreže i na osnovu njega kreirati tabelu prelaza koja opisuje rad ove sekvencijalne mreže (stanja mreže usvojiti proizvoljno). Smatrati da su po uključenju napajanja svi memorijski elementi resetovani i usvojiti da je ovo početno stanje mreže. Sekvencijalna mreža odgovara brojačkoj mreži, koja ciklično menja svoja stanja.

b) Korišćenjem minimalnog broja JK flip-floпова i potrebnih logičkih kola izvršiti sintezu ove sekvencijalne mreže (u okviru sinteze koristiti Karnoove karte). Nacrtati šemu povezivanja flip-floпова i logičkih kola.



Rešenje:

Kako tražena sekvenca sadrži samo četiri biti može da se pojavi 16 različitih cetvorobitnih nizova od cetiri bita. Dovoljno je da mreza ima cetiri stanja da bi se predstavila svaka od 16 mogucih sekvenci od cetiri bita. Dijagram prelaza meže je prikazan na slici.

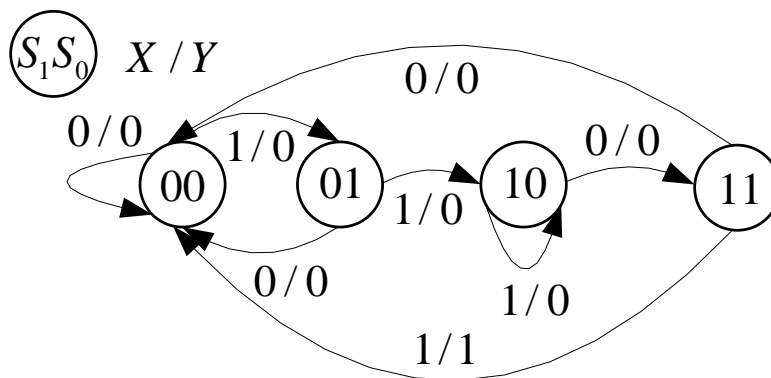


Tabela prelaza je prikazana u nastavku

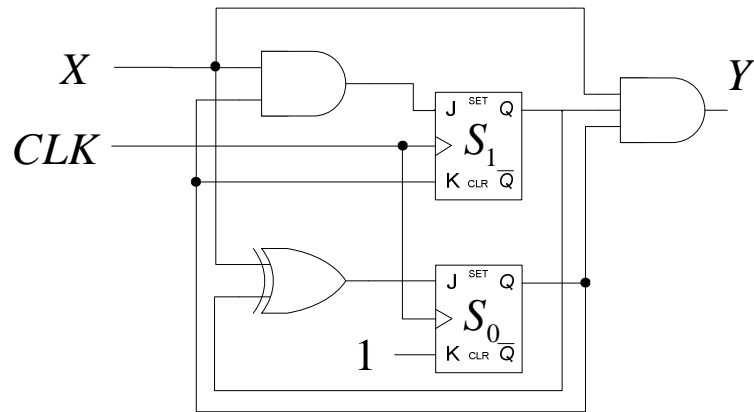
S1	S0	X	S1(t+1)	S0(t+1)	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	1	0	0	1

Na osnovu tabele prelaza minimizacijom se dobijaju izrazi za J i K ulaze flip-flopova

$$J_1 = S_0 X \quad K_1 = S_0$$

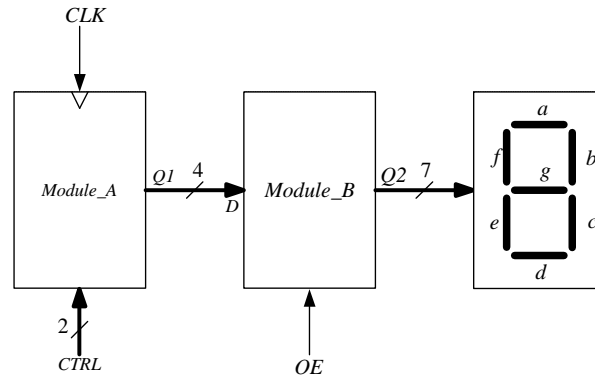
$$J_1 = S_1 \oplus X \quad K_0 = 1 \quad Y = S_0 S_1 X$$

Šema povezivanja flip-flopova je prikazana na slici



4. [20] U digitalnom sistemu na slici blokovi *Module_A* i *Module_B* su opisani odgovarajućim VHDL kodovima koji su dati ispod slike. Izlazi bloka *Module_B* se koriste za pobudu sedmosegmentnog displeja sa zajedničkom anodom. Biti vektora koji predstavlja izlaz bloka *Module_B* počev od bita najveće težine pa do bita najmanje težine pobuđuju redom segmente *a*, *b*, *c*, *d*, *e*, *f*, *g* displeja, respektivno.

Za date vremenske dijagrame signala *CLK*, *CTRL* i *OE* odrediti za svaku periodu takta *CLK* alfanumerički karakter koji je prikazan na sedmosegmentnom displeju.



```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;

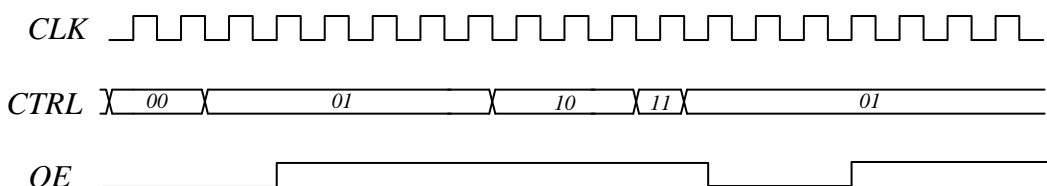
entity module_A is port
(
    CLK      : in  STD_LOGIC;
    CTRL     : in  STD_LOGIC_VECTOR(1 downto 0);
    Q1       : out STD_LOGIC_VECTOR(3 downto 0)
);
end module_A;

architecture behav of module_A is
    signal TMP : UNSIGNED(3 downto 0);
begin
    process (CLK)
    begin
        if rising_edge(CLK) then
            if (CTRL="01") then
                TMP <= TMP + 1;
            elsif (CTRL="10") then
                TMP <= TMP - 1;
            else
                TMP <= "0000";
            end if;
        end if;
    end process;
    Q1 <= STD_LOGIC_VECTOR(TMP);
end behav;
```

```
library IEEE;
use IEEE.std_logic_1164.all;

entity module_B is port
(
    D : in STD_LOGIC_VECTOR (3 downto 0);
    OE : in STD_LOGIC;
    Q2 : out STD_LOGIC_VECTOR (6 downto 0)
);
end module_B;

architecture behav of module_B is
    signal TMP: STD_LOGIC_VECTOR(6 downto 0);
begin
    process (D,OE,TMP)
    begin
        case D is
            when "0000" => TMP <= "0000001";
            when "0001" => TMP <= "1001111";
            when "0010" => TMP <= "0010010";
            when "0011" => TMP <= "0000110";
            when "0100" => TMP <= "1001100";
            when "0101" => TMP <= "0100100";
            when "0110" => TMP <= "0100000";
            when "0111" => TMP <= "0001111";
            when "1000" => TMP <= "0000000";
            when "1001" => TMP <= "0000100";
            when "1010" => TMP <= "0110000";
            when "1011" => TMP <= "0110000";
            when "1100" => TMP <= "0110000";
            when "1101" => TMP <= "0110000";
            when "1110" => TMP <= "0110000";
            when "1111" => TMP <= "0110000";
            when others => TMP <= "0110000";
        end case;
        if OE='1' then Q2<=TMP;
        else Q2<="0110000";
        end if;
    end process;
end behav;
```



7-SEG DISPLEJ

Rešenje:

