

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 01.07.2015.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

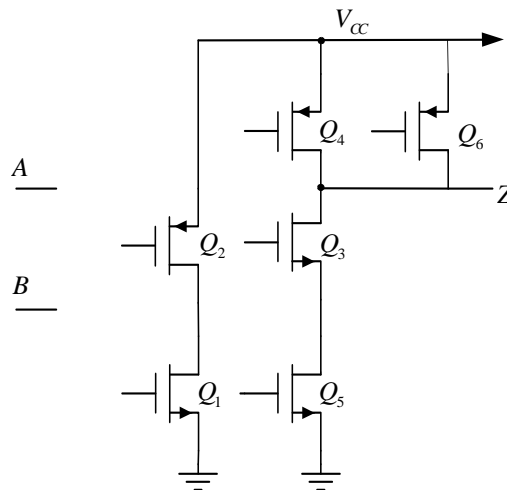
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. [20] Na slici 1 je prikazana veza NMOS i PMOS tranzistora.



Slika 1

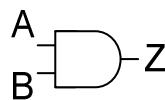
a) Odrediti kako je potrebno povezati gejtove NMOS i PMOS tranzistora sa slike 1 da bi prikazana struktura predstavljala dvoulazno CMOS logičko kolo koje obavlja istu funkciju kao logičko kolo predstavljeno simbolom na slici 2. Ulazni signali su A i B, izlaz je Z.



Slika 2

b) Za sve moguće logičke vrednosti ulaznih signala A i B odrediti stanja svih tranzistora u kolu kao i vrednost izlaza u tom slučaju. Nacrtati tabelu koja ilustruje prethodno određena stanja.

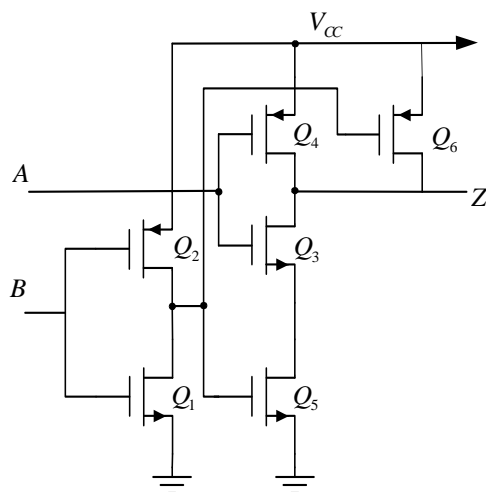
c) Modifikovati prethodno realizovano CMOS kolo tako da funkcija koje ono obavlja bude ekvivalentna logičkom kolu predstavljenom simbolom na slici 3. Prilikom modifikacije ne smeju se koristiti dodatni tranzistori.



Slika 3

Rešenje:

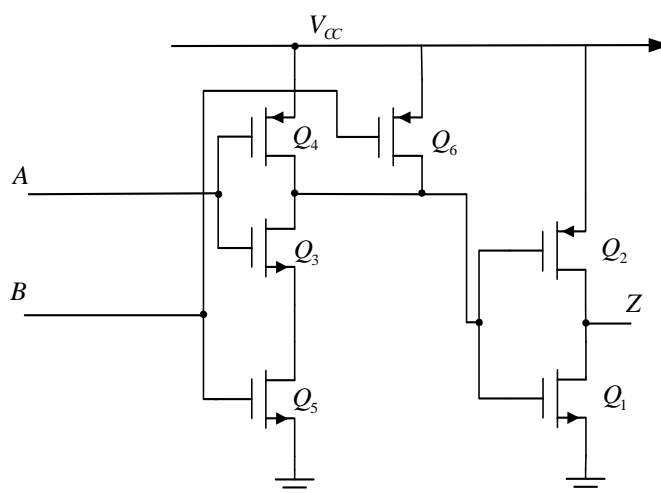
a) Kolo sa slike 2 obavlja logičku funkciju koja se može opisati Bulovim izrazom $Z = \overline{A + B} = \overline{A} \overline{B}$. Ovakva funkcija se može dobiti vezom invertora na čiji se ulaz dovodi signal B i dvoulaznog NI kola na čiji se jedan ulaz dovodi signal A a na drugi izlaz pomenutog invertora. Te je tražena realizacija kao na slici.



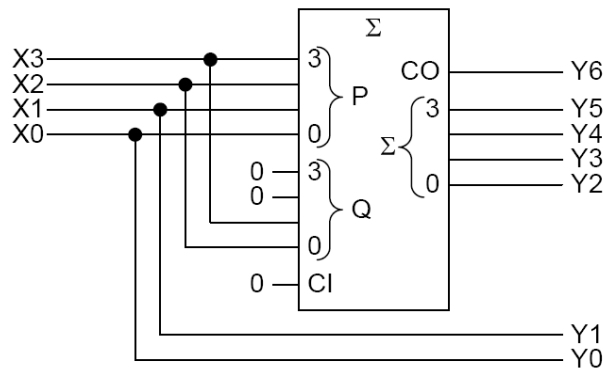
b) Tražena tabela koja opisuje rad tranzistora i stanje izlaza za sve moguće logičke vrednosti ulaznih signala je prikazana u nastavku

A	B	$Q1$	$Q2$	$Q3$	$Q4$	$Q5$	$Q6$	Z
L	L	off	on	off	on	on	off	H
L	H	on	off	off	on	off	on	H
H	L	off	on	on	off	on	off	L
H	H	on	off	on	off	off	on	H

c) Da bi prethodno realizovano CMOS kolo obavljalo logičku funkciju dvoulaznog I kola, invertor sa ulaza na koji se dovodi signal B je potrebno povezati na izlaz dvoulaznog NI kola kojeg čine tranzistori Q_3, Q_4, Q_5, Q_6 , a signal B direktno dovesti na drugi ulaz pomenutog NI kola.



2. [20] Na slici je prikazano digitalno kolo koje sadrži četvorobitni potpuni sabirač. X3:0 i Y6:0 su neoznačeni binarni brojevi čije su vrednosti x i y respektivno.



- [5] Odrediti šta predstavlja vrednost y (izraziti y u funkciji od x)
- [2] Odrediti maksimalnu moguću brojnu vrednost za y (predstaviti datu vrednost i binarno)
- [3] Ako je X3:0 sada označeni binarni broj u komplementu dvojke čija je vrednost x , odrediti maksimalnu i minimalnu vrednost za y pod uslovom da kolo pravilno procesira pozitivne i negativne brojeve.
- [5] Kako treba modifikovati kolo sa slike tako da se vrednost $y = f(x)$ određena u tački a) pravilno izračunava i u slučaju pod c)
- [5] Prikazati realizaciju kola sa slike ako su na raspolaganju standardna logička kola sa proizvoljnim brojem ulaza

Rešenje:

a) Analizom pojedinih bita na ulazu i izlazu može se rekonstruisati način sabiranja sabirača

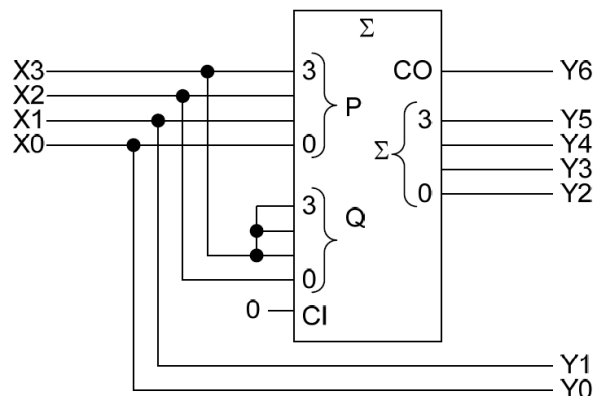
$$\begin{array}{r}
 \begin{array}{ccccccc}
 X3 & X2 & X1 & X0 & 0 & 0 & (P) \\
 + & & & X3 & X2 & X1 & X0 & (Q) \\
 \hline
 Y6 & Y5 & Y4 & Y3 & Y2 & Y1 & Y0
 \end{array}
 \end{array}$$

Na osnovu čega se zaključuje da je $y = 5x$

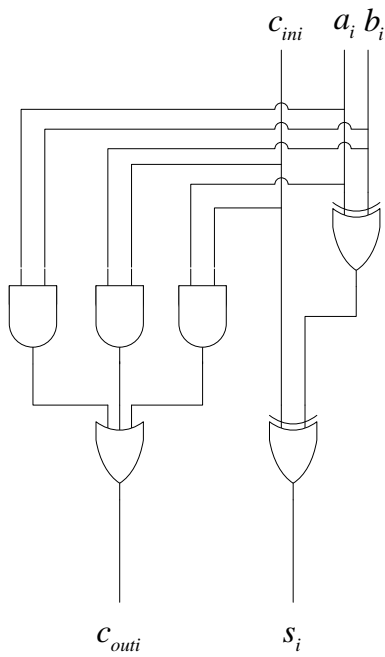
b) Maksimalna vrednost za x je 15 pa je prema tome maksimalna vrednost za $y=75$ (1001011) što zahteva 7 bita za zapisivanje

c) U ovom slučaju se x kreće u opsegu -8 do +7 pa se y kreće u opsegu -40 do +35

d) Smatramo da je operand X zapisan u drugom komplementu (+ vrednost ima X3 bit nula, a - vrednost ima X3 bit jedan). Da bi kolo ispravno obavljalo funkciju u slučaju označenih brojeva potrebno je na adekvatan način proširiti vektor na ulazu Q. Proširenje se obavlja sa nulama na bitima veće težine ako je broj pozitivan i sa jedinicama ako je broj negativan, čime se postize cilj da brojna vrednost ostane nepromenjena. Povezivanje je prikazano na slici.



e) Realizacija jedne ćelije potpunog sabirača je prikazana na slici. Povezivanjem četiri ovakve ćelije dobija se tražena realizacija. c_{in0} prve ćelije je '0', dok je $c_{out3} = Y_6$, takođe važi $c_{ini} = c_{out(i-1)}$

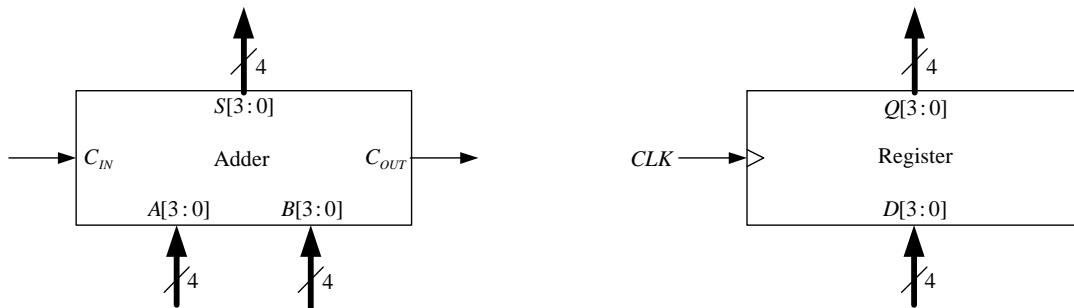


3. a) [8] Korišćenjem jednog četvorobitnog registra sa mogućnošću paralelnog upisa i jednog četvorobitnog sabirača, realizovati četvorobitni binarni brojač unapred.

b) [8] Korišćenjem jednog četvorobitnog registra sa mogućnošću paralelnog upisa i jednog četvorobitnog sabirača, realizovati četvorobitni binarni brojač unazad.

c) [4] Korišćenjem jednog četvorobitnog registra sa mogućnošću paralelnog upisa, jednog četvorobitnog sabirača i minimalnog potrebnog broja invertora, realizovati sekvencijalnu mrežu koja se ponaša kao četvorobitni binarni brojač unapred ako je ulazni kontrolni signal $K=1$, a kao četvorobitni binarni brojač unazad ako je ulazni kontrolni signal $K=0$.

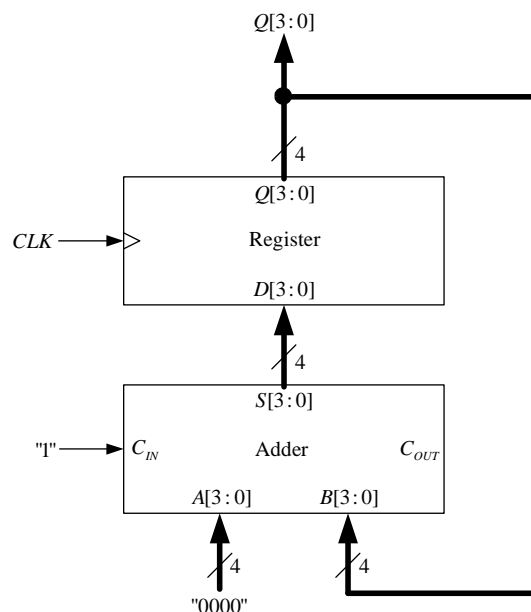
NAPOMENA: Raspoloživi četvorobitni sabirač poseduje dva četvorobitna ulaza za sabirke ($A[3:0]$ i $B[3:0]$), jedan jednobitni ulaz za ulazni prenos (C_{IN}), jedan četvorobitni izlaz za rezultat sabiranja ($S[3:0]$) i jedan jednobitni izlaz za izlazni prenos (C_{OUT}) i prikazan je na slici. Raspoloživi četvorobitni registar je takođe prikazan na slici i poseduje jedan četvorobitni ulaz za podatak koji se upisuje ($D[3:0]$) sinhrono sa uzlaznom ivicom signala takta, jedan jednobitni ulaz za signal takta (CLK) i jedan četvorobitni izlaz na kome je raspoloživ podatak koji je upisan u registar ($Q[3:0]$).



Rešenje:

a) S obzirom da je raspoloživi registar jedina komponenta koja sadrži flip-flopove, trenutno stanje traženog brojača unapred će morati da se pamti upravo u tim flip-flopovima. Sledeće stanje brojača unapred će morati da se definiše preko druge raspoložive komponente (četvorobitnog sabirača). S obzirom da je sledeće stanje brojača unapred za jedan veće od trenutnog stanja, tu funkcionalnost je moguće realizovati dovodenjem izlaza registra na ulaz za jedan sabirak sabirača, dovodenjem logičkih nula na ulaz za drugi sabirak sabirača i dovodenjem logičke jedinice na ulaz za ulazni prenos sabirača.

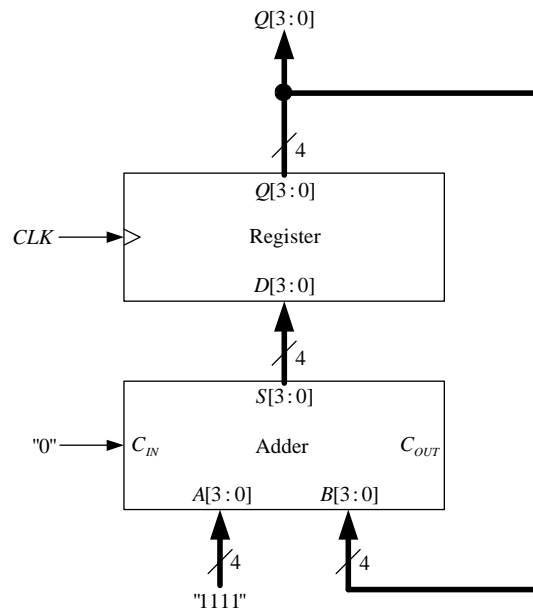
Stoga, tražena realizacija ima sledeći izgled:



Ispravno rešenje bi takođe moglo da se dobije i dovođenjem podatka "0001" na ulaz za sabirak $A[3:0]$ sabirača i istovremenim dovođenjem logičke nule na ulaz za ulazni prenos sabirača.

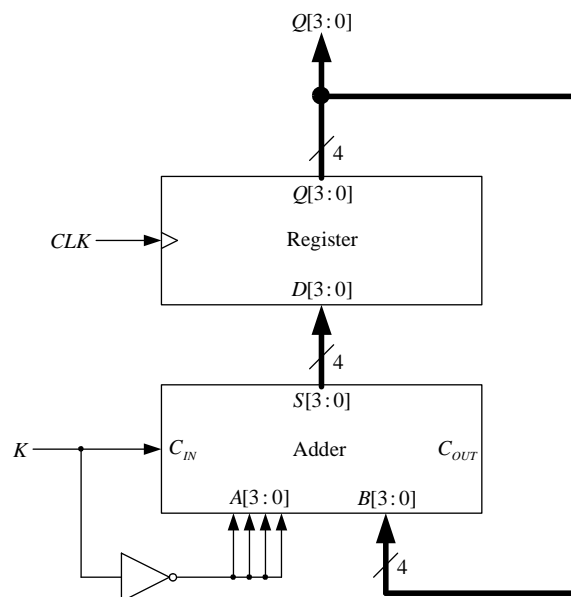
b) S obzirom da je raspoloživi registar jedina komponenta koja sadrži flip-flopove, trenutno stanje traženog brojača unazad će morati da se pamti upravo u tim flip-flopovima. Sledeće stanje brojača unazad će morati da se definiše preko druge raspoložive komponente (četvorobitnog sabirača). S obzirom da je sledeće stanje brojača unazad za jedan manje od trenutnog stanja, tu funkcionalnost je moguće realizovati dovođenjem izlaza registra na ulaz za jedan sabirak sabirača, dovođenjem logičkih jedinica na ulaz za drugi sabirak sabirača i dovođenjem logičke nule na ulaz za ulazni prenos sabirača.

Stoga, tražena realizacija ima sledeći izgled:



Ispravno rešenje bi takođe moglo da se dobije i dovođenjem podatka "1110" na ulaz za sabirak $A[3:0]$ sabirača i istovremenim dovođenjem logičke jedinice na ulaz za ulazni prenos sabirača.

c) Kombinovanjem rešenja iz prethodne dve tačke se dobija tražena realizacija:



4. [20] Dat je VHDL kod kojim je opisana jedna digitalna mreža.

```

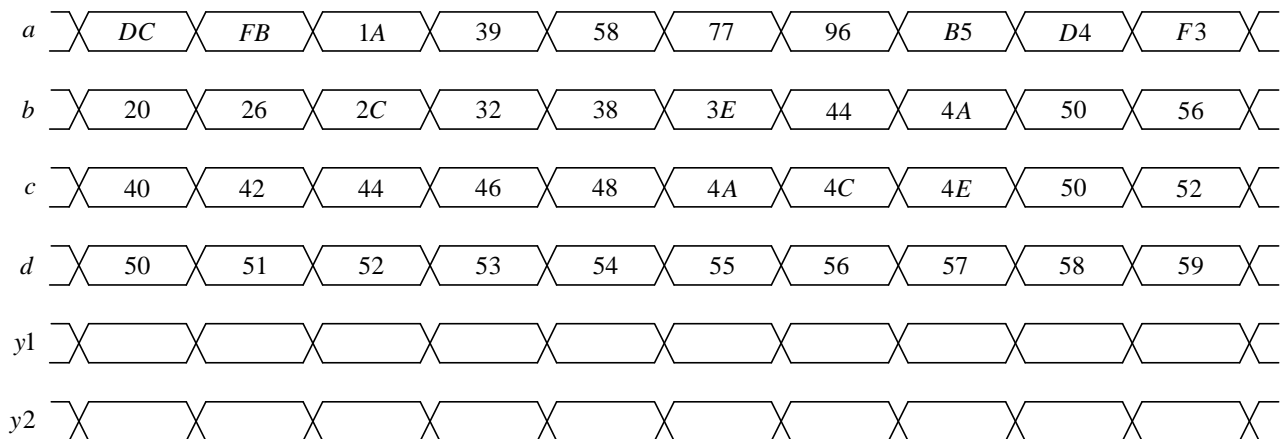
LIBRARY ieee;
USE ieee.std_logic_arith.all;

ENTITY comb IS PORT
(
    a,b,c,d : IN UNSIGNED(7 DOWNTO 0);
    y1, y2 : OUT UNSIGNED(7 DOWNTO 0)
);
END comb;

ARCHITECTURE behav OF comb IS
    SIGNAL t1,t2,t3,t4 : UNSIGNED(7 DOWNTO 0);
BEGIN
    PROCESS (a,b,c) BEGIN
        t1 <= a + b + c;
    END PROCESS;
    PROCESS (b,c,d) BEGIN
        t2 <= b + d;
        t3 <= b + c;
    END PROCESS;
    PROCESS (d,a) BEGIN
        t4 <= a + d;
    END PROCESS;
    y1 <= t1 - t4;
    y2 <= t2 - t3;
END behav;

```

Na osnovu vremenskih dijagrama ulaznih vektora čije su vrednosti predstavljene u **heksadecimalnom** formatu, odrediti vrednosti izlaznih vektora i upisati ih na dati vremenski dijagram u **heksadecimalnom** formatu.



Rešenje:

<i>a</i>	DC	FB	1A	39	58	77	96	B5	D4	F3
<i>b</i>	20	26	2C	32	38	3E	44	4A	50	56
<i>c</i>	40	42	44	46	48	4A	4C	4E	50	52
<i>d</i>	50	51	52	53	54	55	56	57	58	59
<i>y1</i>	10	17	1E	25	2C	33	3A	41	48	4F
<i>y2</i>	10	0F	0E	0D	0C	0B	0A	09	08	07