

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 28.08.2015.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

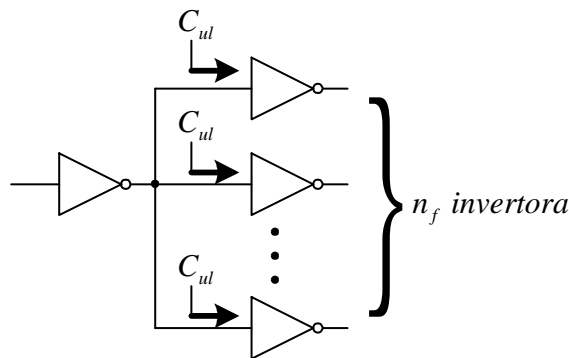
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

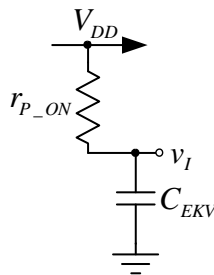
R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. [20] Napon napajanja CMOS invertora je $V_{DD} = 5V$, a njegova ulazna kapacitivnost je $C_{ul} = 1pF$. Minimalni napon na ulazu invertora koji se i dalje tumači kao logička jedinica je $V_{IH} = 3V$, a maksimalni napon na ulazu invertora koji se i dalje tumači kao logička nula je $V_{IL} = 2V$. PMOS tranzistor u invertoru u provodnom režimu se može ekvivalentirati sa otpornošću $r_{P_ON} = 400\Omega$, a u neprovodnom režimu sa $r_{P_OFF} \rightarrow \infty$, dok se NMOS tranzistor u provodnom režimu može ekvivalentirati sa otpornošću $r_{N_ON} = 200\Omega$, a u neprovodnom režimu sa $r_{N_OFF} \rightarrow \infty$. Odrediti koliki maksimalni broj istih takvih invertora se može vezati na izlaz jednog pobudnog invertora, tako da na izlazu pobudnog invertora napon V_{IH} bude dostignut za manje od $\Delta t = 50ns$ pri promeni sa logičke nule $V_{OL} = 0$ na logičku jedinicu, kao i da napon V_{IL} bude dostignut za manje od $\Delta t = 50ns$ pri promeni sa logičke jedinice $V_{OH} = V_{DD}$ na logičku nulu.

Rešenje:



Ekvivalentna šema pobudnog invertora, na čiji je izlaz povezano n_f istih takvih invertora, u situaciji kada se napon na njegovom izlazu menja sa logičke nule na logičku jedinicu je prikazana na sledećoj slici:



Ekvivalentna kapacitivnost na izlazu pobudnog invertora se može predstaviti kao:

$$C_{EKV} = n_f C_{ul}$$

Izlazni napon pobudnog invertora se može izraziti kao:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau_1}}$$

Pritom je:

$$\tau_1 = r_{P_ON} \cdot C_{EKV} = r_{P_ON} \cdot n_f C_{ul}, \quad v_I(0^+) = V_{OL} = 0, \quad v_I(\infty) = V_{DD},$$

tako da je:

$$v_I(t) = V_{DD} - (V_{DD} - V_{OL}) \cdot e^{-\frac{t}{r_{P_ON} \cdot n_f \cdot C_{ul}}} = V_{DD} \left(1 - e^{-\frac{t}{r_{P_ON} \cdot n_f \cdot C_{ul}}} \right)$$

Po uslovu zadatka mora biti:

$$v_I(\Delta t) \geq V_{IH},$$

tako da se dobija:

$$V_{DD} \left(1 - e^{-\frac{\Delta t}{r_{P_ON} \cdot n_f \cdot C_{ul}}} \right) \geq V_{IH}$$

$$e^{-\frac{\Delta t}{r_{P_ON} \cdot n_f \cdot C_{ul}}} \leq 1 - \frac{V_{IH}}{V_{DD}}$$

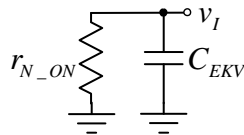
$$e^{\frac{\Delta t}{r_{P_ON} \cdot n_f \cdot C_{ul}}} \geq \frac{1}{1 - \frac{V_{IH}}{V_{DD}}}$$

$$\frac{\Delta t}{r_{P_ON} \cdot n_f \cdot C_{ul}} \geq \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right)$$

$$n_f \leq \frac{\Delta t}{r_{P_ON} \cdot C_{ul} \cdot \ln \left(\frac{V_{DD}}{V_{DD} - V_{IH}} \right)}$$

$$n_f \leq 136.42$$

Ekvivalentna šema pobudnog invertora, na čiji je izlaz povezano n_f istih takvih invertora, u situaciji kada se napon na njegovom izlazu menja sa logičke jedinice na logičku nulu je prikazana na sledećoj slici:



Izlazni napon pobudnog invertora se može izraziti kao:

$$v_I(t) = v_I(\infty) - (v_I(\infty) - v_I(0^+)) \cdot e^{-\frac{t}{\tau_2}}$$

Pritom je:

$$\tau_2 = r_{N_ON} \cdot C_{EKV} = r_{N_ON} \cdot n_f C_{ul}, \quad v_I(0^+) = V_{OH} = V_{DD}, \quad v_I(\infty) = 0,$$

tako da je:

$$v_I(t) = 0 - (0 - V_{DD}) \cdot e^{-\frac{t}{r_{N_ON} \cdot n_f \cdot C_{ul}}} = V_{DD} \cdot e^{-\frac{t}{r_{N_ON} \cdot n_f \cdot C_{ul}}}$$

Po uslovu zadatka mora biti:

$$v_I(\Delta t) \leq V_{IL},$$

tako da se dobija:

$$V_{DD} \cdot e^{-\frac{\Delta t}{r_{N_ON} \cdot n_f \cdot C_{ul}}} \leq V_{IL}$$

$$e^{-\frac{\Delta t}{r_{N_ON} \cdot n_f \cdot C_{ul}}} \leq \frac{V_{IL}}{V_{DD}}$$

$$e^{\frac{\Delta t}{r_{N_ON} \cdot n_f \cdot C_{ul}}} \geq \frac{V_{DD}}{V_{IL}}$$

$$\frac{\Delta t}{r_{N_ON} \cdot n_f \cdot C_{ul}} \geq \ln\left(\frac{V_{DD}}{V_{IL}}\right)$$

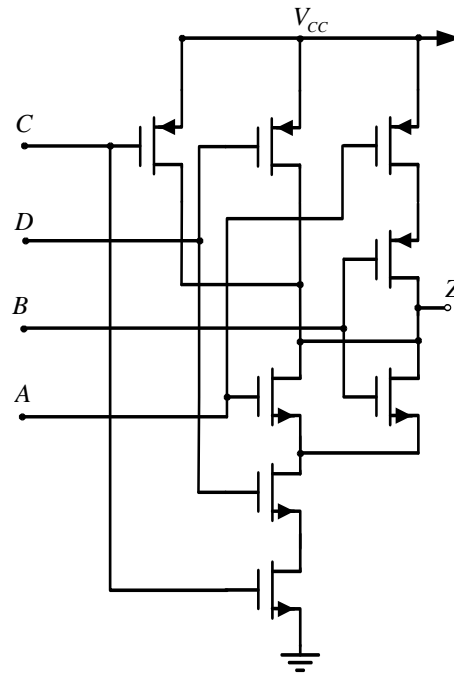
$$n_f \leq \frac{\Delta t}{r_{N_ON} \cdot C_{ul} \cdot \ln\left(\frac{V_{DD}}{V_{IL}}\right)}$$

$$n_f \leq 272.84$$

Konačno je (uzimajući u obzir kritičniji slučaj i s obzirom da je n_f ceo broj):

$$n_{fMAX} = 136$$

2. a) [10] Odrediti logičku funkciju kola sa slike $Z = f(A, B, C, D)$

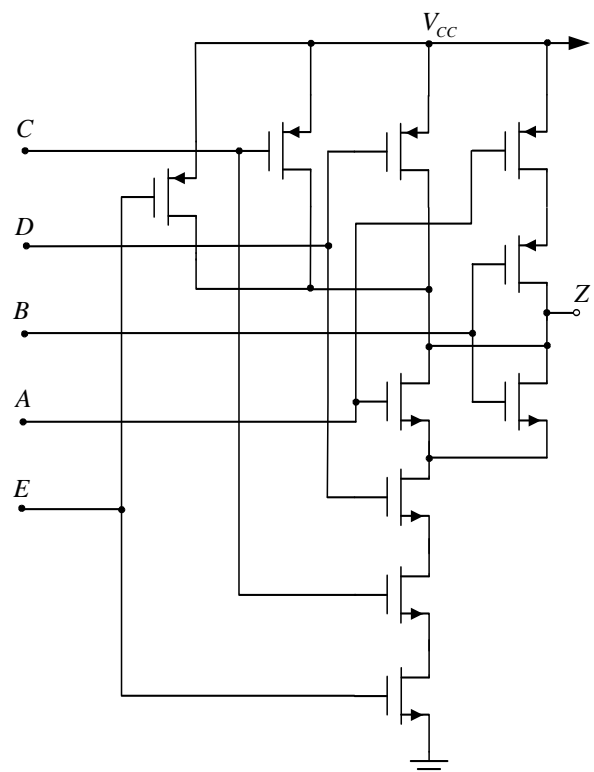


b) [10] Uz pomoć jednog dodatnog NMOS i jednog dodatnog PMOS tranzistora modifikovati kolo sa slike tako da obavlja funkciju $Z_1 = Z + \overline{E}$, gde je E signal koji se dovodi zajedno sa signalima A, B, C, D a Z je funkcija kola iz tačke a)

Rešenje:

a) Zadatak se može uraditi na dva načina. Prvi način podrazumeva analizu provodnosti svih tranzistora za sve moguće kombinacije vektora A, B, C, D i određivanja izlaza Z u svakom slučaju. Na kraju se može formirati karnoova karta i odrediti Bulov izraz za Z . Drugi način podrazumeva uočavanje NI strukture koju realizuju parovi tranzistora upravljanih signalima C, D , dok tranzistori upravljeni signalima A, B obrazuju NILI strukturu,

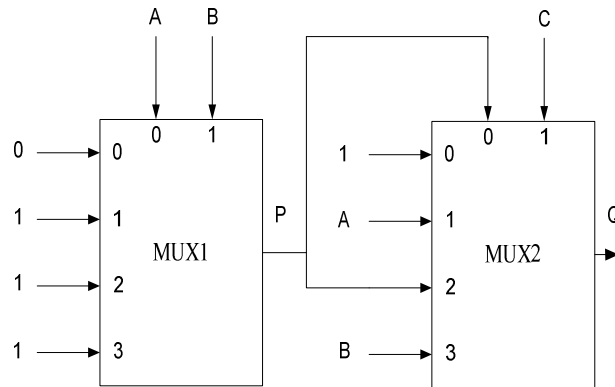
te je funkcija kola $Z = \overline{(A + B) \cdot C \cdot D}$.



b)

$Z_1 = Z + \overline{E} = \overline{(A + B) \cdot C \cdot D} + \overline{E} = \overline{(A + B) \cdot C \cdot D \cdot E}$,
te je NMOS tranzistor potrebno dodati na red sa NMOS tranzistorima u donjem delu šeme, a PMOS tranzistor dodati paralelno sa PMOS tranzistorima u donjem delu šeme.

3. Na slici je prikazano digitalno kolo sastavljeno od dva multipleksera.



- a) [4] Kreirati tabelu isititosti za prikazano kolo (izlazi su P i Q)
- b) [7] Koristeći se Karnoovim kartama kreirati Bulove izraze za P i Q. Uz pomoć minimalnog broja osnovnih logičkih kola izvršiti sintezu kombinacione mreže koja obavlja istu funkciju kao mreža prikazana na slici.
- c) [9] Uz pomoć odgovarajućeg dekodera i minimalnog broja dvoulazinih ILI logičkih kola realizovati digitalno kolo sa slike.

Rešenje:

a) Tablica istinitosti je sledeća

A	B	C	P	Q
0	0	0	0	1
0	0	1	0	0
0	1	0	1	0
0	1	1	1	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	1	1

b) Minimizacijom uz pomoć Karnoovim karti se dobijaju sledeći izrazi

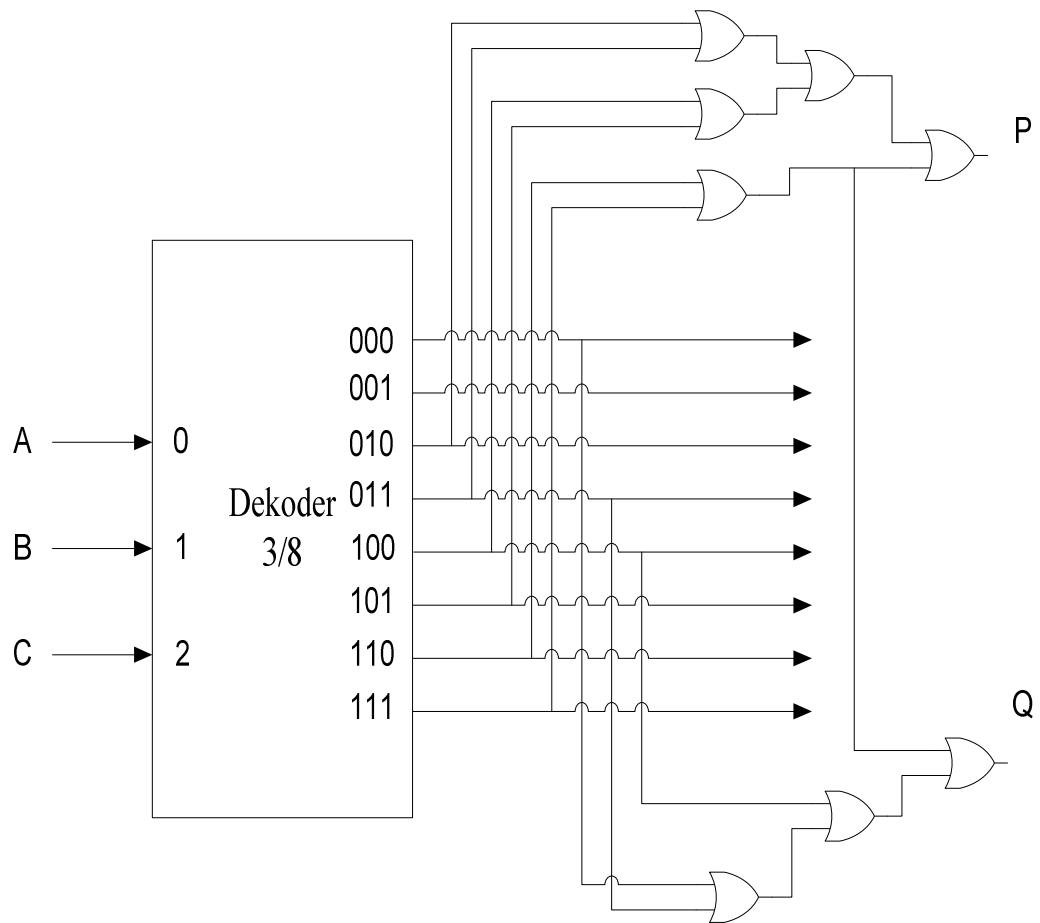
$$P = B + A$$

$$Q = BC + \overline{A}\overline{C} + \overline{B}\overline{C}$$

c) Kako digitalno kolo ima tri ulaza potrebno je koristiti dekodera 3-8. Izrazi za P i Q se mogu napisati u složenijoj formi tako da figurišu sve tri promenjive (ili se vrednosti ulaza za koje su izlazi na logičkoj jedinici mogu očitati direktno iz tabele).

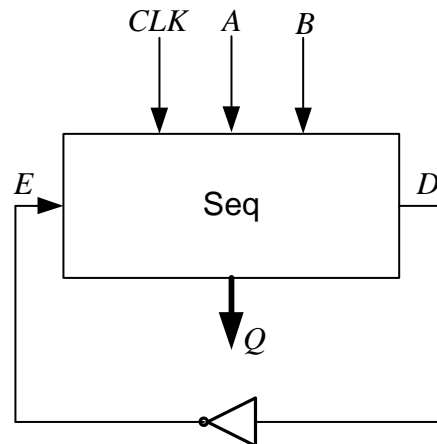
$$P = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C + ABC$$

$$Q = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC$$



4. [20] U digitalnom sistemu na slici, blok *Seq* je opisan odgovarajućim VHDL kodom koji je dat ispod slike.

Za date vremenske dijagrame signala *CLK*, *A* i *B* odrediti za svaku periodu takta *CLK* podatak koji je prisutan na izlazu bloka *Q*. Vrednosti traženih podataka upisati u **heksadecimalnom formatu** na dati vremenski dijagram.

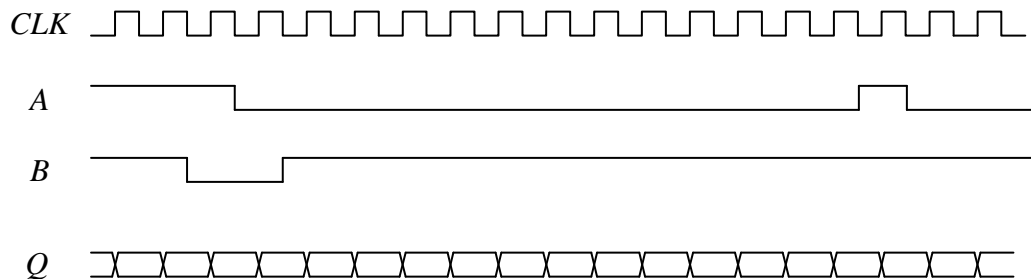


```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY seq IS PORT
(
    clk,a,b,e : IN STD_LOGIC;
    d : OUT STD_LOGIC;
    q : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END seq;

ARCHITECTURE behav OF seq IS
    SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF rising_edge(clk) THEN
            IF a='1' THEN
                tmp <= (OTHERS => '0');
                d <= '0';
            ELSIF b='1' THEN
                tmp <= e & tmp(7 DOWNTO 1);
                d <= tmp(0);
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;
    
```



Rešenje:

