

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 12.09.2014.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

KANDIDAT:

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

USLOVI ISPITA

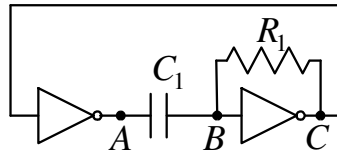
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

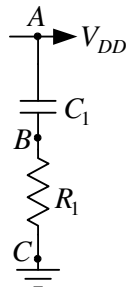
1. a) [15] Na slici je prikazano kolo astabilnog multivibratora. Korišćeni invertori imaju idealnu prenosnu karakteristiku sa naponom praga  $V_T = 2,5\text{ V}$ , beskonačnu ulaznu i nultu izlaznu otpornost i napajaju se sa  $V_{DD} = 5\text{ V}$ . Kapacitivnost kondenzatora  $C_1$  je  $50\text{ nF}$ , a otpornost otpornika  $R_1$  je  $10\text{ k}\Omega$ . Izračunati i nacrtati vremenske oblike naponskih signala u tačkama A, B i C kada kolo radi u ustaljenom režimu. Zadatak rešavati pod pretpostavkom da na ulazu CMOS kola ne postoje zaštitne diode, ni prema napajanju, ni prema masi.

b) [5] Ako na ulazu CMOS kola postoje zaštitne diode, da li će se period oscilovanja povećati ili smanjiti u odnosu na slučaj opisan pod tačkom a) i u kom procentualnom odnosu, približno?

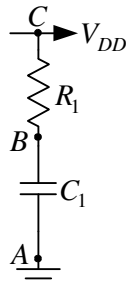


### Rešenje:

a) Pošto je kolo astabilno, njegova stanja se periodično ponavljaju. Stoga, analiza kola može da se počne od bilo kojeg trenutka periode. Na primer, neka se uzme da je u trenutku  $t = 0$  nastupila promena vrednosti signala u tački C sa logičke jedinice na logičku nulu. U istom trenutku (ako se zanemare kašnjenja kroz invertore), menja se i nivo signala u tački A sa logičke nule na logičku jedinicu. Nakon toga kolo se može ekvivalentno predstaviti na sledeći način:



Napon u tački B će se eksponencijalno smanjivati sa vremenskom konstantom  $\tau = R_1 C_1$  sve dok ne opadne do vrednosti  $V_T = 2,5\text{ V}$ . Neka je trenutak u kome se to desi  $t = T_1$ . Potom će napon u tački C da skoči na nivo logičke jedinice, a napon u tački A da padne na nivo logičke nule. Zbog činjenice da se napon na kondenzatoru  $C_1$  ne može trenutno (skokovito) promeniti, napon u tački B će opasti na vrednost  $-2,5\text{ V}$ . Nova ekvivalentna šema kola će imati sledeći izgled:



Napon u tački B će se sada eksponencijalno povećavati sa vremenskom konstantom  $\tau = R_1 C_1$  sve dok ne dostigne vrednost  $V_T = 2,5\text{ V}$ . Neka je trenutak u kome se to desi  $t = T_1 + T_2$ . Potom će napon u tački C da padne na nivo logičke nule, a napon u tački A da skoči na nivo logičke jedinice. Zbog činjenice da se napon na kondenzatoru  $C_1$  ne može trenutno (skokovito) promeniti, napon u tački B

će trenutno skočiti na vrednost 7,5V. Nova ekvivalentna šema kola će ponovo imati izgled prikazan na prvoj slici u okviru ovoga rešenja.  
Opisani proces će se dalje periodično ponavljati.

Jednačine koje opisuju opisani proces za vreme intervala  $T_1$  su:

$$v_A(t) = V_{DD}$$

$$v_C(t) = 0$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_B(t) = 0 - [0 - 7,5V] \cdot e^{-\frac{t}{R_1 C_1}} = 7,5V \cdot e^{-2000t}$$

Jednačine koje opisuju opisani proces za vreme intervala  $T_2$  su:

$$v_A(t) = 0$$

$$v_C(t) = V_{DD}$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_B(t) = V_{DD} - [V_{DD} + 2,5V] \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 7,5V \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 7,5V \cdot e^{-2000(t-T_1)}$$

Vremenski interval  $T_1$  se može odrediti iz uslova:

$$v_B(T_1^-) = 7,5V \cdot e^{-2000T_1} = 2,5V$$

odakle se dobija:

$$T_1 = 0,0005 \ln 3 = 549,3 \mu s$$

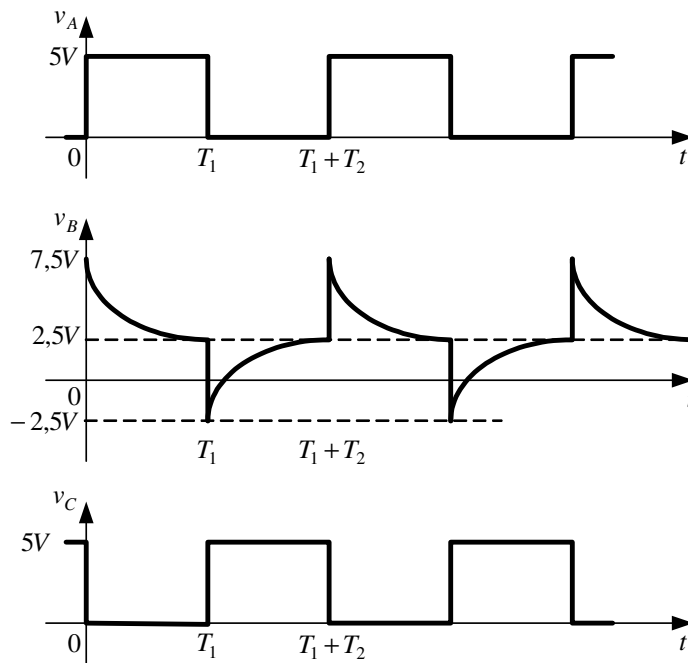
Vremenski interval  $T_2$  se može odrediti iz uslova:

$$v_B((T_1 + T_2)^-) = 5V - 7,5V \cdot e^{-2000T_2} = 2,5V$$

odakle se dobija:

$$T_2 = 0,0005 \ln 3 = 549,3 \mu s$$

Traženi vremenski dijagrami su prikazani na sledećoj slici:



b) Ako na ulazu CMOS invertora postoje zaštitne diode i ukoliko ih smatramo idealnim, skokovite promene napona  $v_B(t)$  će biti ograničene na 5V sa gornje strane i 0V sa donje strane. U tom slučaju jednačine koje opisuju napon  $v_B(t)$  za vreme intervala  $T_1$  su:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_B(t) = 0 - [0 - 5V] \cdot e^{-\frac{t}{R_1 C_1}} = 5V \cdot e^{-2000t}$$

Jednačine koje opisuju napon  $v_B(t)$  za vreme intervala  $T_2$  su:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_B(t) = V_{DD} - [V_{DD} + 0] \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 5V \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 5V \cdot e^{-2000(t-T_1)}$$

Vremenski interval  $T_1$  se može odrediti iz uslova:

$$v_B(T_1^-) = 5V \cdot e^{-2000T_1} = 2,5V$$

odakle se dobija:

$$T_1 = 0,0005 \ln 2 = 346,6 \mu s.$$

Vremenski interval  $T_2$  se može odrediti iz uslova:

$$v_B((T_1 + T_2)^-) = 5V - 5V \cdot e^{-2000T_2} = 2,5V$$

odakle se dobija:

$$T_2 = 0,0005 \ln 2 = 346,6 \mu s.$$

Može se zaključiti da će se dodavanjem zaštitnih dioda period oscilovanja smanjiti na 63,1% (jer je  $\frac{346,6 \mu s}{549,3 \mu s} = 0,631$ ) vrednosti perioda oscilovanja koja je postojala pre dodavanja zaštitnih dioda.

2. Na ulaz kombinacione mreže se dovodi četvorobitni binarni broj  $A=a_3a_2a_1a_0$ . Izlazi mreže su  $X$  i  $Y$ . Izlaz  $X$  se nalazi na logičkoj jedinici ukoliko je broj  $A$  sa ulaza deljiv sa tri, dok se izlaz  $Y$  nalazi na logičkoj jedinici samo ako je zbir dvobitnih brojeva  $B=a_3a_2+a_1a_0$  neparan. Nula je paran broj.

Projektovati traženu kombinacionu mrežu:

a) [10] koristeći osnovna logička kola sa proizvoljnim brojem ulaza

b) [10] koristeći multipleksere 8/1 i jedno logičko kolo (maksimalno)

Za svaki od navedenih slučajeva najpre formirati tablicu istinitosti (gde je to neophodno), a zatim kriterijumom korišćenja minimalnog broja upotrebljenih elemenata izvršiti projektovanje.

### Rešenje:

a) Tražena tablica istinitosti je prikazana

A	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	X	B	Y
0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	1
2	0	0	1	0	0	2	0
3	0	0	1	1	1	3	1
4	0	1	0	0	0	1	1
5	0	1	0	1	0	2	0
6	0	1	1	0	1	3	1
7	0	1	1	1	0	4	0
8	1	0	0	0	0	2	0
9	1	0	0	1	1	3	1
10	1	0	1	0	0	4	0
11	1	0	1	1	0	5	1
12	1	1	0	0	1	3	1
13	1	1	0	1	0	4	0
14	1	1	1	0	0	5	1
15	1	1	1	1	1	6	0

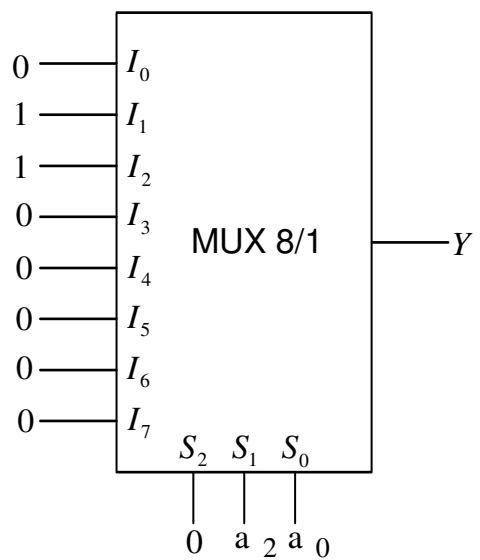
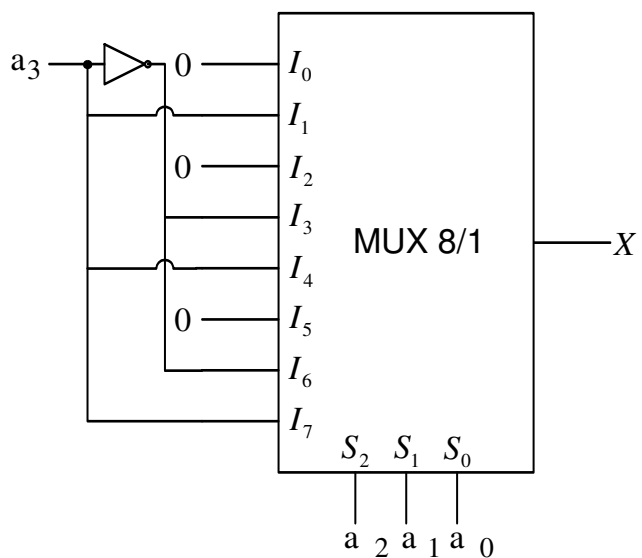
Bulove funkcije za promenjive  $X$  i  $Y$  su

$$X(a_3a_2a_1a_0) = \overline{a_3}a_2a_1a_0 + \overline{a_3}a_2\overline{a_1}a_0 + \overline{a_3}a_2\overline{a_1}\overline{a_0} + a_3a_2a_1a_0 + a_3a_2a_1\overline{a_0}$$

$$Y(a_3a_2a_1a_0) = \overline{a_2}a_0 + a_2\overline{a_0}$$

b)

Multiplekser 8/1 ima osam informacionih ulaza, tri upravljačka i jedan izlaz, za realizaciju ove kombinacione mreže su potrebna dva takva multipleksera. Šema je prikazana u nastavku



3. a) [10] Sintetisati četvorobitni paralelni brojač sa D flipflopovima i potrebnim logičkim kolima koji broji u sekvenci 0,1,2,3,4,5,6,7,6,5,4,3,2,1,0. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu povezivanja logičkih kola i flip flopova.

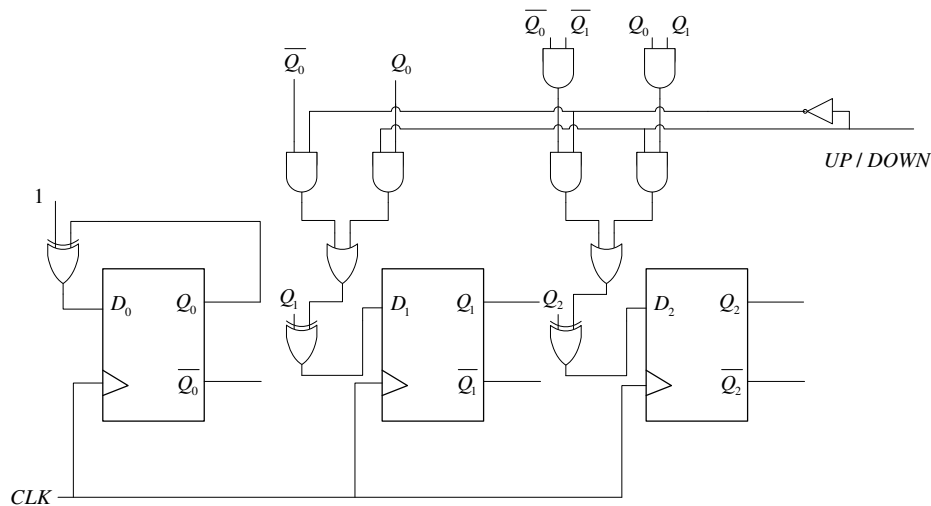
b) [5] Koristeći integrisani obostrani paralelni brojača sa tri D flipflop i komandom za brojanje GORE/DOLE, jedan D flipflop i potrebna logička kola, napraviti četvorobitni brojač koji broji u sekvenci 0,1,2,3,4,5,6,7,6,5,4,3,2,1,0.

c) [5] Koje rešenje brojača ima veću maksimalnu frekvenciju takta pri kojoj ispravno radi i zašto?

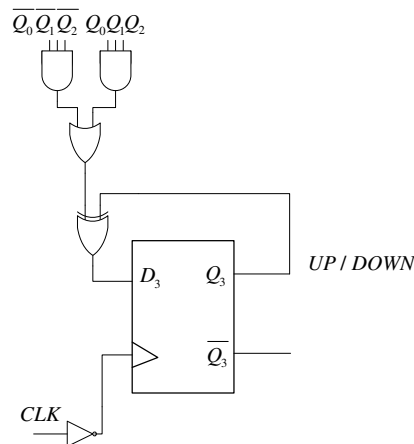
### Rešenje:

a) Zadatak se u ovom slučaju rešava klasično. Obzirom na 14 mogućih stanja, dovoljno je upotrebiti 4 D flip flopa i odgovarajući broj logičkih kola. Potrebno je napisati tablicu prelaza i koristeći Karnoove karte izvršiti optimizaciju Bulovih funkcija za ulaze D flipflopova.

b) Na slici je prikazana realizacija obostranog trobitnog brojača (gore-dole) u zavisnosti od kontrolnog signala UP/DOWN.



Da bi brojač menjao režim rada, potrebno je uvesti dodatni memorijski element koji će na stanje 7 odnosno 0 promeniti sopstveno stanje. Izlaz tog dodatnog memorijskog elementa se može koristiti kao upravljačku signal UP/DOWN.



Da bi se krajnja stanja (0 i 7) zadržala samo jedan taktni interval potrebno je upravljački element taktovati na silaznu ivicu signala takta tako da se promena smera brojanja obavlja između pojave dve susedne uzlazne ivice signala takta (u suprotnom kolo neće ispravno funkcionisati).

**4. [20]** Dat je VHDL kod kojim je opisana jedna digitalna mreža.

```

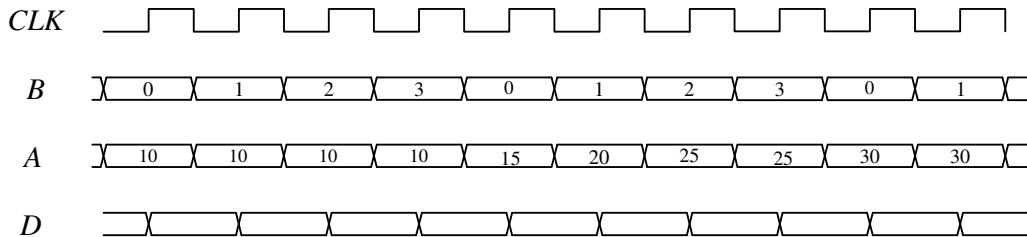
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY unit IS PORT
(
  clk : IN  STD_LOGIC;
  a    : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
  b    : IN  STD_LOGIC_VECTOR(1 DOWNTO 0);
  d    : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)
);
END unit;

ARCHITECTURE behav OF unit IS
  SIGNAL tmp : UNSIGNED(6 DOWNTO 0);
BEGIN
  PROCESS (clk) BEGIN
    IF (rising_edge(clk)) THEN
      IF (b="00") THEN
        tmp <= UNSIGNED("11" & a(3 DOWNTO 1) & "00");
      ELSIF (b="01") THEN
        tmp <= UNSIGNED("01" & a) + 8;
      ELSIF (b="10") THEN
        tmp <= UNSIGNED(a(4 DOWNTO 0) & "00");
      ELSIF (b="11") THEN
        tmp <= UNSIGNED("0001" & a(4 DOWNTO 2));
      END IF;
    END IF;
  END PROCESS;
  d <= STD_LOGIC_VECTOR(tmp);
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala i vektora, odrediti vrednosti izlaznog vektora i u **decimalnom formatu** ih upisati na dati vremenski dijagram.

**Rešenje:**