

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 11.02.2015.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

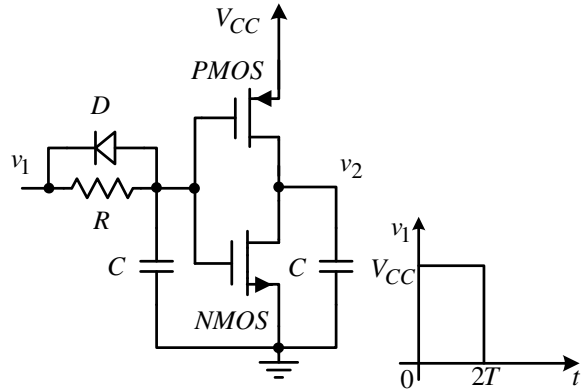
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Ukupno
Max	20	20	20	20	80
Dobijeno					

1. [20] Na ulaz kola sa slike se dovodi napon v_1 čiji je vremenski dijagram prikazan. Odrediti i nacrtati talasni oblik napona v_2 u vremenskom intervalu $-\infty < t < +\infty$. Smatrati da je u provodnom stanju otpornost NMOS tranzistora r_{nmos} konstantna i iznosi $r_{nmos} = R$, dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost, otpornost PMOS tranzistora u provodnom stanju r_{pmos} je konstantna i iznosi $r_{pmos} = R$, dok u neprovodnom stanju PMOS transistor ima beskonačnu otpornost. ($\frac{V_{CC}}{2} = |V_T|$, $|V_T|$ – napon uključenja NMOS, PMOS tranzistora; napon provođenja diode $V_D = \frac{V_{CC}}{10}$ (dioda je idealna); $RC = T$).



Rešenje:

Do momenta promene napona v_1 , kondenzator na ulazu CMOS invertora je razelektrisan tako da je PMOS tranzistor uključen a NMOS tranzistor isključen. Napon v_2 ima vrednost $v_2(0^-) = V_{CC}$. Promenom napona v_1 počinje punjenje kondenzatora na ulazu CMOS invertora (napon počinje da raste). Promena napona kondenzatora na ulazu je opisana relacijom

$$v_C(t) = V_{CC} - V_{CC} e^{-\frac{t}{CR}}$$

Napon v_2 , zadržava vrednost $v_2 = V_{CC}$ sve dok napon v_C ne postane $v_C(t_1) = \frac{V_{CC}}{2}$, kada se isključuje PMOS tranzistor i uključuje NMOS tranzistor. Vremenski trenutak t_1 se može odrediti iz

$$v_C(t_1) = \frac{V_{CC}}{2} = V_{CC} - V_{CC} e^{-\frac{t_1}{CR}} \Rightarrow t_1 = CR \ln 2 = T \ln 2 \approx 0.7T.$$

Od tog momenta, kondenzator na izlazu se prazni i talasni oblik napona je opisan relacijom

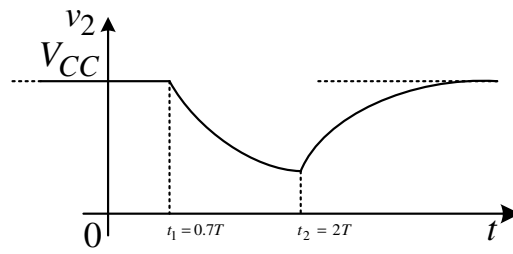
$$v_2(t) = V_{CC} e^{-\frac{t-t_1}{CR}}.$$

Kada se napon na ulazu u momentu

$t_2 = 2T$, naglo promeni, kroz diodu će proteći veća struja kojom se kondenzator momentalno prazni na napon $v_C(t_2) = V_D$ što dovodi do ponovnog uključenja PMOS tranzistora i isključenja NMOS tranzistora. U nastavku, kondenzator na izlazu se puni prema relaciji

$$v_2(t) = V_{CC} - (V_{CC} - v_2(t_2)) e^{-\frac{t-t_2}{CR}}, \text{ pri čemu je napon } v_2(t_2) = V_{CC} e^{-\frac{t_2-t_1}{CR}} \approx 0.27V_{CC}.$$

Vremenski oblik napona $v_2(t)$ je prikazan na slici



2. Kombinatorna mreža poredi dva neoznačena dvobitna binarna broja A_1A_0 i B_1B_0 koja se dovode na ulaz mreže. Izlazi iz mreže su signali GT , LT i EQ . Signal GT treba da bude na nivou logičke jedinice ako je $A_1A_0 > B_1B_0$, a u svakom drugom slučaju na nivou logičke nule. Signal LT treba da bude na nivou logičke jedinice ako je $A_1A_0 < B_1B_0$, a u svakom drugom slučaju na nivou logičke nule. Signal EQ treba da bude na nivou logičke jedinice ukoliko je $A_1A_0 = B_1B_0$, a u svakom drugom slučaju na nivou logičke nule.

a) [10] Projektovati i realizovati opisanu kombinatornu mrežu ako su na raspolaganju I, ILI, NI, NILI logička kola i invertori.

b) [10] Projektovati i realizovati opisanu kombinatornu mrežu ako je na raspolaganju jedan inverter i potreban broj multipleksera MX8/1.

Rešenje:

a) Najpre je potrebno formirati kombinatornu tabelu u kojoj će svakoj kombinaciji ulaznih signala biti pridruženi odgovarajući izlazni signali u skladu sa uslovima zadatka. Kombinatorna tabela ima sledeći izgled:

A_1	A_0	B_1	B_0	GT	LT	EQ
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

Jednačine koje opisuju izlazne signale se formiraju uz pomoć Karnoovih mapa izvedenih iz kombinatorne tabele:

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

$$GT = A_1\overline{B_1} + A_0\overline{B_1}\overline{B_0} + A_1A_0\overline{B_0}$$

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

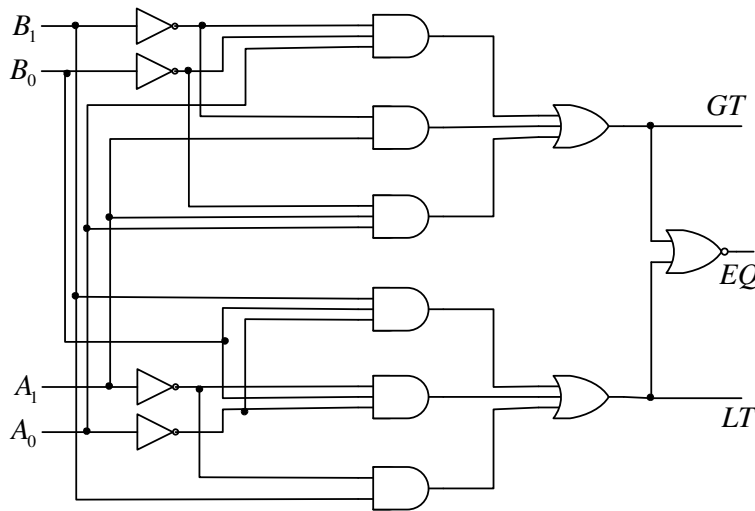
$$LT = \overline{A_1}B_1 + \overline{A_1}\overline{A_0}B_0 + \overline{A_0}B_1B_0$$

Treći izlazni signal EQ se može odrediti na sličan način kao i prethodna dva, preko Karnoovih karata, međutim do rešenja je moguće doći i na brži i jednostavniji način. Naime, dva ulazna binarna broja su međusobno jednaka ako i samo ako A_1A_0 nije veći od B_1B_0 i istovremeno B_1B_0 nije veći od A_1A_0 , tj. ako i samo ako su oba izlazna signala GT i LT na niskom logičkom nivou. Iz toga sledi da je:

$$EQ = \overline{GT + LT}$$

tako da se signal EQ može izgenerisati uz pomoć samo jednog dodatnog logičkog NILI kola.

Konačan izgled tražene kombinacione mreže je prikazan na sledećoj slici:

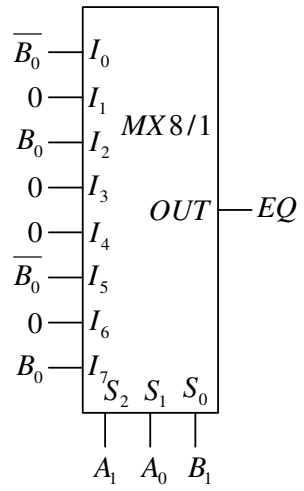
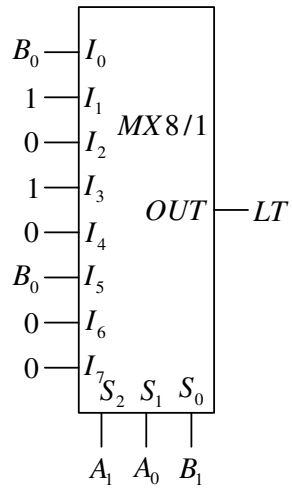
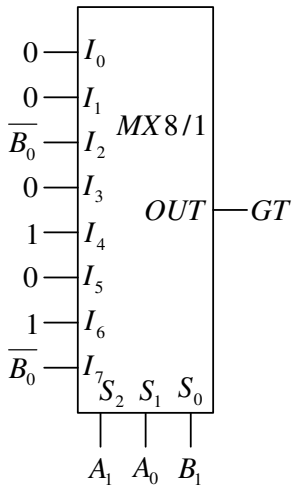
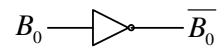


b) Ukoliko se ulazni signali kombinacione mreže A_1 , A_0 i B_1 dovedu na selekzione ulaze multipleksera MX8/1, iz kombinacione tabele formirane pod tačkom **a)** se može zaključiti koje signale je potrebno dovesti na svaki od informacionih ulaza multipleksera MX8/1, tako da na izlazu multipleksera bude generisana potrebna vrednost signala GT za svaku kombinaciju vrednosti logičkih nivoa na selekcionim ulazima.

Npr. ukoliko je $A_1A_0B_1 = 000$ iz kombinacione tabele se vidi da je $GT = 0$ bez obzira na vrednost signala B_0 , pa se stoga na informacioni ulaz multipleksera (koji se koristi za generisanje signala GT) I_0 dovodi logička 0. Zatim, ukoliko je $A_1A_0B_1 = 001$ iz kombinacione tabele se vidi da je $GT = 0$ bez obzira na vrednost signala B_0 , pa se stoga na informacioni ulaz multipleksera I_1 dovodi takođe logička 0. Zatim, ukoliko je $A_1A_0B_1 = 010$ iz kombinacione tabele se vidi da je $GT = \overline{B_0}$, pa se stoga na informacioni ulaz multipleksera I_2 dovodi signal $\overline{B_0}$, itd.

Na sličan način se formiraju i signali LT i EQ .

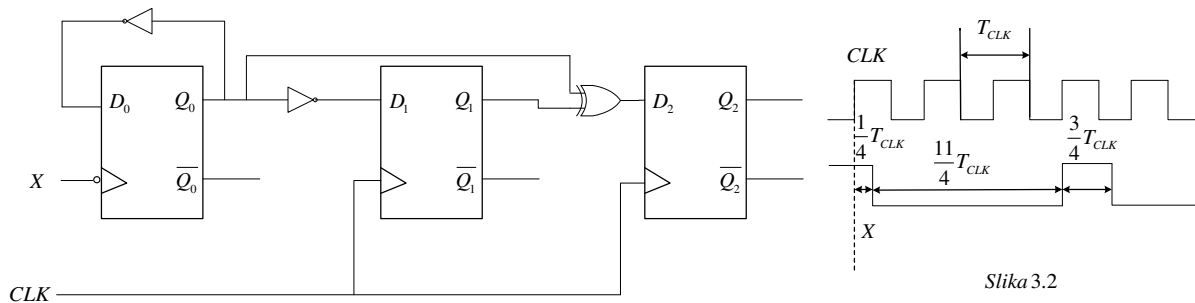
Kompletna realizacija je prikazana na sledećoj slici:



3. Na ulaz sekvencijalne mreže sa slike 3.1 se dovode signali čiji su vremenski oblici zadati na slici 3.2. Perioda signala CLK iznosi T_{CLK} , pri čemu je vremensko trajanje impulsa i pauze isto.

a) [13] Nacrtati vremenske oblike signala na izlazima svih flip-flopova (Q_0 , Q_1 , Q_2) u intervalu vremena kao na slici 3.2 pod pretpostavkom da su sve komponente idealne i da su pre prve uzlazne ivice CLK signala svi flip-flopovi bili u stanju reset-a. Vremenske oblike crtati jedan ispod drugog.

b) [7] Ukoliko su sve komponente, osim invertora koji povezuje Q_0 i D_1 , idealne, odrediti koliko sme da iznosi maksimalno vreme kašnjenja kroz taj invertor da bi vremenski dijagrami odedeni u prethodnoj tački ostali isti.

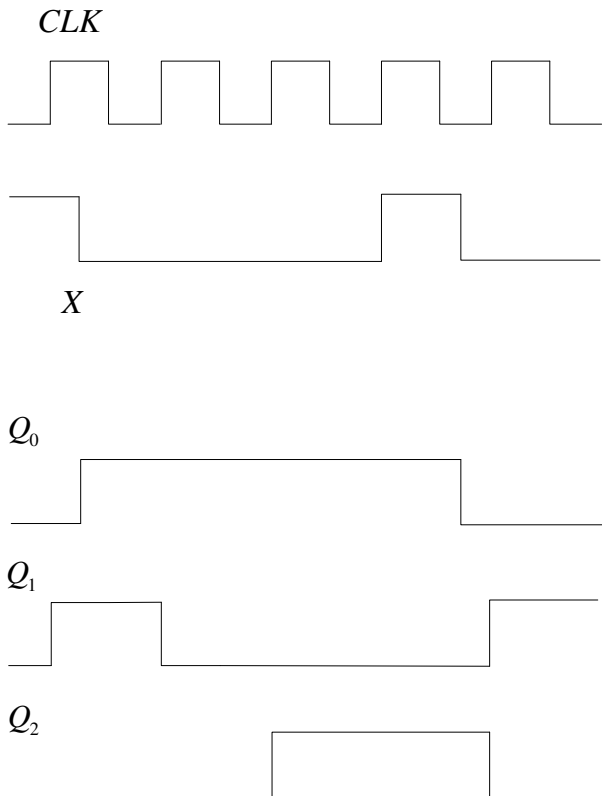


Slika 3.1

Slika 3.2

Rešenje:

a)



momenti su kada signal X pada na nulu, jer tada flip-flop 0 menja stanje. U prvom slučaju kada X pada na nulu kašnjenje kroz invertor ne sme biti veće od $t_d = \frac{3}{4}T_{CLK}$ kako bi na

prvu sledeću uzlaznu ivicu signala CLK signal na ulazu flip-flopa 1 bio na logičkoj nuli kao u slučaju kada nema kašnjenja. U drugom slučaju kada signal X pada na nulu, flip-flop 0 menja stanje i njegov izlaz postaje logička nula, a ulaz flip-flopa 1 logička jedinica. Da bi flip-flop 1 promenio stanje kao i u slučaju kada nema kašnjenja kroz invertor na prvu uzlaznu ivicu signala CLK, njegov ulaz mora biti na logičkoj jedinici. Kašnjenje kroz invertor u tom slučaju ne sme biti veće od $t_d = \frac{1}{4}T_{CLK}$. Na osnovu ove analize zaključujemo da kašnjenje kroz invertor mora biti manje od $t_d = \frac{1}{4}T_{CLK}$ kako bi vremenski dijagrami ostali isti kao u prethodnom slučaju kada nema kašnjenja.

b) Kašnjenje kroz invertor može uticati na promenu stanja flip-flopa 1. Kritični

4. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model šesnaestobitnog registra prema sledećim specifikacijama.

U pomenuti registar treba da se paralelno upisuje šesnaestobitni sadržaj doveden na ulaz `d` (koji predstavlja šesnaestobitni vektor) registra, sinhrono sa uzlaznom ivicom signala takta `clk` samo ukoliko je signal sinhronog reseta `rst` na niskom logičkom nivou i ukoliko je ulazni kontrolni signal `rot` na niskom logičkom nivou. Ukoliko je signal sinhronog reseta `rst` na visokom logičkom nivou, sadržaj registra treba da se resetuje sinhrono sa uzlaznom ivicom signala takta `clk`, bez obzira na trenutnu vrednost signala `d` i `rot`. I konačno, ukoliko je signal sinhronog reseta `rst` na niskom logičkom nivou, a ulazni kontrolni signal `rot` na visokom logičkom nivou, sadržaj registra treba da se rotira za jedno mesto udesno sinhrono sa uzlaznom ivicom signala takta `clk`, bez obzira na trenutnu vrednost signala `d`. Trenutni sadržaj registra je uvek raspoloživ u vidu izlaznog šesnaestobitnog vektora `q`.

Biti ulaznog i izlaznog vektora (`d` i `q`) su poredani od MSB ka LSB u smeru sa leva na desno.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY sixteen_bit_register IS PORT
(
    clk,rst,rot : IN STD_LOGIC;
    d : IN STD_LOGIC_VECTOR(15 DOWNTO 0);
    q : OUT STD_LOGIC_VECTOR(15 DOWNTO 0)
);
END sixteen_bit_register;

ARCHITECTURE behav OF sixteen_bit_register IS
    SIGNAL tmp : STD_LOGIC_VECTOR(15 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF rising_edge(clk) THEN
            IF rst='1' THEN
                tmp <= (OTHERS => '0');
            ELSIF rot='1' THEN
                tmp <= tmp(0) & tmp(15 DOWNTO 1);
            ELSE
                tmp <= d;
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;
```