

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 11.06.2014.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

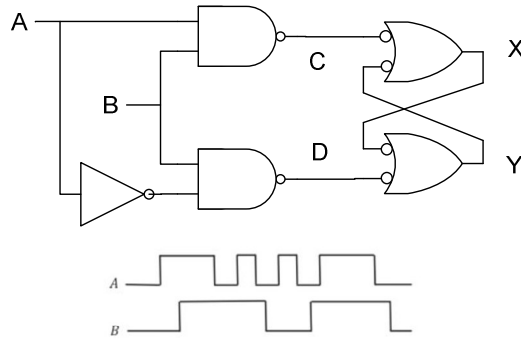
R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20]

a) Koristeći se Karnoovim kartama izvršiti minimizaciju sledećeg Bulovog izraza i funkciju  $f$  izraziti u formi proizvoda suma

$$f = \overline{A}B + \overline{A}BC + ABC$$

b) Na slici je prikazana CMOS logička struktura.



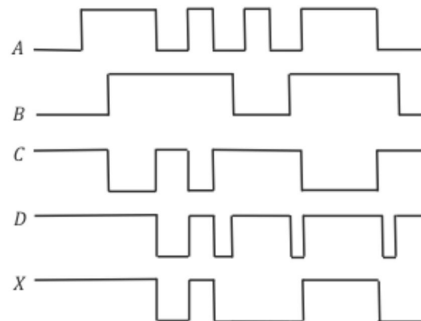
Za prikazane vremenske oblike signala na ulazu A i B odrediti i nacrtati vremenske oblike signala C, D i X pod pretpostavkom da je u početnom stanju vrednost  $X=1$  i  $Y=0$ . Kašnjenja kroz logička kola se zanemaruju.

**Rešenje:**

a) Minimizacijom uz pomoć Karnoovih karti se dobija izraz za  $f$

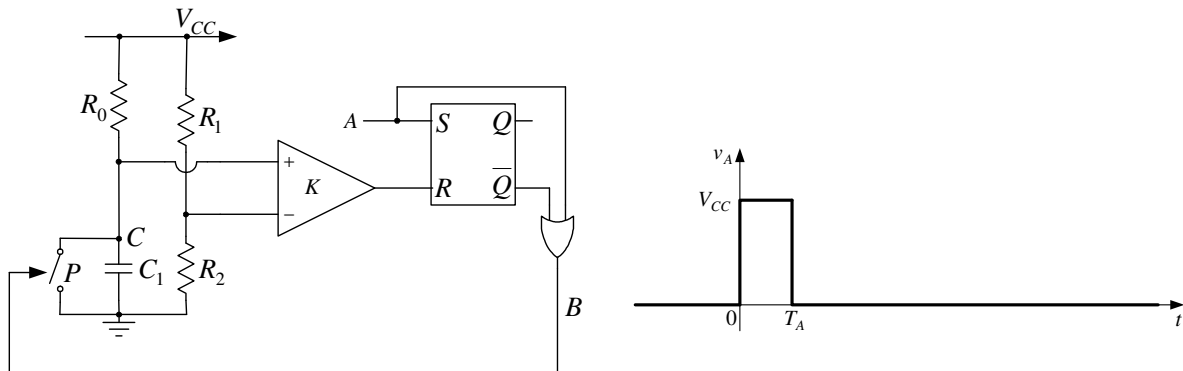
$$f = (A + C)(A + B)(\overline{A} + \overline{B} + \overline{C})$$

b) Prikazana CMOS struktura predstavlja SR latch kolo gde su ulazi povezani na NI kola, a signal B se može tumačiti kao ENABLE. Traženi dijagrami su prikazani na slici.



2. [20] U kolu sa slike, otpornosti sva tri otpornika, kapacitivnost kondenzatora  $C_1$  i napon napajanja  $V_{CC}$  se mogu smatrati poznatim. Naponski kontrolisani prekidač P je zatvoren ako je  $B=1$  i tada se može ekvivalentirati otpornošću  $R_{ON} \rightarrow 0$ , a otvoren je ako je  $B=0$  i tada se može ekvivalentirati otpornošću  $R_{OFF} \rightarrow \infty$ . Logičko ILI kolo je idealano, CMOS tipa sa naponom napajanja  $V_{CC}$ , a SR leč sačinjavaju CMOS logička kola sa naponom napajanja  $V_{CC}$ . Komparator K je idealan sa naponom napajanja  $V_{CC}$ . Za  $t < 0$  se celo kolo nalazilo dovoljno dugo vremena u stacionarnom stanju.

Odrediti i nacrtati vremenske dijagrame napona u tačkama B, C i izlazu leča Q, ako se na ulaz A dovede kratkotrajni naponski impuls prikazan na slici (smatrati da je  $T_A$  poznata veličina). Odrediti trajanje impulsa u tački B i tački Q.



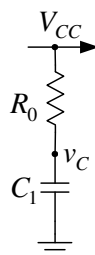
### Rešenje:

Za  $t < 0$  je  $v_A = 0$ , tako da je u stabilnom stanju  $S=0$ , dok R može biti ili na nivou logičke jedinice ili na nivou logičke nule. Ako se pretpostavi da je  $R=1$ , tada sledi da je  $Q=0$ ,  $\bar{Q}=1$  i  $B=1$  što prema uslovu zadatka zatvara prekidač, a zatvoren prekidač daje napon na kondenzatoru  $C_1$  ravan nuli, a to daje  $R=0$ , što je u suprotnosti sa polaznom pretpostavkom (što znači da je polazna pretpostavka  $R=1$  bila pogrešna). Iz navedenog se može zaključiti da je u stabilnom stanju  $R=0$ .

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli, i ostaje da se utvrdi na kom nivou su signali  $Q$  i  $\bar{Q}$ . Ukoliko se pretpostavi da je u stacionarnom stanju  $Q=1$  i  $\bar{Q}=0$ , sledi zaključak da je  $B=0$ , što znači da je prekidač P otvoren i da je kondenzator napunjen. U tom slučaju bi bilo  $R=1$ , što bi značilo da je  $Q=0$  i  $\bar{Q}=1$ , što je u suprotnosti sa uvedenom pretpostavkom (da je  $Q=1$  i  $\bar{Q}=0$ ).

Dakle, u stabilnom stanju su oba ulaza leča (R i S) na logičkoj nuli  $Q=0$ ,  $\bar{Q}=1$ ,  $B=1$ , P-zatvoren i  $v_C=0$ . Neposredno nakon pojave uzlazne ivice impulsa u tački A (tj. u trenutku  $t=0^+$ ) je:  $v_A=1$ , ulaz leča S je na logičkoj jedinici, ulaz leča R je na logičkoj nuli, tako da je  $Q=1$ ,  $\bar{Q}=0$ ,  $B=1$  i P-zatvoren.

Nakon pojave silazne ivice impulsa u tački A je:  $v_A=0$ , ulaz leča S je na logičkoj nuli, ulaz leča R je na logičkoj nuli, tako da je  $Q=1$  i  $\bar{Q}=0$ ,  $B=0$ , P-otvoren, a dato kolo se može ekvivalentirati na način prikazan na sledećoj slici:



Tada će se napon na kondenzatoru eksponencijalno povećavati sa vremenskom konstantom  $\tau = R_0 C_1$ . Ovaj proces će se dešavati sve dok napon na kondenzatoru (tj. na “+“ ulazu komparatora) ne dostigne vrednost  $\frac{R_2 V_{CC}}{R_1 + R_2}$  kada izlaz komparatora postaje logička jedinica što resetuje leč i

nakon toga je:  $Q = 0$  i  $\bar{Q} = 1$ ,  $B = 1$ , P-zatvoren i  $v_C = 0$ . Pad napona u tački C sa vrednosti  $\frac{R_2 V_{CC}}{R_1 + R_2}$  na 0 se dešava momentalno zbog otpornosti prekidača P kada je zatvoren  $R_{ON} \rightarrow 0$ .

Jednačine koje opisuju napon  $v_C(t)$  dok je prekidač P otvoren su:

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(T_A^+)] \cdot e^{-\frac{t-T_A}{\tau}}; \quad v_C(\infty) = V_{CC}; \quad v_C(T_A^+) = 0$$

$$v_C(t) = V_{CC} \cdot \left( 1 - e^{-\frac{t-T_A}{\tau}} \right)$$

Period za koji je prekidač P bio otvoren (tj. trajanje impulsa u tački B) se određuje iz uslova:

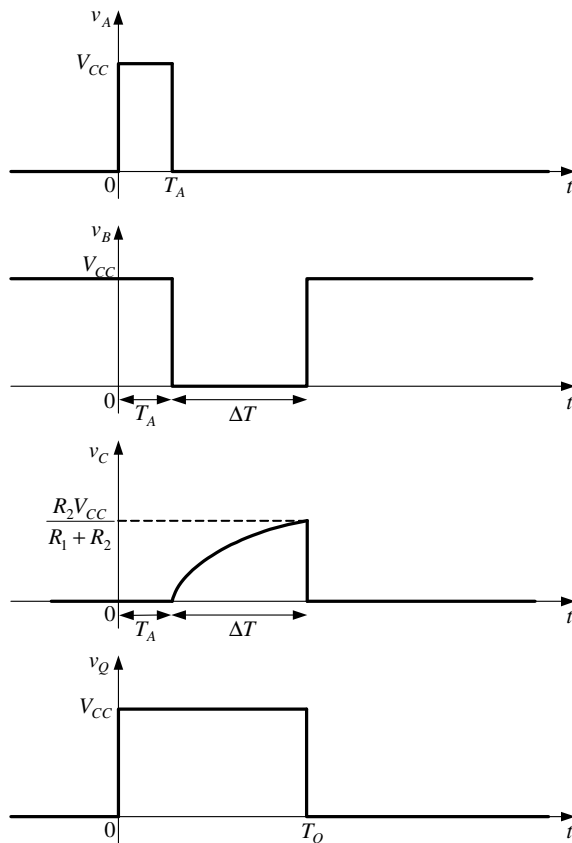
$$v_C(T_A + \Delta T) = V_{CC} \cdot \left( 1 - e^{-\frac{\Delta T}{\tau}} \right) = \frac{R_2 V_{CC}}{R_1 + R_2}$$

$$\text{odakle se dobija da je: } \Delta T = \tau \cdot \ln \left( 1 + \frac{R_2}{R_1} \right) = R_0 C_1 \cdot \ln \left( 1 + \frac{R_2}{R_1} \right).$$

Trajanje impulsa u tački Q je:

$$T_Q = T_A + \Delta T = T_A + R_0 C_1 \cdot \ln \left( 1 + \frac{R_2}{R_1} \right)$$

Vremenski dijagrami napona u tačkama A, B, C i Q su prikazani na sledećim slikama:



3. [20] Koristeći minimalan broj D flip flopova i proizvoljnih logičkih kola projektovati sinhroni brojač koji broji u sekvenci 0,1,2,3,4,11,12,13,14,15. Nacrtati električnu šemu povezivanja logičkih kola i flip flopova. Analizirati ponašanje tako isprojektovanog brojača prilikom ulaska u zabranjena stanja.

**Rešenje:**

Tabela prelaza flip flopova je data kao:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	1	0	1	1
5	1	0	1	1	1	1	0	0
6	1	1	0	0	1	1	0	1
7	1	1	0	1	1	1	1	0
8	1	1	1	0	1	1	1	1
9	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = \overline{D}\overline{B} + \overline{D}\overline{C} + C\overline{A}$$

$$C(i+1) = \overline{D}\overline{C} + \overline{D}\overline{A} + \overline{D}\overline{B} + \overline{D}BA$$

$$B(i+1) = \overline{B}\overline{A} + \overline{B}A + \overline{D}C = B \oplus A + \overline{D}C$$

$$A(i+1) = \overline{A}$$

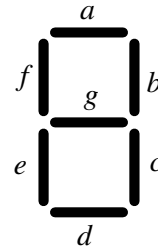
Analizom zabranjenih stanja, može se zaključiti da će brojač nakon dva taktne ciklusa (u najgorem slučaju) izaći iz njih i početi da radi normalno.

4. [20] Kombinatorna mreža koja se koristi za pobudu sedmosegmentnog displeja (prikazanog na slici) je opisana sledećim VHDL kodom:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity seven_seg is
    port (D: in STD_LOGIC_VECTOR (3 downto 0);
          OE: in STD_LOGIC;
          Q: out STD_LOGIC_VECTOR (6 downto 0));
end seven_seg;

architecture seven_seg_arch of seven_seg is
    signal TMP: STD_LOGIC_VECTOR (6 downto 0);
begin
    process (D,OE,TMP)
    begin
        case D is
            when "0000" => TMP <="0000001";
            when "0001" => TMP <="1001111";
            when "0011" => TMP <="0010010";
            when "0010" => TMP <="0000110";
            when "0110" => TMP <="1001100";
            when "0111" => TMP <="0100100";
            when "0101" => TMP <="0100000";
            when "0100" => TMP <="0001111";
            when "1100" => TMP <="0000000";
            when "1101" => TMP <="0000100";
            when "1111" => TMP <="0110000";
            when "1110" => TMP <="0110000";
            when "1010" => TMP <="0110000";
            when "1011" => TMP <="0110000";
            when "1001" => TMP <="0110000";
            when "1000" => TMP <="0110000";
            when others => TMP <="0110000";
        end case;
        if OE='1' then Q<=TMP;
        else Q<="1111111";
        end if;
    end process;
end seven_seg_arch;
```



Biti izlaznog vektora Q, počev od bita najveće težine ka bitu najmanje težine pobuđuju segmente displeja: a, b, c, d, e, f, g, respektivno. Displej je sa zajedničkom anodom, što znači da je odgovarajući segment upaljen ukoliko je pobuđen logičkom nulom, a u slučaju pobude logičkom jedinicom je ugašen.

Na osnovu vremenskih dijagrama ulaznog vektora D (čije su vrednosti predstavljene u heksadecimalnom formatu) i ulaznog signala OE, odrediti sekvencu alfanumeričkih karaktera koji se prikazuju na sedmosegmentnom displeju i upisati ih na odgovarajuća mesta na vremenskom dijagramu. Ukoliko je sedmosegmentni displej ugašen tokom nekog vremenskog intervala, u odgovarajuće polje za taj vremenski interval napisati karakter X.

D    A B C D E F 0 1 2 3 4 5 6 7 8 9 C B 9 7

OE    \_\_\_\_\_

7-SEG DISPLEJ    \_\_\_\_\_

**Rešenje:**

D    A B C D E F 0 1 2 3 4 5 6 7 8 9 C B 9 7

OE    \_\_\_\_\_

7-SEG DISPLEJ    X X X X E E 0 1 3 2 7 6 4 X X X 8 E E 5