

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 05.02.2014.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

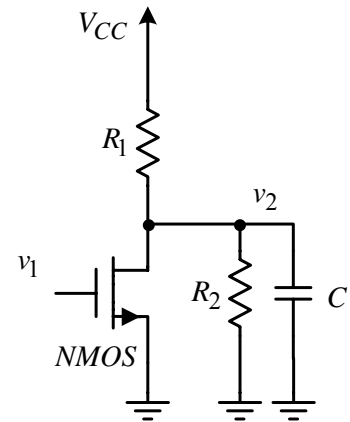
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Ukupno
Max	20	20	20	20	80
Dobijeno					

1. [20] Na slici je prikazano kolo invertora sa NMOS tranzistorom i otpornikom R_1 kao pasivnim opterećenjem. Izlaz invertora je opterećen otpornikom R_2 i kondenzatorom C u paralelnoj vezi. Napon v_1 je u vremenskom intervalu $-\infty < t < 0$ imao konstantnu vrednost $v_1 = V_{CC}$ ($V_{CC} > V_T$, V_T – napon uključenja NMOS tranzistora). U trenutku $t_1 = 0^+$, napon v_1 promeni svoju vrednost, postane $v_1 = 0$ i dalje se ne menja. Izračunati izraz (formulu) za vreme potrebno da napon v_2 poraste od svoje minimalne vrednosti do 90% svoje maksimalne vrednosti. Smatrati da je u provodnom stanju otpornost NMOS tranzistora r_{ds} konstantna i iznosi $r_{ds} = R$, dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost. Za ostale otpornike u kolu važi $R_1 = R_2 = 9R$.



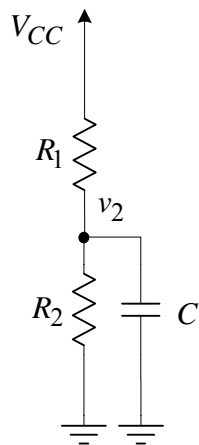
Rešenje:

Do momenta promene napona v_1 , u kolu NMOS invertora je uspostavljeno stacionarno stanje. NMOS tranzistor vodi i ekvivalentna šema kola izgleda kao na slici 1.

Napon v_2 se može izračunati kao

$$v_2 = V_{CC} \frac{r_{ds} \parallel R_2}{R_1 + r_{ds} \parallel R_2} = 0.091 V_{CC} = v_{2 \min}, \text{ što ujedno predstavlja}$$

minimalnu vrednost koju napon v_2 može imati. Kada napon v_1 promeni vrednost i postane $v_1 = 0$, NMOS tranzistor se zakoči i ekvivalentno kolo NMOS inverora izgleda kao na slici 2



Maksimalna vrednost koju napon v_2 može imati iznosi

$$v_{2 \max} = \frac{R_2}{R_1 + R_2} V_{CC} = 0.5 V_{CC}. \text{ Promena } v_2$$

napona od momenta $t_1 = 0^+$ pa na dalje se može opisati kao

$$v_2(t) = v_{2 \max} - (v_{2 \max} - v_{2 \min}) e^{-\frac{t}{C R_1 \parallel R_2}}, \text{ traženi vremenski interval } \Delta t, \text{ se}$$

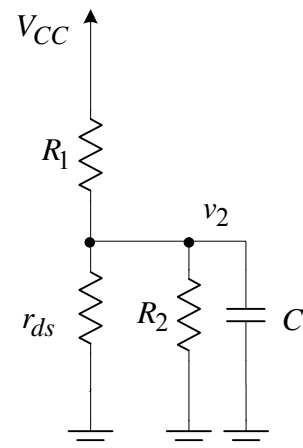
dobija kao $\Delta t = t_2 - t_1$, gde je t_2 vremenski trenutak u kojem je napon $v_2(t_2) = 0.9 v_{2 \max}$. Odavde sledi

Slika 2

$$0.9 v_{2 \max} = v_{2 \max} - (v_{2 \max} - v_{2 \min}) e^{-\frac{t_2}{C R_1 \parallel R_2}} \Rightarrow \frac{t_2}{C R_1 \parallel R_2} = \ln \frac{v_{2 \max} - v_{2 \min}}{0.1 v_{2 \max}}$$

$$\Delta t = t_2 - t_1 = t_2 = C R_1 \parallel R_2 \ln \frac{v_{2 \max} - v_{2 \min}}{0.1 v_{2 \max}}$$

$$\Delta t = 2.101 R_1 \parallel R_2 C = 1.05 RC$$



Slika 1

2. [20] Na ulaz kombinacione mreže (signali ABCD) se dovodi jedna binarno kodovana BCD cifra. A je bit najveće težine, D bit najmanje težine. Izlaz mreže je Y. Izlaz mreže dobija vrednost logičke jedinice u slučaju da su najmanje dva susedna bita (biti A i D ne mogu biti susedni) u ulaznoj BCD cifri jednaka jedinici u suprotnom je na logičkoj nuli.

- [5] Nacrtati kombinacionu tabelu koja određuje rad ove mreže.
- [8] Odrediti funkciju $Y=Y(A,B,C,D)$. Realizovati mrežu korišćenjem minimalnog broja logičkih kola.
- [2] Ukoliko se desi greška u električnoj šemi koja realizuje rešenje dobijeno u tački b) tako da signal A ima vrednost logičke jedinice umesto da ima vrednost binarne promenljive A koja predstavlja deo BCD cifre na ulazu (umesto vrednosti BCD cifre 1 na ulazu se pojavi BCD cifra 9), odrediti šta će se generisati na izlazu Y za svaku BCD cifru koja može da dodje na ulaz mreže.
- [5] Ukoliko se na ulaz kombinacione mreže realizovane u prethodnim tačkama dovede izlaz četvorobitnog sinhronog brojača, odrediti sekvencu brojanja brojača ako on broji u rastućem poretku, da bi se na izlazu kombinacione mreže dobila sledeća povorka: 1 0 1 1 0 1 0 1 1 0(deo koji se ponavlja je podvučen). Koliko najmanje memorijskih elemenata sadrži mreža sinhronog brojača.

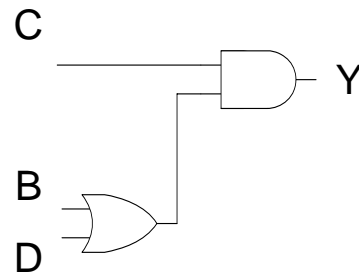
Rešenje:

a)

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

b) Optimizacijom uz pomoć Karnoove karte dobija se sledeće funkcija za izlazni signal

$$Y = BC + CD$$



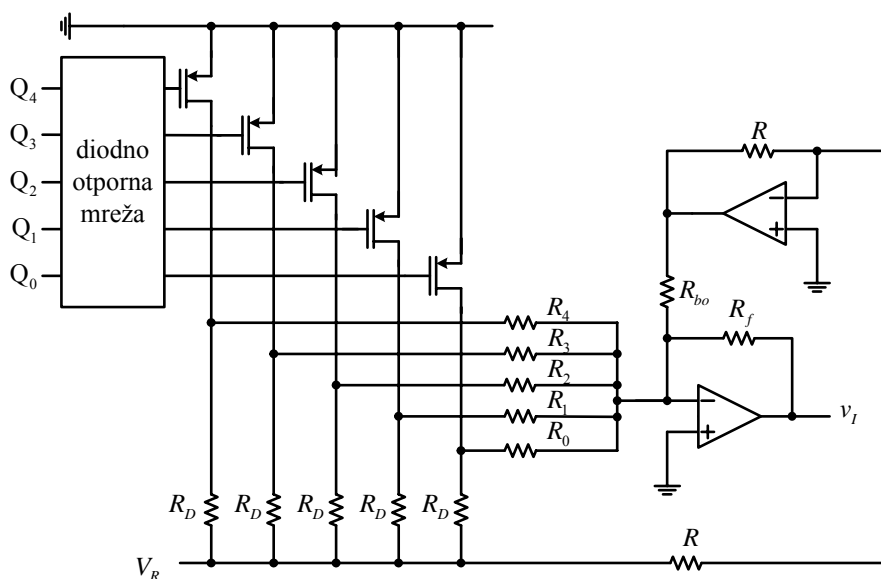
- c) Pošto vrednost promenjive A ne figuriše u rešenju za izlaz Y, promena vrednosti signala A ne utiče na promenu vrednosti signala Y u odnosu na slučaj kada A ima korektnu vrednost za svaku BCD cifru.
- d) Posmatranjem tabele u tački a) možemo zaključiti da je jedno od mogućih rešenja za sekvencu brojanja brojača 3, 5, 6, 7, 9Kako brojač ima pet stanja, dovoljno je koristiti tri memorijska elementa (recimo D flip flopove).

3. [20] Na slici je prikazan bipolarni D/A konvertor sa težinskom otpornom mrežom sledećih karakteristika:

- rezolucija: 5 bita (4bita+znak)
- kôd: binarni ofset
- opseg izlaznog napona: $V_{\min} = -5V$ za ulazni kôd $Q_4Q_3Q_2Q_1Q_0 = 00000$, $V_{\max} = +4.6875V$ za ulazni kôd $Q_4Q_3Q_2Q_1Q_0 = 11111$.

Diodno-otporna mreža prilagođava naponske nivoe standardne digitalne CMOS logike na naponske nivoe koji odgovaraju ovom D/A konvertoru.

Izračunati vrednosti svih otpornika u D/A konvertoru ako je poznato $V_R = -10.2V$, $R_D = 1k\Omega$, otpornost otpornika povratne sprege $R_f = 1k\Omega$, dok se otpornost kanala uključenog tranzistora može zanemariti.



Rešenje:

Ako je na ulazu kombinacija 00000 napon na izlazu je:

$$v_I = R_f \frac{V_R}{R_{b0}} = -R_f \frac{|V_R|}{R_{b0}} = V_{\min}$$

$$R_{b0} = -R_f \frac{|V_R|}{V_{\min}} = 2.04\text{k}\Omega$$

Ako je na ulazu kombinacija 11111 napon na izlazu je:

$$v_I = R_f \left(\frac{V_R}{R_{b0}} - 31 \frac{V_R}{R_D + R_0} \right) =$$

$$-R_f \left(\frac{|V_R|}{R_{b0}} - 31 \frac{|V_R|}{R_D + R_0} \right) = V_{\max}$$

$$v_I = V_{\min} + 31R_f \frac{|V_R|}{R_D + R_0} = V_{\max}$$

$$R_D + R_0 = 31R_f \frac{|V_R|}{V_{\max} - V_{\min}} = 32.64\text{k}\Omega$$

Na osnovu osobina težinske mreže određujemo ostale otpornike

$$R_D + R_1 = 16.32\text{k}\Omega$$

$$R_D + R_2 = 8.16\text{k}\Omega$$

$$R_D + R_3 = 4.08\text{k}\Omega$$

$$R_D + R_4 = 2.04\text{k}\Omega$$

S obzirom da je $R_D = 1\text{k}\Omega$, sledi: $R_0 = 31.64\text{k}\Omega$, $R_1 = 15.32\text{k}\Omega$, $R_2 = 7.16\text{k}\Omega$, $R_3 = 3.08\text{k}\Omega$, $R_4 = 1.04\text{k}\Omega$.

4. [20] Digitalna mreža je opisana sledećim VHDL kodom:

```

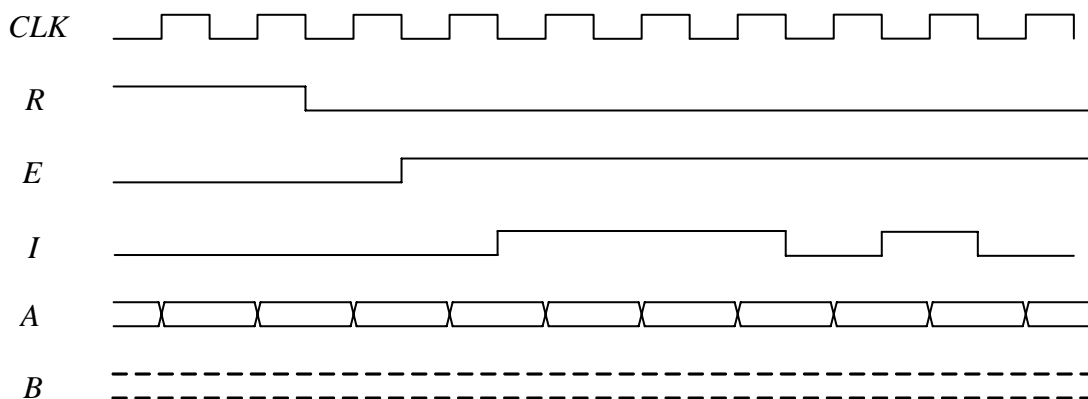
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY block_A IS PORT
(
  clk,r,e,i : IN STD_LOGIC;
  b : OUT STD_LOGIC;
  a : OUT STD_LOGIC_VECTOR(7 DOWNTO 0)
);
END block_A;

ARCHITECTURE behav OF block_A IS
  SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNTO 0);
BEGIN
  PROCESS (clk,r) BEGIN
    IF r='1' THEN
      tmp <= (OTHERS => '0');
    ELSIF rising_edge(clk) THEN
      IF e='1' THEN
        tmp <= tmp(6 DOWNTO 0) & i;
        b <= tmp(7);
      END IF;
    END IF;
  END PROCESS;
  a <= tmp;
END behav;

```

Na osnovu vremenskih dijagrama ulaznih signala, odrediti vremenski oblik izlaznog signala i vrednost izlaznog vektora u decimalnom formatu i ucrtati ih na dati dijagram.



Rešenje:

