

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 26.06.2013.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

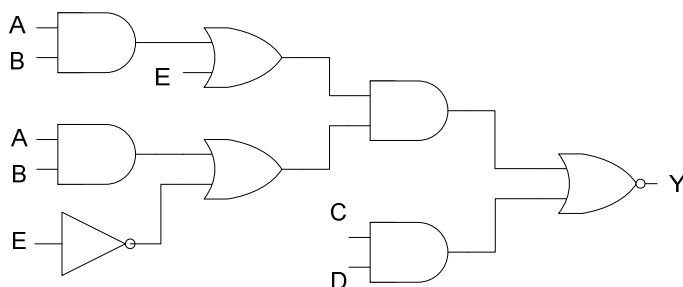
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

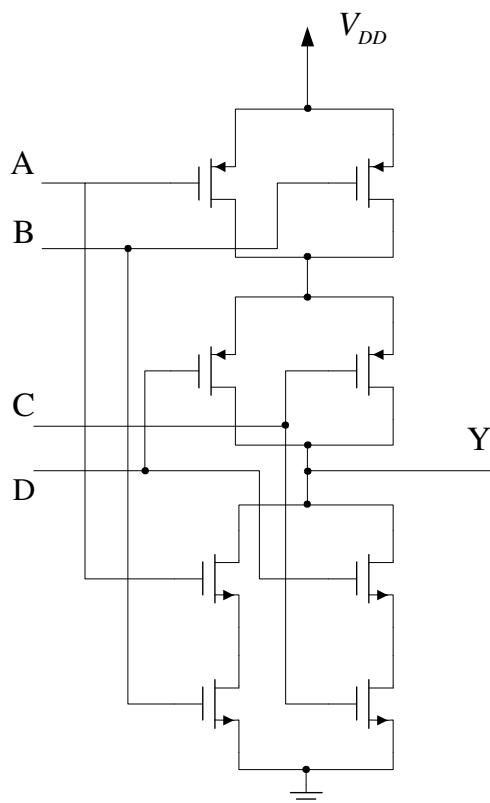
1. [20] Koristeći NMOS i PMOS tranzistore, isprojektovati statičko CMOS kolo koje realizuje bulovu funkciju kao kolo sa slike, a pri tome ima minimalan broj tranzistora.



Rešenje:

Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora.

Minimizacijom bulove funkcija koju realizuje kolo na slici, dobija se funkcija $Y = \overline{AB + CD}$. Statičko CMOS kolo koje realizuje ovu funkciju je prikazano na slici. Kako ulaz E ne utiče na vrednost izlazne promenjive Y on je izostavljen u realizaciji CMOS kola.



2. [20] Na slici je prikazan generator povorke talasnih oblika. Operacioni pojačavači su idealni i napajaju se simetričnim naponima V_{CC} i $-V_{CC}$.

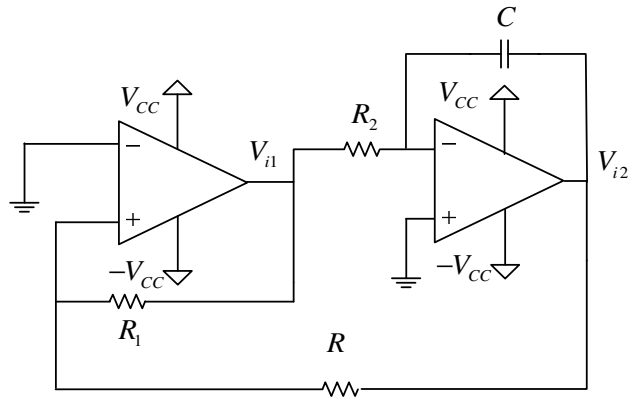
Operacioni pojačavač sa pozitivnom povratnom spregom radi kao komparator. Drugi operacioni pojačavač sa negativnom povratnom spregom radi kao integrator.

a) [5] Nacrtati prenosnu karakteristiku komparatora i izračunati njegove pragove.

b) [10] Nacrtati vremenske dijagrame napona na izlazima operacionih pojačavača u toku uspostavljanja oscilacija i u jednoj periodi oscilacije u ustaljenom stanju, ako se pretpostavi da je kondenzator C bio prazan u momentu uključenja napajanja i da napon na izlazu komparatora u momentu uključenja uzima maksimalnu vrednost.

Na vremenskim dijagramima izračunati i obeležiti amplitude signala i trajanje vremenskih intervala.

Izračunati izraze za periodu povorke impulsa V_{i1} , V_{i2} .



c) [5] Koji uslov treba da važi da bi kolo oscilovalo (generisalo impulse V_{i1} i V_{i2}).

Rešenje:

a) Operacioni pojačavač levo na slici radi u režimu pozitivne povratne sprege obzirom na vezu između izlaza i + priključka. Može se uočiti da ovaj operacioni pojačavač formira Šmitov komparator sa otpornicima R_1 i R_2 . Na osnovu ovoga se može zaključiti da napon V_{i1} može imati samo vrednosti V_{CC} ili $-V_{CC}$. Pragovi okidanja Šmitovog kola se mogu izračunati i iznose $V_{T1} = V_{CC} \frac{R}{R_1}$, $V_{T2} = -V_{CC} \frac{R}{R_1}$. Kada je napon $V_{i1} = V_{CC}$, struja kroz otpornik R_2 je u smeru ka – priključku operacionog pojačavača desno koji radi u linearnom režimu (uspostavljena negativna povratna sprega), tako da napon V_{i2} linearno opada. Kada napon V_{i2} dostigne V_{T2} trigeruje se Šmitov komparator i napon V_{i1} postaje $V_{i1} = -V_{CC}$. Nadalje struja kroz otpornik R_2 menja smer i usmerena je od – priključka operacionog pojačavača, tako da napon V_{i2} linearno raste. Kada napon V_{i2} dostigne V_{T1} trigeruje se Šmitov komparator i napon V_{i1} ponovo postaje $V_{i1} = V_{CC}$. Na osnovu ove analize se može zaključiti da će napon V_{i1} predstavljati povorku pravougaonih impulsa dok će napon V_{i2} predstavljati povorku trougaonih impulsa.

b) Nulti vremenski trenutak se može uzeti u momentu kada je napon $V_{i1} = V_{CC}$, u nastavku u vremenskom intervalu $0 < t \leq T_1$, napon V_{i1} se ne menja, dok napon V_{i2} linearno opada od vrednosti $V_{T1} = V_{CC} \frac{R}{R_1}$ ka $V_{T2} = -V_{CC} \frac{R}{R_1}$, $V_{i2} = V_{CC} \frac{R}{R_1} - \frac{I}{C}t$, ovaj vremenski interval se završava ponovnim

okidanjem Šmitovog komparatora, odnosno kada bude

$$V_{i2} = V_{T2} = V_{CC} \frac{R}{R_1} - \frac{I}{C} T_1 = -V_{CC} \frac{R}{R_1} \Rightarrow T_1 = 2 \frac{C}{I} V_{CC} \frac{R}{R_1}, \text{ kako je } I = \frac{V_{CC}}{R_2}, \quad T_1 = 2 R_2 C \frac{R}{R_1}.$$

Nakon trigerovanja Šmitovog kola važi $V_{i1} = -V_{CC}$, $I = -\frac{V_{CC}}{R_2}$, $V_{i2} = -V_{CC} \frac{R}{R_1} + \frac{I}{C} (t - T_1)$,

$T_1 < t \leq T_2$ gde se dobija $T_2 = 4 R_2 C \frac{R}{R_1}$, što predstavlja periodu povorke pravougaonih i trougaonih impulsa.

- c) Kako napon V_{i2} ne može biti veći od V_{CC} ni manji od $-V_{CC}$ zbog zasićenja operacionog pojačavača koji radi u linearnom režimu (OP desno), važi da $V_{T1} = V_{CC} \frac{R}{R_1} \leq V_{CC}$ i $-V_{CC} \leq V_{T2} = -V_{CC} \frac{R}{R_1}$, odakle se dobija uslov oscilovanja $R \leq R_1$.

Ako je R veći od R_1 , onda napon V_{i1} određuje znak napona na plus ulazu operacionog pojačavača u komparatoru bez obzira na vrednost napona V_{i2} , pa nema promene, odnosno oscilovanja. Oba napona imaju maksimalnu vrednost po modulu V_{CC} .

3. [20] Izborom promenljivih koje se dovode na selekzione ulaze multipleksera, realizovati logičku funkciju $Y = AB\bar{C}D + CD + \bar{A}\bar{D}$ u minimalnoj realizaciji po kriterijumu broja upotrebljenih komponenti, ako su na raspolaganju:

a) [10] jedan multiplexer 4/1 i minimalan broj potrebnih logičkih kola;

b) [10] jedan multiplexer 8/1.

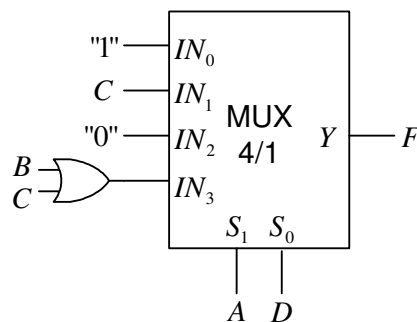
Rešenje:

a) Data logička funkcija se primenom pravila Bulove algebre može transformisati u sledeći oblik:

$$Y = AB\bar{C}D + CD + \bar{A}\bar{D} = AB\bar{C}D + (A + \bar{A})CD + \bar{A}\bar{D} = AB\bar{C}D + ACD + \bar{A}CD + \bar{A}\bar{D}$$

$$Y = AD(B\bar{C} + C) + \bar{A}\bar{D} \cdot C + \bar{A}\bar{D} \cdot 1 + \bar{A}\bar{D} \cdot 0 = AD(B + C) + \bar{A}\bar{D} \cdot C + \bar{A}\bar{D} \cdot 1 + \bar{A}\bar{D} \cdot 0$$

Izborom signala A i D za selekzione ulaze multipleksera 4/1, dobija se sledeća realizacija:

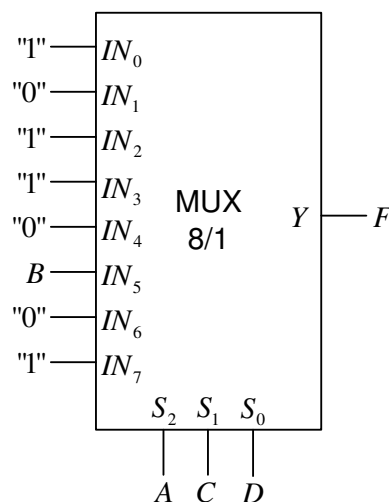


b) Data logička funkcija se primenom pravila Bulove algebre može transformisati i u sledeći oblik:

$$Y = AB\bar{C}D + CD + \bar{A}\bar{D} = AB\bar{C}D + (A + \bar{A})CD + \bar{A}\bar{D}(C + \bar{C}) = AB\bar{C}D + ACD + \bar{A}CD + \bar{A}\bar{D}C + \bar{A}\bar{D}\bar{C}$$

$$Y = AB\bar{C}D + ACD \cdot 1 + \bar{A}CD \cdot 1 + \bar{A}\bar{D}\bar{C} \cdot 1 + \bar{A}\bar{D}C \cdot 1 + \bar{A}\bar{D}\bar{C} \cdot 0 + \bar{A}\bar{D}C \cdot 0 + \bar{A}\bar{D}\bar{C} \cdot 0$$

Izborom signala A, C i D za selekzione ulaze multipleksera 8/1, dobija se sledeća realizacija:



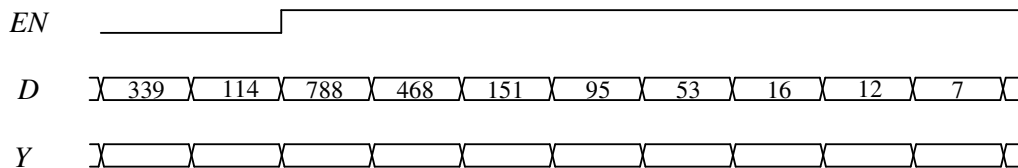
4. [20] Dat je VHDL kod kojim je opisana jedna kombinaciona mreža.

```
library IEEE;
use IEEE.std_logic_1164.all;

entity al is
  port (D: in STD_LOGIC_VECTOR (9 downto 0);
        EN: in STD_LOGIC;
        Y: out STD_LOGIC_VECTOR (3 downto 0));
end al;

architecture behav of al is
begin
  process (D, EN)
  begin
    if (EN = '1') then
      if (D(9) = '1') then
        Y <= "1010";
      elsif (D(8) = '1') then
        Y <= "1001";
      elsif (D(7) = '1') then
        Y <= "1000";
      elsif (D(6) = '1') then
        Y <= "0111";
      elsif (D(5) = '1') then
        Y <= "0110";
      elsif (D(4) = '1') then
        Y <= "0101";
      elsif (D(3) = '1') then
        Y <= "0100";
      elsif (D(2) = '1') then
        Y <= "0011";
      elsif (D(1) = '1') then
        Y <= "0010";
      elsif (D(0) = '1') then
        Y <= "0001";
      else
        Y <= "0000";
      end if;
    else
      Y <= "0000";
    end if;
  end process;
end behav;
```

Na osnovu vremenskih dijagrama ulaznog signala i vektora (pri čemu su vrednosti ulaznog vektora navedene u decimalnom formatu), odrediti vrednosti izlaznog vektora i upisati ih na dati vremenski dijagram u **decimalnom** formatu.



Rešenje:

