

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 05.06.2013.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

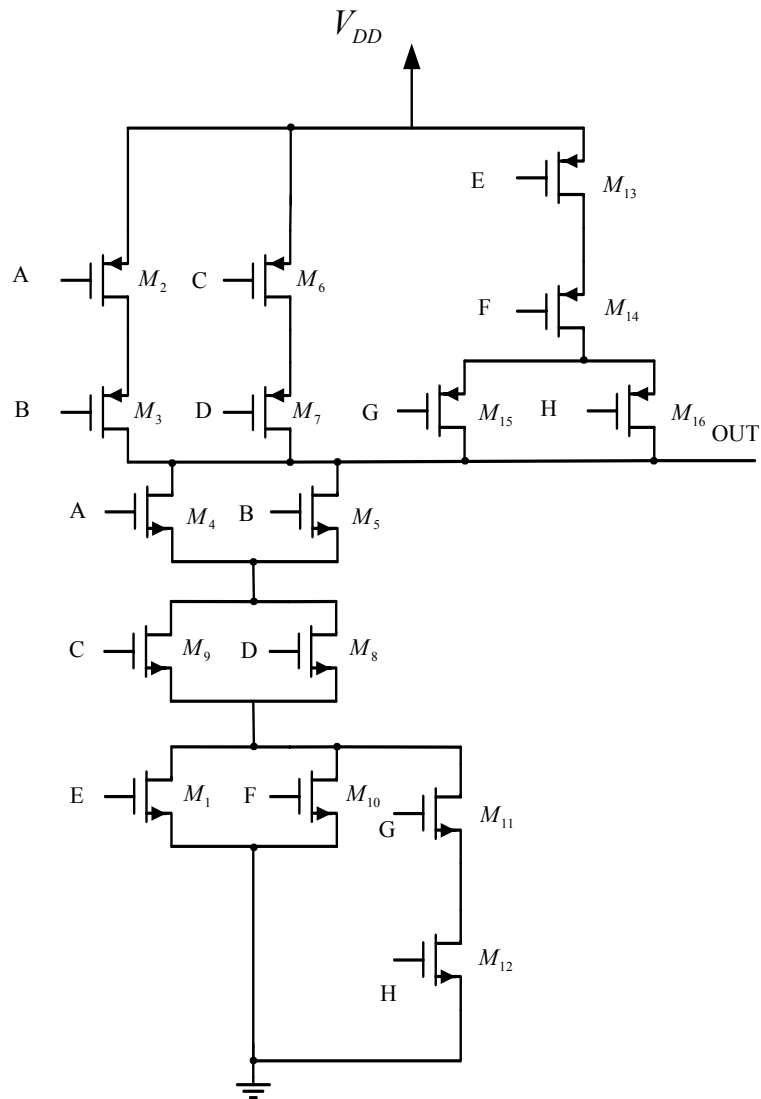
OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

1. [20] Na slici je prikazano CMOS logičko kolo koje se sastoji iz NMOS i PMOS tranzistora. Ulazni signali su A, B, C, D, E, F, G, H, dok je izlazni signal OUT.

a) Odrediti logičku funkciju koje obavlja ovo CMOS logičko kolo $OUT = f(A, B, C, D, E, F, G, H)$.

b) Da li je kolo bezbedno od uspostavljanja kratkih spojeva između napajanja i mase (objasniti) za svaku vrednost ulaznih promenljivih.



Rešenje:

a) Prvi način

Logička funkcija prikazanog CMOS kola se može odrediti na dva načina. Prvi način podrazumeva generisanje svih mogućih logičkih vrednosti za ulazne signale, određivanje režima rada svih tranzistora i određivanje logičke vrednosti na izlazu za svaku kombinaciju na ulazu. Na kraju se minimizacijom Karnoovim kartama (ili sažimanjem korišćenjem identitea Bulove algebre) može odrediti konačan izraz za OUT. Kako je broj ulaznih promenljivih velik, ovaj postupak bi podrazumevao generisanje velikog broja test vektora (256) što predstavlja dugotrajnu i komplikovanu proceduru. Jednostavniji način određivanja funkcije CMOS kola bi se sastojao u identifikaciji osnovnih CMOS struktura, uočavanju povezanosti ovih struktura i određivanju funkcije OUT na osnovu povezanosti ovih struktura.

Na osnovu topologije prikazanog CMOS kola može se zaključiti da će prikazano kolo obavljati sledeću funkciju.

$$OUT = \overline{f_1(A, B) \cdot f_2(C, D) \cdot f_3(E, F, G, H)}$$

Svaka od funkcija u izrazu za OUT se može odrediti posmatranjem topologije za slučaj da su preostale dve funkcije jednake logičkoj jedinici. Recimo prilikom određivanja f_1 , uzećemo da su $f_2, f_3 = 1$, odnosno smatraćemo da su vrednosti ostalih promenljivih na ulazu takve da se njihov uticaj na kolo zanemaruje (recimo $C = 1, E = 1$). U tom slučaju se CMOS kolo svodi na strukturu realizovanu samo od tranzistora koji se upravljaju signalima A, B . Analizom te strukture možemo ustanoviti da se radi o dvoulaznoj NILI strukturi i da se u tom slučaju izraz za OUT svodi na

$$OUT = \overline{A + B}, \text{ prema tome } f_1(A, B) = A + B.$$

Na identičan način možemo odrediti i preostale dve funkcije, pa će konačan izraz za OUT biti

$$OUT = \overline{(A + B) \cdot (C + D) \cdot (E + F + G \cdot H)}$$

Drugi način

Zadatak se resava jednostavno gledanjem u sliku.

1. Pitanje je kolike su vrednosti ulaznih promenljivih koje daju izlaz OUT jednak GND?

Da bi izlaz bio GND, treba da se obezbedi putanja od GND do OUT, a to će biti kada je (videti sliku):

$$(H \cdot G + E + F)(C + D)(A + B) = \text{OUT KOMPLEMENT.}$$

Komplement izraza daje pravu vrednost od OUT.

2. Sada se postavi prethodno pitanje za OUT=1. Odgovor je na slici:

$$A \cdot B + C \cdot D + E \cdot F \cdot (G + H) = \text{OUT},$$

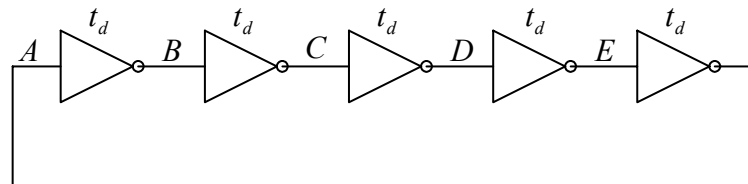
sto je isti izraz kao prethodni i dokazuje da nema istovremenog provodjenja Vcc do GND.

b) Kako se CMOS logičko kolo sastoji od elementarnih CMOS struktura, koje su opet povezane u složenu CMOS strukturu kolo je bezbedno od kratog spajanja napona napajanja i mase.

2. Ring oscilator sa slike se sastoji od $N=5$ CMOS invertora. Invertori imaju napon napajanja $V_{DD} = 5V$, beskonačnu ulaznu otpornost i nultu izlaznu otpornost. Kašnjenje kroz svaki od invertora iznosi $t_d = 10ns$.

a) [10] Odrediti i jedan ispod drugog nacrtati vremenske dijagrame napona u tačkama A , B , C , D i E .

b) [10] Odrediti maksimalni broj invertora u ring oscilatoru N_{MAX} tako da frekvencija oscilovanja ring oscilatora ne bude manja od 4MHz, pri čemu treba obezbediti da bude ispunjen uslov oscilovanja. Objasniti koji kriterijum treba da se zadovolji da bi kolo oscilovalo.



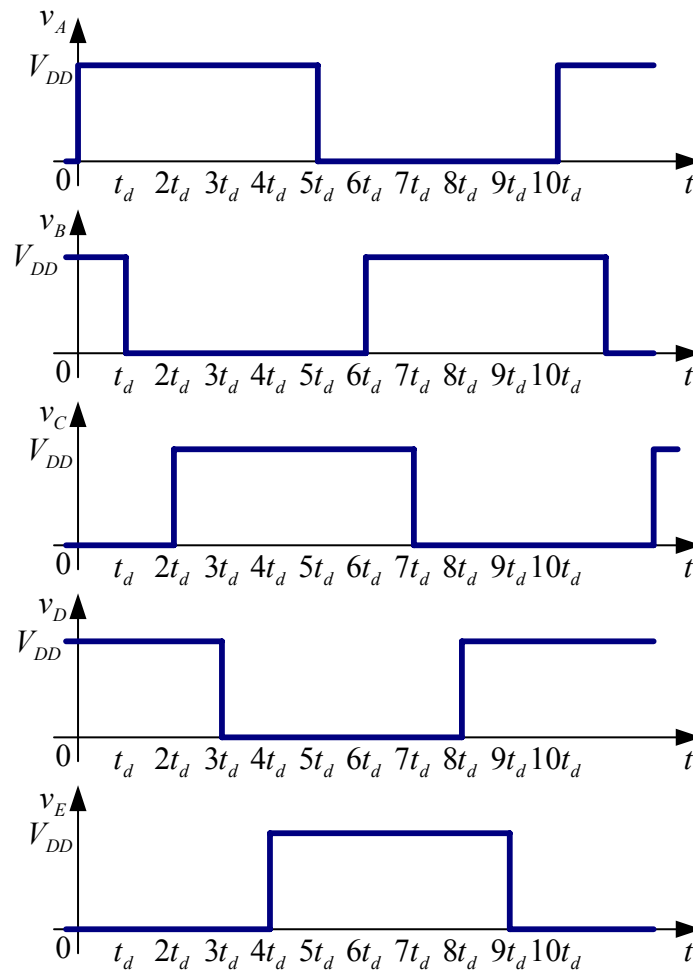
Rešenje:

a) Neka se signal u tački A u trenutku $t = 0$ promeni sa logičke nule na logičku jedinicu. Promena signala u tački B sa logičke jedinice na logičku nulu će se desiti u trenutku $t = t_d$ (zbog kašnjenja kroz prvi invertor). Promena signala u tački C sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 2t_d$ (zbog kašnjenja kroz drugi invertor). Promena signala u tački D sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 3t_d$ (zbog kašnjenja kroz treći invertor). Promena signala u tački E sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 4t_d$ (zbog kašnjenja kroz četvrti invertor).

Sledeća promena signala u tački A će se dogoditi u trenutku $t = 5t_d$ (zbog kašnjenja kroz peti invertor) i to sa logičke jedinice na logičku nulu. Promena signala u tački B sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 6t_d$ (zbog kašnjenja kroz prvi invertor). Promena signala u tački C sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 7t_d$ (zbog kašnjenja kroz drugi invertor). Promena signala u tački D sa logičke nule na logičku jedinicu će se desiti u trenutku $t = 8t_d$ (zbog kašnjenja kroz treći invertor). Promena signala u tački E sa logičke jedinice na logičku nulu će se desiti u trenutku $t = 9t_d$ (zbog kašnjenja kroz četvrti invertor).

Sledeća promena signala u tački A će se dogoditi u trenutku $t = 10t_d$ (zbog kašnjenja kroz peti invertor) i to sa logičke nule na logičku jedinicu, nakon čega će se opisani proces periodično ponavljati.

Vremenski dijagrami traženih signala su prikazani na sledećoj slici:



b) Perioda oscilovanja ring oscilatora sa N invertora je $T_N = 2Nt_d$, tako da frekvencija oscilovanja iznosi $f_N = \frac{1}{T_N} = \frac{1}{2Nt_d}$.

Iz uslova zadatka $f_N = \frac{1}{2Nt_d} \geq 4\text{MHz}$ se dobija $N \leq 12,5$. Da bi ring oscilator ispravno radio, broj invertora mora biti neparan, jer se tako obezbeđuje komplementiranje početne promene u svakoj poluperiodi oscilovanja. Sledi da je $N_{MAX} = 11$.

3. [20] Projektovati sinhronu sekvencijalnu mrežu koja radi kao detektor sekvence. Na ulaz X sekvencijalne mreže sinhrono sa signalom takta dolazi povorka impulsa koji imaju logičke vrednosti 1 ili 0. U slučaju da se pojavi sekvenca 011 (prvo nailazi jedna jedinica, u sledećem taktu druga i na kraju nula), izlaz mreže Y se postavlja na vrednost logičke jedinice, koja traje jedan takti ciklus, inače je izlaz Y na logičkoj nuli. Prilikom realizacije koristiti JK flipflopove ($Q(t+1) = J\bar{Q} + \bar{K}Q$). Nacrtati tabelu prelaza, odrediti jednačine za kontrolne ulaze flipflopova i nacrtati šemu povezivanja JK flipflopova i potrebnih logičkih kola.

NAPOMENA:

Detektor sekvence dužine k se pravi korišćenjem sekvencijalnog kola sa 2 na N stanja, gde je 2 na N veće ili jednako od k . Biti sekvence dolaze na X ulaz sekvencijalne mreže serijski (jedan iza drugog) i sinhrono sa taktom. Na svaki takti impuls sekvencijalna mreža menja stanje ili ostaje u istom stanju, zavisno od vrednosti promenljive na ulazu X .

Sekvencijalna mreža se projektuje tako što se:

- nacrta dijagram sa 2 na N stanja;*
- izvrši se kodovanje stanja;*
- odabere se jedno stanje S_x koje daje $Y=1$ kada mreža u njega dospe iz bilo kog drugog stanja uključujući i dolazak iz izabranog stanja S_x ;*
- definišu se uslovi prelaska u sekvencijalnoj mreži tako da se iz bilo kog stanja sekvencijalne mreže, uključujući i stanje S_x , dolazi u stanje S_x samo ako na X ulaz sekvencijalne mreže dodje zadata sekvenca, na primer 110;*
- iz definisanog dijagrama kodovanih stanja sa uslovima prelaska zavisnim od logičkog ulaza X i definisanim vrednostima izlazne promenljive Y , pravi se tabela prelaza uzimajući u obzir izabranu vrstu flipflopa.*

Rešenje:

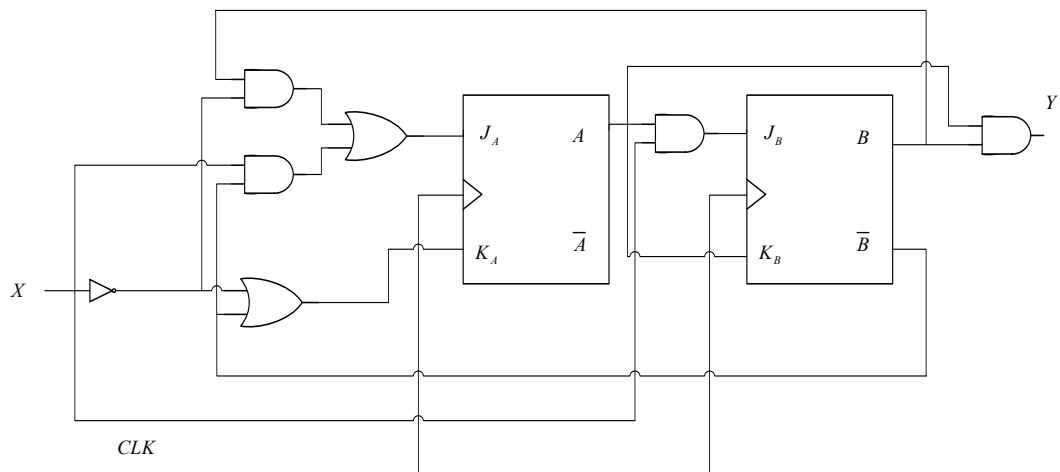
Jedno rešenje Tabele prelaza sekvencijalne mreže je prikazana:

QB(t)	QA(t)	X	QA(t+1)	QB(t+1)	Y	JB	KB	JA	KA
0	0	0	0	0	0	0	x	0	x
0	0	1	0	1	0	0	x	1	x
0	1	0	0	0	0	0	x	x	1
0	1	1	1	0	0	1	x	x	1
1	0	0	1	1	0	x	0	1	x
1	0	1	1	0	0	x	0	0	x
1	1	0	0	0	1	x	1	x	1
1	1	1	0	1	1	x	1	x	0

Bulovi izrazi za ulaze flip flopova su:

$$J_B = XA, J_A = \bar{X}B + X\bar{B}, K_B = A, K_A = \bar{X} + \bar{B}, Y = AB$$

Realizacija je prikazana na slici:



4. [20] Dat je VHDL kod kojim je opisana jedna kombinaciona mreža.

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY comb IS PORT
(
  a   : IN  STD_LOGIC_VECTOR(3 DOWNTO 0);
  y   : OUT STD_LOGIC
);
END comb;

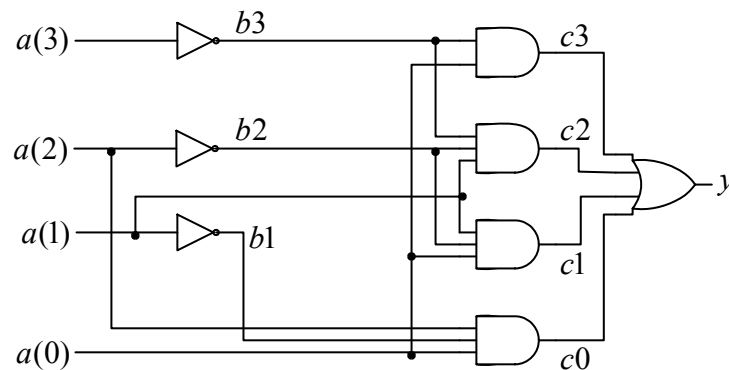
ARCHITECTURE behav OF comb IS
  SIGNAL b1,b2,b3,c0,c1,c2,c3 : STD_LOGIC;
  COMPONENT INV PORT (i : IN STD_LOGIC; o : OUT STD_LOGIC);
  END COMPONENT;
  COMPONENT AND2 PORT (i0,i1 : IN STD_LOGIC; o : OUT STD_LOGIC);
  END COMPONENT;
  COMPONENT AND3 PORT (i0,i1,i2 : IN STD_LOGIC; o : OUT STD_LOGIC);
  END COMPONENT;
  COMPONENT OR4 PORT (i0,i1,i2,i3 : IN STD_LOGIC; o : OUT STD_LOGIC);
  END COMPONENT;
BEGIN
  u1: INV PORT MAP(a(3),b3);
  u2: INV PORT MAP(a(2),b2);
  u3: INV PORT MAP(a(1),b1);
  u4: AND2 PORT MAP(b3,a(0),c3);
  u5: AND3 PORT MAP(b3,b2,a(1),c2);
  u6: AND3 PORT MAP(b2,a(1),a(0),c1);
  u7: AND3 PORT MAP(a(2),b1,a(0),c0);
  u8: OR4 PORT MAP(c3,c2,c1,c0,y);
END behav;

```

Odrediti kombinacionu tabelu koja opisuje pomenutu kombinacionu mrežu.

Rešenje:

Analizom datog VHDL koda se može zaključiti kako izgleda logička šema kombinacione mreže opisane datim kodom:



Kombinaciona tabela za ovu kombinacionu mrežu je prikazana na sledećoj slici:

$a(3)$	$a(2)$	$a(1)$	$a(0)$	y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0