

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 06.06.2012.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

KANDIDAT:

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

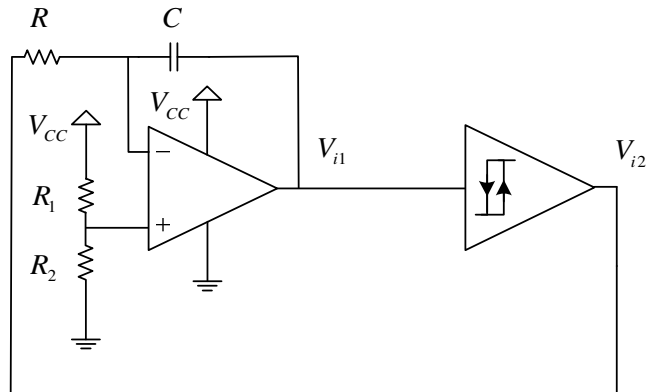
OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

1. [20] Na slici je prikazano kolo za generisanje povorke pravougaonih i trouglastih impulsa. Šmitovo kolo je neinvertujućeg tipa. Pragovi okidanja Šmitovog komparatora su  $V_{R1}$  i  $V_{R2}$  ( $V_{R1}, V_{R2} < V_{CC}$ ,  $V_{R2} > V_{R1}$ ,  $V_{R1}, V_{R2} > 0$ ), izlaz komparatora može biti  $V_{i2} = V_{CC}$  ili  $V_{i2} = 0V$ .

a) [8] Opisati rad kola i odrediti tačke u kolu u kojima se generišu povorke pravougaonih i trouglastih impulsa.

b) [10] Odrediti analitičke izraze koji opisuju povorke pravougaonih i trouglastih impulsa, a zatim na osnovu tih izraza odrediti njihovu periodu, kao i trajanje impulsa i pauze kod povorke pravougaonih impulsa. Nacrtati talasne oblike ovih povorki.



c) [2] Koji uslov treba da važi da bi odnos trajanja impuls-pauza povorke pravougaonih impulsa bio jedan. Kolika je u tom slučaju perioda povorki impulsa.

### Rešenje:

a) Kada je izlaz Šmitovog kola  $V_{i2} = V_{CC}$ , struja kroz kondenzator je takva da napon  $V_{i1}$  opada. Napon  $V_{i1}$  opada sve do vrednosti donjeg praga okidanja Šmitovog kola  $V_{R1}$ . Kada se Šmitovo kolo trigeruje, napon na njegovom izlazu postaje  $V_{i2} = 0V$ , struja kroz kondenzator je takva da napon  $V_{i1}$  raste. Napon  $V_{i1}$  raste sve dok ne bude jednak gornjem pragu okidanja Šmitovog kola  $V_{R2}$ , kada se se Šmitovo kolo opet trigeruje i napon na njegovom izlazu postane  $V_{i2} = V_{CC}$ . Na osnovu ove analize sledi da se povorka pravougaonih impulsa generiše na izlazu Šmitovog kola, dok se povorka trouglastig impulsa generiše na izlazu operacionog pojačavača.

b) Neka se Šmitovo kolo trigerovalo tako da je napon na njegovom izlazu postao  $V_{i2} = V_{CC}$ ,

$$V_{i1} = V_{R2}. \text{ Struja kroz otpornik } R \text{ je } i_R = \frac{V_{CC} - \frac{R_2}{R_2 + R_1} V_{CC}}{R} = \frac{R_1}{R(R_2 + R_1)} V_{CC} = i_C, \text{ što ujedno}$$

predstavlja i struju kroz kondenzator. Napon na kondenzatoru se menja kao  $i_C = C \frac{du_C}{dt}$ , pa je napon

$$V_{i1} \text{ dat kao } V_{i1} = V_{R2} - \frac{R_1}{CR(R_2 + R_1)} V_{CC} t. \text{ Trajanje ovog stanja je određeno uslovom}$$

$$V_{i1}(T_1) = V_{R1} = V_{R2} - \frac{R_1}{CR(R_2 + R_1)} V_{CC} T_1 \Rightarrow T_1 = \frac{V_{R2} - V_{R1}}{V_{CC}} \cdot \frac{CR(R_2 + R_1)}{R_1}. \text{ Kada se Šmitovo kolo}$$

trigeruje, napon na njegovom izlazu je  $V_{i2} = 0V$ , Struja kroz otpornik  $R$  je

$$i_R = \frac{\frac{R_2}{R_2 + R_1} V_{CC}}{R} = \frac{R_2}{R(R_2 + R_1)} V_{CC} = i_C, \text{ dok se napon } V_{i1} \text{ menja kao } V_{i1} = V_{R1} + \frac{R_2}{CR(R_2 + R_1)} V_{CC} t.$$

Trajanje ovog stanja je određeno uslovom

$$V_{il}(T_2) = V_{R2} = V_{R1} + \frac{R_2}{CR(R_2 + R_1)} V_{CC} T_2 \Rightarrow T_2 = \frac{V_{R2} - V_{R1}}{V_{CC}} \cdot \frac{CR(R_2 + R_1)}{R_2}. \text{ Perioda povorki impulsa je}$$

$$\text{data kao } T = T_1 + T_2 = \frac{V_{R2} - V_{R1}}{V_{CC}} \cdot \frac{CR(R_2 + R_1)}{R_1} + \frac{V_{R2} - V_{R1}}{V_{CC}} \cdot \frac{CR(R_2 + R_1)}{R_2} = \frac{V_{R2} - V_{R1}}{V_{CC}} CR \left( 2 + \frac{R_2}{R_1} + \frac{R_1}{R_2} \right)$$

c) Da bi važio traženi odnos, treba da bude  $T_1 = T_2$ , odnosno  $R_2 = R_1$  što za posledicu ima

$$T = 4 \frac{V_{R2} - V_{R1}}{V_{CC}} CR$$

2. Data je prekidačka funkcija  $F(E, D, C, B, A)$  sa 5 promenljivih, definisana preko skupa indeksa na kojima ima vrednost 1:  $F_1 = \{0, 2, 3, 6, 7, 8, 11, 14, 17, 18, 20, 25, 26, 31\}$ . Za ostale vrednosti indeksa, ova funkcija ima vrednost 0.

a) [10] Realizovati datu funkciju koristeći isključivo multipleksere 8/1.

b) [10] Realizovati datu funkciju koristeći jedan multiplekser 8/1 i potrebna logička kola. Za selekcione ulaze multipleksera koristiti promenljive  $C, B$  i  $A$ .

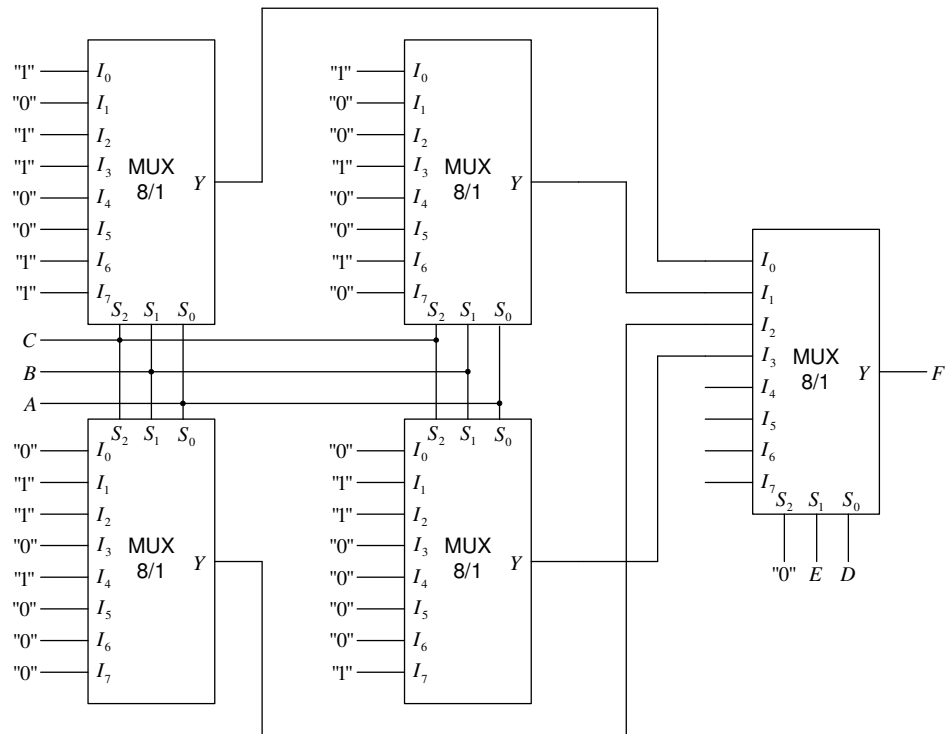
### Rešenje:

Data prekidačka funkcija se može predstaviti tabelarno na sledeći način:

i	E	D	C	B	A	F
0	0	0	0	0	0	1
1	0	0	0	0	1	0
2	0	0	0	1	0	1
3	0	0	0	1	1	1
4	0	0	1	0	0	0
5	0	0	1	0	1	0
6	0	0	1	1	0	1
7	0	0	1	1	1	1
8	0	1	0	0	0	1
9	0	1	0	0	1	0
10	0	1	0	1	0	0
11	0	1	0	1	1	1
12	0	1	1	0	0	0
13	0	1	1	0	1	0
14	0	1	1	1	0	1
15	0	1	1	1	1	0
16	1	0	0	0	0	0
17	1	0	0	0	1	1
18	1	0	0	1	0	1
19	1	0	0	1	1	0
20	1	0	1	0	0	1
21	1	0	1	0	1	0
22	1	0	1	1	0	0
23	1	0	1	1	1	0
24	1	1	0	0	0	0
25	1	1	0	0	1	1
26	1	1	0	1	0	1
27	1	1	0	1	1	0
28	1	1	1	0	0	0
29	1	1	1	0	1	0
30	1	1	1	1	0	0
31	1	1	1	1	1	1

a) Promenljive  $C, B$ , i  $A$  se mogu iskoristiti kao selekcionni ulazi za svaki od 4 multipleksa 8/1, koji u zbiru imaju ukupno 32 informaciona ulaza. Na informacione ulaze prvog multipleksa 8/1 se mogu dovesti logički nivoi 0 i 1 u skladu sa vrednostima prekidačke funkcije koje odgovaraju vrednostima prvih 8 indeksa. Na informacione ulaze drugog multipleksa 8/1 se mogu dovesti logički nivoi 0 i 1 u skladu sa vrednostima prekidačke funkcije koje odgovaraju vrednostima drugih

8 indeksa. Na informacione ulaze trećeg multipleksera 8/1 se mogu dovesti logički nivoi 0 i 1 u skladu sa vrednostima prekidačke funkcije koje odgovaraju vrednostima treće grupe od 8 indeksa. Slično tome, na informacione ulaze četvrtog multipleksera 8/1 se mogu dovesti logički nivoi 0 i 1 u skladu sa vrednostima prekidačke funkcije koje odgovaraju vrednostima poslednjih 8 indeksa. Poslednji, peti, multiplekser 8/1 u zavisnosti od vrednosti selekcionih ulaza E i D treba da na izlaz kombinacione mreže propušta vrednost izlaza jednog od prethodna četiri multipleksera. Opisano rešenje je prikazano na sledećoj slici:



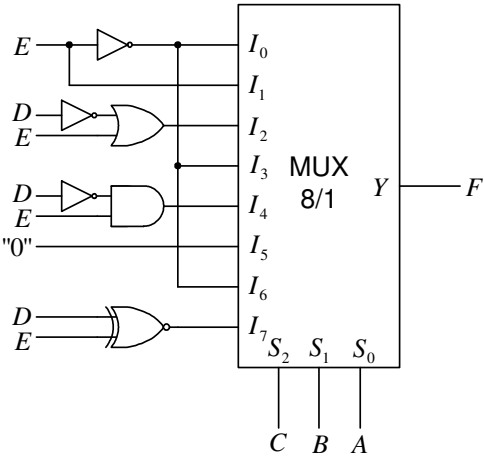
b) Nakon povezivanja promenljivih C, B i A na selekcione ulaze multipleksera 8/1, potrebno je na svaki od informacionih ulaza multipleksera dovesti signal koji je u opštem slučaju rezultat logičke funkcije dve promenljive: E i D.

Na informacioni ulaz  $I_0$  potrebno je dovesti signal  $\overline{E}$  jer je vrednost funkcije  $F$  za sve četiri kombinacije ulaznih promenljivih za koje su vrednosti promenljivih C, B i A jednake nulama, jednaka komplementu ulazne promenljive E.

Na informacioni ulaz  $I_1$  potrebno je dovesti signal  $E$  jer je vrednost funkcije  $F$  za sve četiri kombinacije ulaznih promenljivih za koje su vrednosti promenljivih C, B i A jednake 0, 0 i 1, respektivno, jednaka ulaznoj promenljivoj E.

Na sličan način se izводе zaključci o logičkim funkcijama promenljivih E i D koje treba dovesti na ostale informacione ulaze multipleksera.

Traženo rešenje je predstavljeno na sledećoj slici:



**3. [20] a)** Konstruisati brojač sa D flip flopovima i potrebnim logičkim kolima koji broji u sekvenci 0,1,2,3,4,11,12,13,14,15. Koristiti minimalan broj logičkih kola. Nacrtati električnu šemu povezivanja logičkih kola i flip flopova.

**b)** Ukoliko se iz nekog razloga D flip flop koji određuje bit najmanje težine u prethodno definisanoj sekvenci, zakoči u stanju 1 (0001) i u nastavku ne menja svoje stanje bez obzira na signal na svom D priključku, odrediti novu sekvencu u kojoj će brojati brojač.

**Rešenje:**

a) Tabela prelaza flip flopova prikazana je na slici:

i	D(i)	C(i)	B(i)	A(i)	D(i+1)	C(i+1)	B(i+1)	A(i+1)
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	1	0	1	1
5	1	0	1	1	1	1	0	0
6	1	1	0	0	1	1	0	1
7	1	1	0	1	1	1	1	0
8	1	1	1	0	1	1	1	1
9	1	1	1	1	0	0	0	0

Posle izvršene minimizacije za jednačine prelaza se dobijaju sledeći izrazi:

$$D(i+1) = D\bar{B} + D\bar{C} + C\bar{A}$$

$$C(i+1) = D\bar{C} + D\bar{A} + D\bar{B} + \bar{D}BA$$

$$B(i+1) = B\bar{A} + \bar{B}A + \bar{D}C = B \oplus A + \bar{D}C$$

$$A(i+1) = \bar{A}$$

b) Novonastala situacija odgovara konstantnoj vrednosti A=1, jednačine prelaza za ostale flip flobove tada postaju:

$$D(i+1) = D(\bar{B} + \bar{C})$$

$$C(i+1) = D(\bar{C} + \bar{B}) + \bar{D}B$$

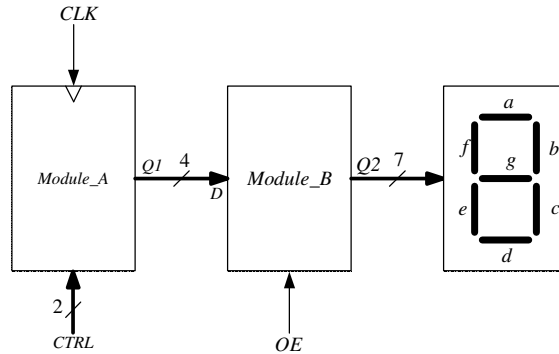
$$B(i+1) = \bar{B} + \bar{D}C$$

$$A(i+1) = 1$$

Sekvenca u kojoj će brojati brojač u ovom režimu je 0001, 0011, 0101, 0011, 0101.....Nakon prelaznog procesa na izlazu brojača se dakle pojavljuju samo dve vrednosti 0011 i 0101.

4. [20] U digitalnom sistemu na slici blokovi *Module\_A* i *Module\_B* su opisani odgovarajućim VHDL kodovima koji su dati ispod slike. Izlazi bloka *Module\_B* se koriste za pobudu sedmosegmentnog displeja sa zajedničkom anodom. Biti vektora koji predstavlja izlaz bloka *Module\_B* počev od bita najveće težine pa do bita najmanje težine pobuđuju redom segmente *a*, *b*, *c*, *d*, *e*, *f*, *g* displeja, respektivno.

Za date vremenske dijagrame signala *CLK*, *CTRL* i *OE* odrediti za svaku periodu takta *CLK* alfanumerički karakter koji je prikazan na sedmosegmentnom displeju.



```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;

entity module_A is port
(
    CLK      : in  STD_LOGIC;
    CTRL     : in  STD_LOGIC_VECTOR(1 downto 0);
    Q1       : out STD_LOGIC_VECTOR(3 downto 0)
);
end module_A;

architecture behav of module_A is
    signal TMP : UNSIGNED(3 downto 0);
begin
    process (CLK)
    begin
        if rising_edge(CLK) then
            if (CTRL="01") then
                TMP <= TMP + 1;
            elsif (CTRL="10") then
                TMP <= TMP - 1;
            else
                TMP <= "0000";
            end if;
        end if;
    end process;
    Q1 <= STD_LOGIC_VECTOR(TMP);
end behav;
```

```
library IEEE;
use IEEE.std_logic_1164.all;

entity module_B is port
(
    D      : in  STD_LOGIC_VECTOR (3 downto 0);
    OE     : in  STD_LOGIC;
    Q2     : out STD_LOGIC_VECTOR (6 downto 0)
);
end module_B;

architecture behav of module_B is
    signal TMP: STD_LOGIC_VECTOR(6 downto 0);
begin
    process (D,OE,TMP)
    begin
        case D is
            when "0000" => TMP <= "0000001";
            when "0001" => TMP <= "1001111";
            when "0010" => TMP <= "0010010";
            when "0011" => TMP <= "0000110";
            when "0100" => TMP <= "1001100";
            when "0101" => TMP <= "0100100";
            when "0110" => TMP <= "0100000";
            when "0111" => TMP <= "0001111";
            when "1000" => TMP <= "0000000";
            when "1001" => TMP <= "0000100";
            when "1010" => TMP <= "0110000";
            when "1011" => TMP <= "0110000";
            when "1100" => TMP <= "0110000";
            when "1101" => TMP <= "0110000";
            when "1110" => TMP <= "0110000";
            when "1111" => TMP <= "0110000";
            when others => TMP <= "0110000";
        end case;
        if OE='1' then Q2<=TMP;
        else Q2<="0110000";
        end if;
    end process;
end behav;
```

CLK

CTRL

OE

7-SEG DISPLEJ



**Rešenje:**

