

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 18.06.2010.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____

Ime _____

Vreme početka _____

Prezime _____

Vreme završetka _____

Broj indeksa _____

Potpis _____

Potpis _____

USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	15	15	20	15	15	80
Dobijeno						

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

1. a.[5] Nacrtati prenosnu statičku karakteristiku CMOS invertora, obeležiti karakteristične veličine i definisati margine logičke nule i jedinice na ulazu invertora. Koji je smisao pojma margine logičkog nivoa?

b.[5] Definirati arhitekturu ROM, PLA i PAL komponente.

c.[5] Nacrtati blok-šemu A/D konvertora koja ilustruje diskretizaciju u vremenu i diskretizaciju po amplitudi. Definirati kvant A/D konvertora.

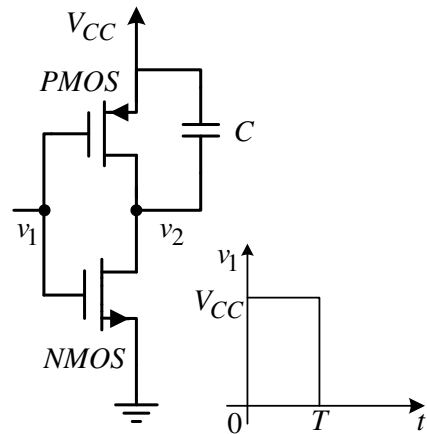
Rešenje:

a.Pred.2,str.6

b.Pred.5,str.6,7,8

c.Pred.9.,str.1.

2. [15] Na slici je prikazano kolo CMOS invertora sa NMOS i PMOS tranzistorima i kondenzatorom C u paralelnoj vezi sa PMOS tranzistorom. Vremenski oblik napona v_1 je takođe prikazan na slici. Izračunati izraz za vrednost napona v_2 u trenutku $t = 2T$. Smatrati da je u provodnom stanju otpornost NMOS tranzistora r_{nmos} konstantna i iznosi $r_{nmos} = R$, dok u neprovodnom stanju NMOS tranzistor ima beskonačnu otpornost. Otpornost PMOS tranzistora u provodnom stanju r_{pmos} je konstantna i iznosi $r_{pmos} = 2R$, dok u neprovodnom stanju PMOS transistor ima beskonačnu otpornost. ($V_{CC} > |V_T|$, $|V_T|$ – napon uključenja NMOS, PMOS tranzistora).

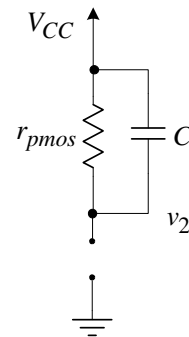


Logičko kolo CMOS invertora

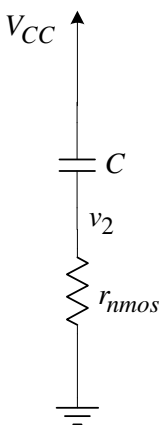
Rešenje:

Do momenta promene napona v_1 , u kolu CMOS invertora je uspostavljeno stacionarno stanje. NMOS tranzistor je zakočen, PMOS tranzistor vodi i ekvivalentna šema kola izgleda kao na slici 2.

Napon v_2 je jednak naponu V_{CC} jer kroz ekvivalentnu otpornost PMOS tranzistora ne teče struja. Kada napon v_1 promeni vrednost i postane $v_1 = V_{CC}$, PMOS tranzistor se zakoči a NMOS tranzistor provede i ekvivalentno kolo CMOS inverora izgleda kao na slici 3.



Slika 2.



Slika 3.

Promena v_2 napona od momenta $t_1 = 0^+$ pa na dalje se

može opisati kao $v_2(t) = v_2(\infty) - (v_2(\infty) - v_2(0))e^{-\frac{t}{C r_{nmos}}}$,

$v_2(t) = V_{CC} e^{-\frac{t}{C r_{nmos}}}$. Kada se napon v_1 ponovo promeni u

$t_2 = T$ ekvivalentno kolo CMOS invertora izgleda opet kao na slici 2, i promena napona v_2 od momenta $t_2 = T$ pa na dalje se može opisati kao

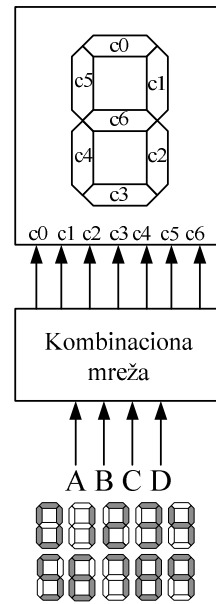
$v_2(t) = V_{CC} - (V_{CC} - v_2(T))e^{-\frac{t-T}{C r_{pmos}}}$. U trenutku $t_3 = 2T$, napon v_2 ima

vrednost $v_2(2T) = V_{CC} - (V_{CC} - V_{CC} e^{-\frac{T}{C r_{nmos}}})e^{-\frac{T}{C r_{pmos}}}$.

3. [20] Projektovati kombinatornu mrežu za upravljanje sedmosegmentnim LE displejom. Na ulaz mreže dolaze brojevi u BCD formatu (0-9), pri čemu je bit A najveće težine, a bit D najmanje težine. Veza između kombinacione mreže i LE displeja je prikazana na slici. Segment displeja svetli ako je odgovarajuća promenjiva na logičkoj jedinici.

a) Nacrtati funkcionalnu tabelu (tabelu istinitosti) i na osnovu nje minimizacijom projektovati traženu mrežu koristeći minimalan broj proizvoljnih logičkih kola. Nacrtati logičku šemu projektovane mreže.

b) Na ulaz projektovane mreže se dovodi izlaz četvorobitnog sinhronog binarnog brojača unapred. Perioda kojim se taktuje brojač je T_{CLK} , brojač menja stanje na uzlaznu ivicu signala takta. Ako je u početku brojač bio u stanju reseta i promena bita najmanje težine (odgovara ulazu D) kasni za uzlaznom ivicom signala takta za $T_{CLK}/2$ odrediti šta prikazuje LE displej u toku četiri periode signala takta $\Delta t = 4 \cdot T_{CLK}$ (nacrtati talasni oblik svih ulaznih signala A-D u tom vremenskom intervalu).



Rešenje:

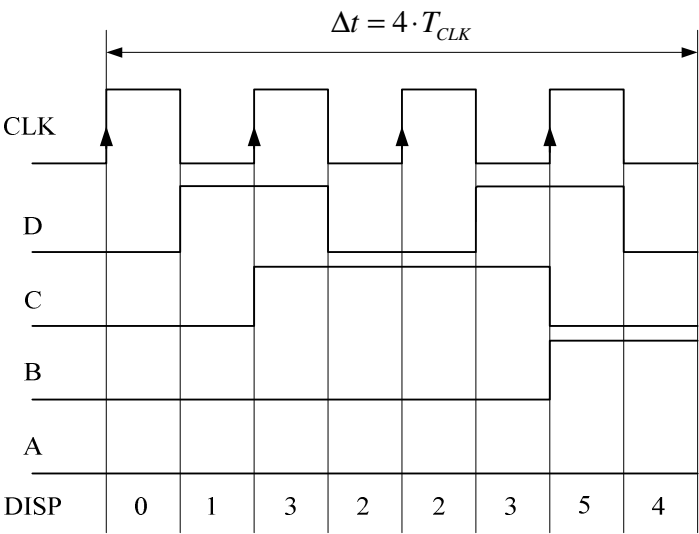
a) Tabela istinitosti je prikazana na slici

A	B	C	D	C0	C1	C2	C3	C4	C5	C6
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1
1	0	1	–	–	–	–	–	–	–	–
1	1	–	–	–	–	–	–	–	–	–

Minimizacijom primenom Karnoovih mapa se dobijaju sledeći izrazi za upravljačke promenjive LE displeja.

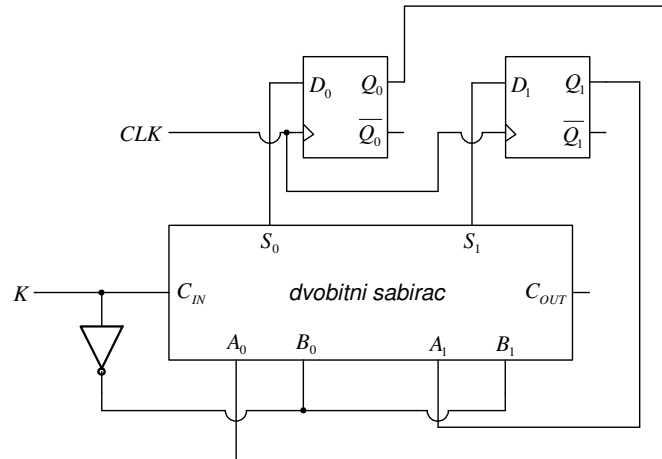
$$\begin{aligned}
 C0 &= A + B D + C + \bar{B} \bar{D}, & C1 &= \bar{C} \bar{D} + C D + \bar{B}, & C2 &= B + \bar{C} + D, \\
 C3 &= \bar{B} \bar{D} + C \bar{D} + B \bar{C} D + \bar{B} C, & C4 &= \bar{B} \bar{D} + C \bar{D}, & C5 &= A + \bar{C} \bar{D} + B \bar{D} + B \bar{C}, \\
 C6 &= A + C \bar{D} + B \bar{C} + \bar{B} C
 \end{aligned}$$

b) Talasni oblici ulaznih signala u kombinatornu mrežu i prikaz displeja su prikazani na slici



4. [15] Za digitalno kolo na slici odrediti sekvencu stanja na izlazima flip-flopova Q_1Q_0 za obe vrednosti kontrolnog signala K . Ulazi dvobitnog sabirača A_1A_0 i B_1B_0 predstavljaju ulaze za dvobitne sabirke, dok C_{IN} predstavlja ulaz na koji se dovodi bit ulaznog prenosa. Na izlazu C_{OUT} se generiše bit izlaznog prenosa, a na izlazima S_1S_0 se formira rezultat sabiranja.

Koju funkciju obavlja dato kolo za $K = 0$, a koju za $K = 1$?



Rešenje:

Analizom rada datog kola mogu se odrediti logički nivoi svih relevantnih signala u kolu. Npr. pri analiziranju slučaja kada je kontrolni signal, $K = 0$ ako se krene od situacije u kojoj je stanje na izlazima flip-flopova $Q_1Q_0 = 00$, može se zaključiti da su logički nivoi na ulazima sabirača $C_{IN} = 0$, $A_1A_0 = 00$, $B_1B_0 = 11$. Tada je rezultat sabiranja $S_1S_0 = 11$, $C_0 = 0$ (gde je C_0 prenos iz nultog u prvi razred sabirača), $C_{OUT} = 0$. Nailaskom prve naredne uzlazne ivice signala takta stanje na izlazima flip-flopova postaje $Q_1Q_0 = 11$. Ovim i jedan od sabiraka promeni vrednost (i postane $A_1A_0 = 11$). S obzirom da je i dalje $C_{IN} = 0$ kao i $B_1B_0 = 11$, zaključuje se da je $S_1S_0 = 10$, $C_0 = 1$ i $C_{OUT} = 1$. Nailaskom prve naredne uzlazne ivice signala takta stanje na izlazima flip-flopova postaje $Q_1Q_0 = 10$.

Na ovaj način se može sprovesti kompletna analiza kola za $K = 0$, a zatim na principski isti način i analiza kada je kontrolni signal $K = 1$.

Rezultati analize su prikazani u sledećoj tabeli:

$C_{IN} = K$	A_0	B_0	S_0	C_0	A_1	B_1	S_1	C_{OUT}	Q_1	Q_0
0	0	1	1	0	0	1	1	0	0	0
0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	0	1	1	0
0	1	1	0	1	0	1	0	1	0	1
1	0	0	1	0	0	0	0	0	0	0
1	1	0	0	1	0	0	1	0	0	1
1	0	0	1	0	1	0	1	0	1	0
1	1	0	0	1	1	0	0	1	1	1

Iz rezultata analize se može zaključiti da za vrednost kontrolnog signala $K = 0$ dato kolo obavlja funkciju dvobitnog sinhronog brojača unazad, a za vrednost kontrolnog signala $K = 1$ funkciju dvobitnog sinhronog brojača unapred, koji menjaju stanja sinhrono sa uzlaznom ivicom signala takta CLK .

5. [15] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacionog kola koje vrši detekciju prisustva prostih četvorobitnih brojeva na svom ulazu. Ukoliko je ulazni četvorobitni broj $D_3D_2D_1D_0$ prost, izlazni signal F treba da bude na nivou logičke jedinice, a u suprotnom na nivou logičke nule. Opisana konverzija se vrši samo ako je signal EN na nivou logičke jedinice, dok u suprotnom na izlazu mreže treba da budu generisane sve nule. Nula nije prost broj.

Biti svih vektora su poređani od MSB ka LSB u smeru sa leva na desno.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

Kombinaciona tabela za traženo kombinaciono kolo za slučaj kada je $EN = 1$ je prikazana na sledećoj slici:

D_3	D_2	D_1	D_0	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

Odgovarajući VHDL kod je dat u nastavku:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity comb is
    port (D: in STD_LOGIC_VECTOR (3 downto 0);
          EN: in STD_LOGIC;
          F: out STD_LOGIC);
end comb;

architecture behav of comb is
    signal TMP: STD_LOGIC;
begin
    process (D, EN, TMP)
    begin
        case D is
            when "0000" => TMP <= '0';
            when "0001" => TMP <= '1';
            when "0010" => TMP <= '1';
            when "0011" => TMP <= '1';
            when "0100" => TMP <= '0';
```

```
when "0101" => TMP <= '1';
when "0110" => TMP <= '0';
when "0111" => TMP <= '1';
when "1000" => TMP <= '0';
when "1001" => TMP <= '0';
when "1010" => TMP <= '0';
when "1011" => TMP <= '1';
when "1100" => TMP <= '0';
when "1101" => TMP <= '1';
when "1110" => TMP <= '0';
when "1111" => TMP <= '0';
when others => TMP <= '0';
end case;
if EN='1' then F<=TMP;
else F <= '0';
end if;
end process;
end behav;
```