

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA \_\_\_\_\_

Ispit: 09.02.2011.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala \_\_\_\_\_  
Vreme početka \_\_\_\_\_  
Vreme završetka \_\_\_\_\_  
Potpis \_\_\_\_\_

Ime \_\_\_\_\_  
Prezime \_\_\_\_\_  
Broj indeksa \_\_\_\_\_  
Potpis \_\_\_\_\_

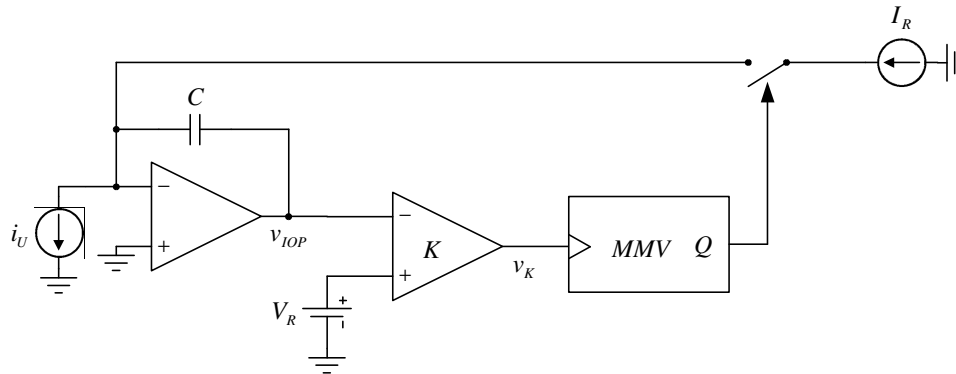
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

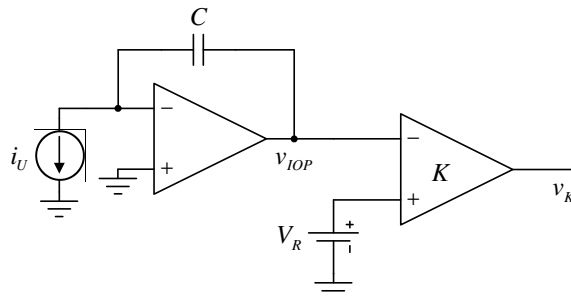
R.Br.	1	2	3	4	Total
Max	<b>20</b>	<b>20</b>	<b>20</b>	<b>20</b>	<b>80</b>
Dobijeno					

**1. [20]** Nacrtati talasne oblike napona na izlazu idealnog operacionog pojačavača ( $v_{IOP}$ ) i na izlazu komparatora  $K$  ( $v_K$ ) u ustaljenom režimu. Trajanje kvazistabilnog stanja monostabilnog multivibratora (MMV) iznosi  $T_D = 10\mu s$ , i za to vreme je izlaz MMV na visokom logičkom nivou. MMV se pobuđuje silaznom ivicom signala sa izlaza komparatora. Prekidač je idealan. Kada je na izlazu MMV visok logički nivo prekidač je zatvoren, a kada je na izlazu MMV nizak logički nivo prekidač je otvoren. Komparator je idealan. Poznato je i:  $C = 10nF$ ,  $V_R = 3V$ ,  $I_R = 10mA$ ,  $i_U = 2mA$ . Izračunati frekvenciju oscilovanja kola.

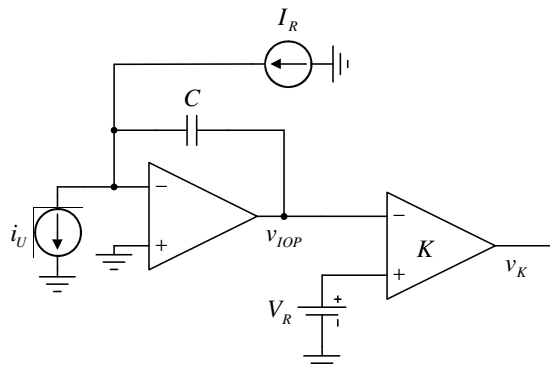


### Rešenje:

Neka je na izlazu MMV nizak logički nivo, tj. neka je prekidač otvoren. Tada se kolo može ekvivalentirati šemom sa sledeće slike:



Kroz kondenzator protiče konstantna struja  $i_U = 2mA$ , tako da se napon na izlazu idealnog operacionog pojačavača povećava linearno. Pritom, napon na invertujućem ulazu idealnog operacionog pojačavača je nula. U jednom trenutku (neka to bude trenutak  $t = 0$ ), napon  $v_{IOP}$  će dostići vrednost  $V_R$  i tada će napon na izlazu komparatora skokovito da padne na nizak logički nivo. Silazna ivica signala na izlazu komparatora će okinuti MMV, na izlazu MMV će se pojaviti visok logički nivo i prekidač će se zatvoriti. Nakon toga, kolo se može ekvivalentirati šemom sa sledeće slike:



Kroz kondenzator će proticati konstantna struja  $i_U - I_R = -8\text{mA}$ , tako da će se napon na izlazu idealnog operacionog pojačavača linearno smanjivati (počev od vrednosti  $v_{IOP}(0^-) = v_{IOP}(0^+) = V_R$ , pošto napon na kondenzatoru ne može skokovito da se promeni):

$$v_{IOP}(t) = V_R - \frac{I_R - i_U}{C} t = 3\text{V} - 8 \cdot 10^5 \cdot t.$$

Čim napon  $v_{IOP}$  opadne ispod vrednosti  $V_R$ , napon na izlazu komparatora će se skokovito promeniti na visok logički nivo.

Situacija u kolu će ostati nepromenjena sve dok ne istekne vreme  $T_D = 10\mu\text{s}$  za koje je MMV bio u kvazistabilnom stanju. Napon  $v_{IOP}$  u trenutku  $t = T_D = 10\mu\text{s}$  će biti:

$$v_{IOP}(T_D^-) = v_{IOP}(T_D^+) = V_R - \frac{I_R - i_U}{C} T_D = -5\text{V}.$$

Nakon toga, napon na izlazu MMV će pasti na nizak logički nivo, prekidač će se otvoriti i u kolu će se ponovo uspostaviti situacija kao i pre zatvaranja prekidača. Kroz kondenzator će proticati konstantna struja  $i_U = 2\text{mA}$ , tako da će se napon na izlazu idealnog operacionog pojačavača povećavati linearno:

$$v_{IOP}(t) = v_{IOP}(T_D^+) + \frac{i_U}{C} (t - T_D) = -5\text{V} + 2 \cdot 10^5 \cdot (t - 10^{-5}).$$

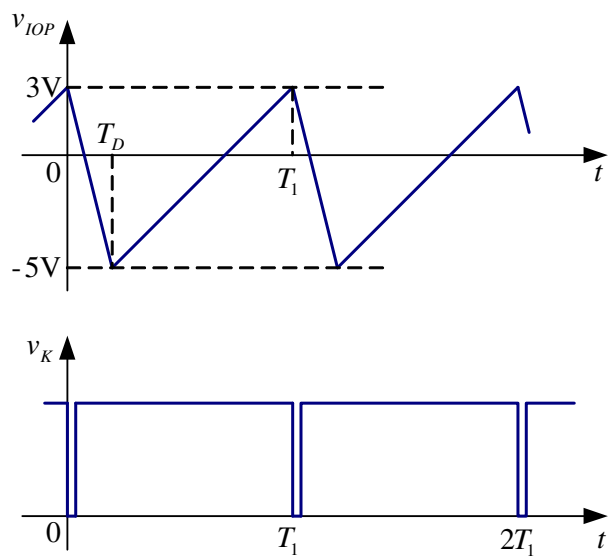
Kada napon  $v_{IOP}$  dostigne vrednost  $V_R$ , napon na izlazu komparatora se skokovito promeni na nizak logički nivo. Silazna ivica signala na izlazu komparatora okida MMV i na izlazu MMV se pojavljuje visok logički nivo tako da se prekidač zatvara. To se dešava u trenutku  $t = T_1$ :

$$T_1 = \frac{V_R + 5\text{V}}{2 \cdot 10^5} + 10^{-5} = 50\mu\text{s}.$$

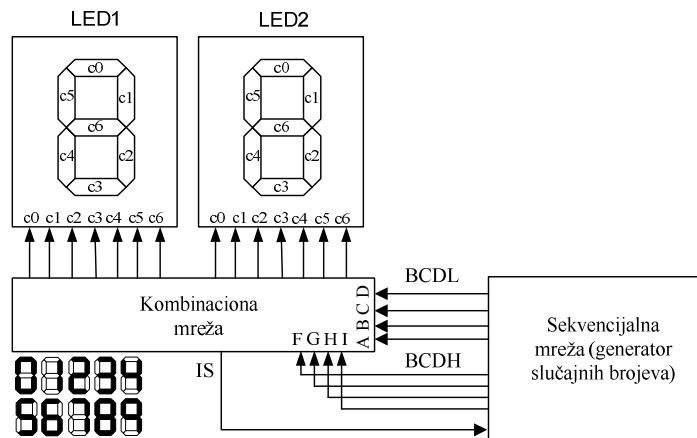
Opisani ciklus se dalje periodično ponavlja sa frekvencijom:

$$f_1 = \frac{1}{T_1} = 20\text{kHz}.$$

Traženi vremenski dijagrami su prikazani na sledećoj slici:



2. [20] Elektronski Loto se sastoji od sekvencijalne mreže koja generiše dvocifrene slučajne brojeve u BCD formatu, kombinacione mreže kojoj se na ulaz dovode generisani slučajni brojevi i dva sedmosegmentna LED displeja koji su povezani na kombinacionu mrežu i preko kojih se prikazuju slučajni brojevi. Kombinaciona mreža osim što generiše signale za prikaz cifara na displejima treba da detektuje kada slučajni dvocifreni broj ima iste cifre i da u toj situaciji postavi signal IS na visoki logički nivo. Signal IS se vraća nazad sekvencijalnoj mreži, gde se podatak o istim ciframa koristi u okviru algoritma sekvencijalne mreže za generisanje slučajnih brojeva. BCDH predstavlja višu težinsku cifru a BCDL predstavlja nižu težinsku cifru u okviru dvocifrenog broja koji se generiše u sekvencijalnoj mreži. Bit A je bit najveće težine u okviru BCDL cifre, a bit F je bit najveće težine u okviru BCDH. Koristeći osnovna logička kola izvršiti sintezu kombinacione mreže (sintezu vršiti minimizacijom). Na slici je takođe prikazano koji segmenti LED displeja treba da budu upaljeni za odgovarajuću cifru. Segmenti na LED displejima su upaljeni ukoliko je odgovarajući ulaz  $c_i$  na logičkoj jedinici. LED1 prikazuje cifru veću težine, LED2 prikazuje cifru manje težine.



### Rešenje:

Na osnovu zahteva se može zaključiti da su displeji nezavisni jedan od drugog, odnosno LED1 treba da prikaže vrednost BCDH, a LED2 treba da prikaže vrednost BCDL. Kako su BCDH i BCDL ravnopravni, realizacija drajvera za oba displeja je identična, samo se na ulaz svakog LED-a dovodi različita cifra. Tabela istinitosti za LED displeje je prikazana sledećoj slici.

Tabela za LED1 i LED2:

ABCD	C0	C1	C2	C3	C4	C5	C6	Cifra
0000	1	1	1	1	1	1	0	0
0001	0	1	1	0	0	0	0	1
0010	1	1	0	1	1	0	1	2
0011	1	1	1	1	0	0	1	3
0100	0	1	1	0	0	1	1	4
0101	1	0	1	1	0	1	1	5
0110	1	0	1	1	1	1	1	6
0111	1	1	1	0	0	0	0	7
1000	1	1	1	1	1	1	1	8
1001	1	1	1	0	0	1	1	9
1010	x	x	x	x	x	x	x	10
1011	x	x	x	x	x	x	x	11
1100	x	x	x	x	x	x	x	12
1101	x	x	x	x	x	x	x	13
1110	x	x	x	x	x	x	x	14
1111	x	x	x	x	x	x	x	15

Minimizacijom uz pomoć Karnoovih mapa se dobijaju izrazi za upravljačke promenjive LED displeja.

Za LED1:

$$C0 = A + C + B * D + \overline{B} * \overline{D}$$

$$C1 = \overline{B} + C * D + \overline{C} * \overline{D}$$

$$C2 = B + D + \overline{C}$$

$$C3 = \overline{B} * \overline{D} + \overline{B} * C + B * \overline{C} * D + C * \overline{D}$$

$$C4 = \overline{B} * \overline{D} + C * \overline{D}$$

$$C5 = \overline{C} * \overline{D} + B * \overline{C} + B * \overline{D} + A$$

$$C6 = \overline{B} * C + B * \overline{C} + A + C * \overline{D}$$

Za LED2:

$$C0 = F + H + G * I + \overline{G} * \overline{I}$$

$$C1 = \overline{G} + H * I + \overline{H} * \overline{I}$$

$$C2 = G + I + \overline{H}$$

$$C3 = \overline{G} * \overline{I} + \overline{G} * H + G * \overline{H} * I + H * \overline{I}$$

$$C4 = \overline{G} * \overline{I} + H * \overline{I}$$

$$C5 = \overline{H} * \overline{I} + G * \overline{H} + G * \overline{I} + F$$

$$C6 = \overline{G} * H + G * \overline{H} + F + H * \overline{I}$$

Signal IS u suštini predstavlja izlaz četvorobitnog komparatora, pa je

$$IS = (A * F + \overline{A} * \overline{F}) * (B * G + \overline{B} * \overline{G}) * (C * H + \overline{C} * \overline{H}) * (D * I + \overline{D} * \overline{I})$$

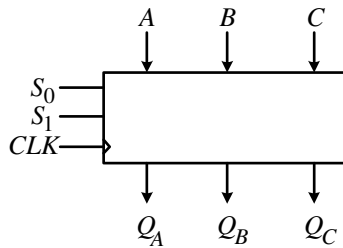
Napomena  $|X_i = \overline{X_i}$ .

3. [20] Realizovati što jednostavniju sinhronu sekvencijalnu mrežu prikazanu na slici tako da za navedene vrednosti upravljačkih signala  $S_1S_0$  mreža radi u sledećim režimima:

- za  $S_1S_0 = 00$  flip-flopovi ne menjaju stanje bez obzira na taktni impuls  $CLK$ ;
- za  $S_1S_0 = 01$  mreža radi kao trobitni binarni brojač unazad;
- za  $S_1S_0 = 10$  u flip-flopove se upisuje sadržaj ABC nakon uzlazne ivice  $CLK$ ;
- za  $S_1S_0 = 11$  uzlazna ivica  $CLK$  postavlja  $Q_A=Q_B=Q_C=0$ ;

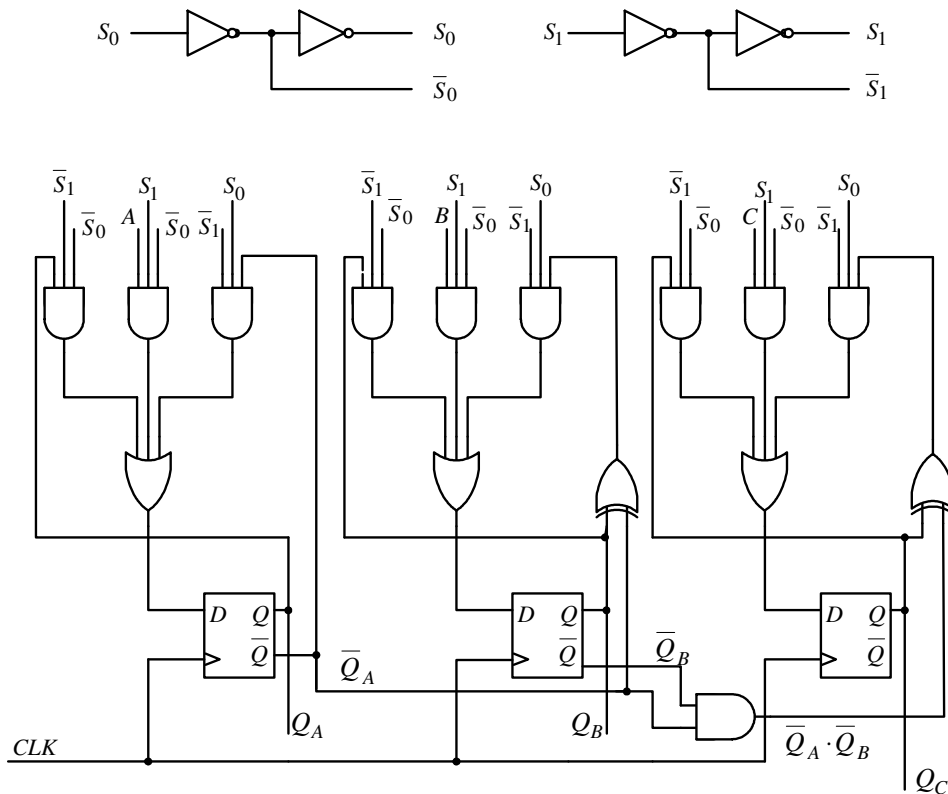
Na raspolaganju su ivični D flip-flopovi koji se okidaju na uzlaznu ivicu, EXILI kola, I kola, ILI kola i invertori.

*NAPOMENA: Nacrtati prvo rešenje za registar sa paralelnim upisom i čitanjem za tri bita. Zatim sintetisati trobitni binarni brojač unazad i nacrtati ga na posebnoj slici. Prethodne dve slike spojiti u jednu konstrukcijom kombinacione mreže koja kontroliše vrednost D ulaza flipflopa i zatim na kombinacionoj mreži dograditi kontrole za blokiranje i za reset flipflopova.*



### Rešenje:

Analizom narednog stanja sekvencijalne mreže u odnosu na sve moguće kombinacije upravljačkih signala za svako postojeće stanje, i korišćenjem Karnoovih karata u procesu minimizacije dobija se tražena realizacija kao na slici.



**KANDIDAT:** Ime \_\_\_\_\_ Prezime \_\_\_\_\_ Broj indeksa \_\_\_\_\_  
Dežurni \_\_\_\_\_

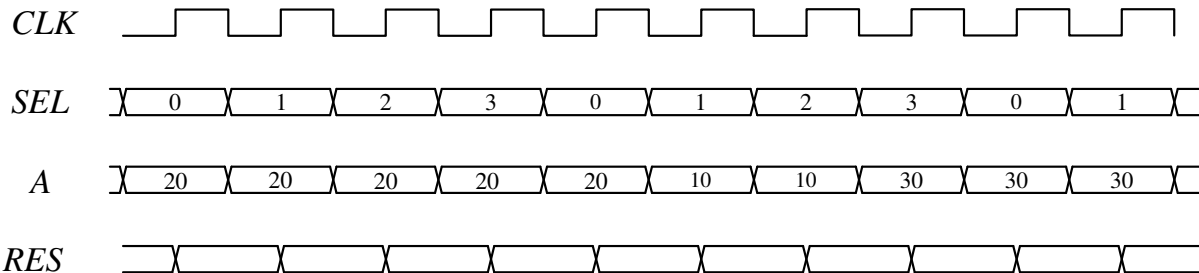
**4. [20]** Dat je VHDL kod kojim je opisana jedna digitalna mreža.

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY unit IS PORT
(
    a      : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
    sel    : IN  STD_LOGIC_VECTOR(1 DOWNTO 0);
    clk    : IN  STD_LOGIC;
    res    : OUT STD_LOGIC_VECTOR(6 DOWNTO 0)
);
END unit;

ARCHITECTURE behav OF unit IS
    SIGNAL tmp : UNSIGNED(6 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF (rising_edge(clk)) THEN
            IF (sel="00") THEN
                tmp <= (OTHERS => '0');
            ELSIF (sel="01") THEN
                tmp <= UNSIGNED("00" & a) + 40;
            ELSIF (sel="10") THEN
                tmp <= UNSIGNED(a(4 DOWNTO 0) & "00");
            ELSIF (sel="11") THEN
                tmp <= UNSIGNED("0000" & a(4 DOWNTO 2));
            END IF;
        END IF;
    END PROCESS;
    res <= STD_LOGIC_VECTOR(tmp);
END behav;
```

Na osnovu vremenskih dijagrama ulaznih signala i vektora, odrediti vrednosti izlaznog vektora i u decimalnom formatu ih upisati na dati vremenski dijagram.



**Rešenje:**

