

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 03.06.2009.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

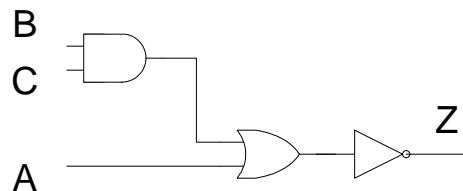
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	Total
Max	10	20	15	15	20	80
Dobijeno						

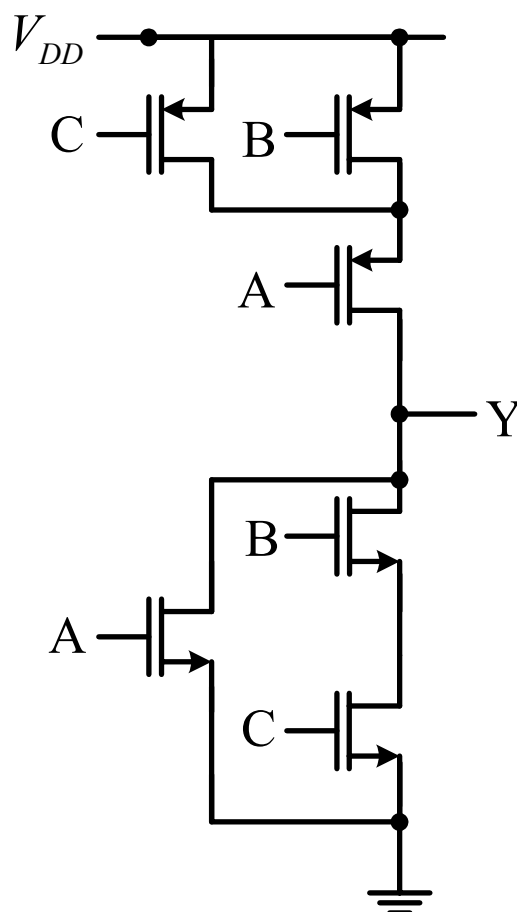
KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

1. a) [5] Koristeći minimalan broj NMOS i PMOS tranzistora, izvršiti sintezu CMOS logičkog kola na slici.
- b) [5] Ako su sva tri ulaza kratko spojena, nacrtati prenosnu karakteristiku kola $v_Z = F(v_U)$ smatrajući da su naponi pragova $V_{TN} = V_{TP} = 0,5V_{DD}$, gde je V_{DD} napon napajanja. Kolike su margine logičke nule i logičke jedinice u navedenom slučaju?



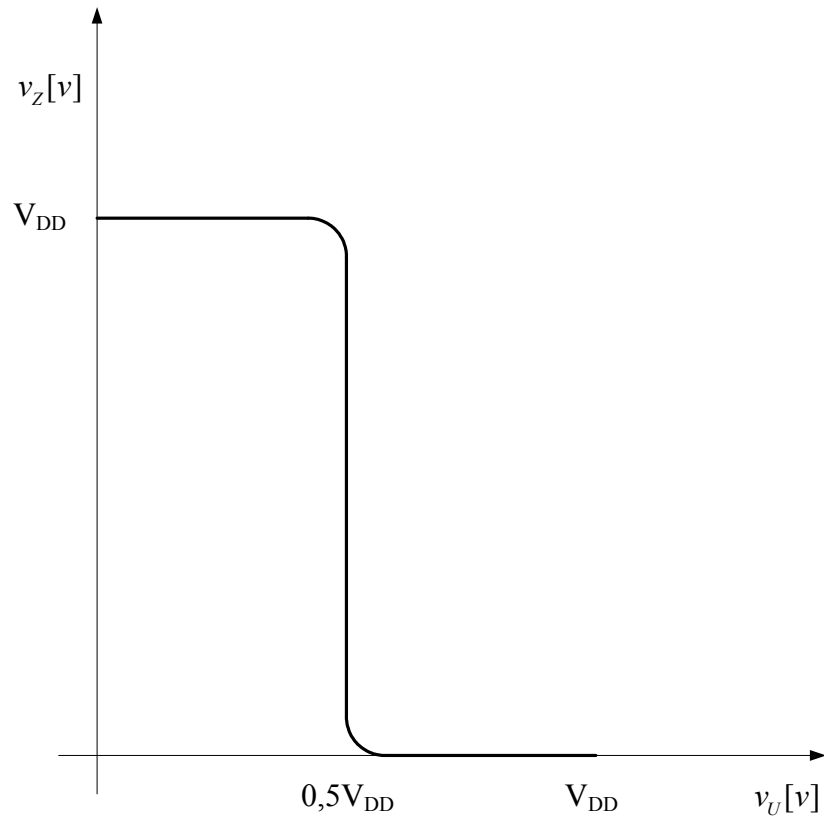
Rešenje:

a) Funkcija logičkog kola na slici je data kao $Z = \overline{A + B \cdot C}$. Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora. Na osnovu toga je traženo rešenje dato kao na slici.



- b) Prenosna karakteristika kola je prikazana na slici. Kada je ulazni napon manji od

$v_Z < V_{TN} = V_{TP} = 0,5V_{DD}$ NMOS tranzistori ne vode, PMOS tranzistori vode, te je napon na izlazu $v_Z = V_{DD}$, kada napon na ulazu postane $v_U = 0,5V_{DD}$, provode oba tranzistora u kolu dajući veliko naponsko pojačanje, pa izlazni napon naglo pada na vrednost $v_Z = 0V$ pri malim promenama napona na ulazu. Za ulazni napon $v_Z > V_{TN} = V_{TP} = 0,5V_{DD}$ NMOS tranzistori vode, dok PMOS tranzistori ne vode, tako da je napon na izlazu $v_Z = 0V$.



Kako su upotrebljena logička kola idealna možemo uzeti da važi

$V_{I1MIN} \approx V_{DD}$, $V_{U1MIN} \approx V_{DD}/2$, $V_{U0MAX} \approx V_{DD}/2$, $V_{I0MAX} \approx 0$. Na osnovu ovih vrednosti mogu se izračunati vrednosti margine nule i jedinice.

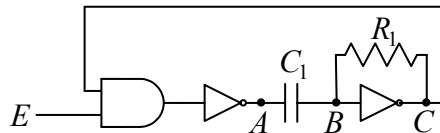
$$ML0 = V_{U0MAX} - V_{I0MAX} \approx V_{DD}/2,$$

$$ML1 = V_{I1MIN} - V_{U1MIN} \approx V_{DD}/2$$

2. Na slici je prikazano kolo astabilnog multivibratora. Korišćena logička kola imaju idealnu prenosnu karakteristiku sa naponom praga $V_T = 2,5\text{ V}$, beskonačnu ulaznu i nultu izlaznu otpornost i napajaju se sa $V_{DD} = 5\text{ V}$. Kapacitivnost kondenzatora C_1 je 50 nF , a otpornost otpornika R_1 je $10\text{ k}\Omega$.

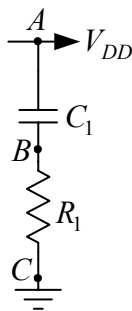
a) [15] Ako je kontrolni signal E na nivou logičke jedinice, izračunati i nacrtati vremenske oblike naponskih signala u tačkama A, B i C kada kolo radi u ustaljenom režimu.

b) [5] Ako je kontrolni signal E na nivou logičke nule, objasniti ponašanje kola u ustaljenom režimu. Koja je uloga kontrolnog signala E?

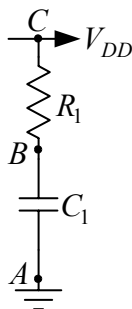


Rešenje:

a) Pošto je kolo astabilno, njegova stanja se periodično ponavljaju. Stoga, analiza kola može da se počne od bilo kojeg trenutka periode. Na primer, neka se uzme da je u trenutku $t = 0$ nastupila promena vrednosti signala u tački C sa logičke jedinice na logičku nulu. U istom trenutku (ako se zanemare kašnjenja kroz logička kola), menja se i nivo signala u tački A sa logičke nule na logičku jedinicu. Nakon toga kolo se može ekvivalentno predstaviti na sledeći način:



Napon u tački B će se eksponencijalno smanjivati sa vremenskom konstantom $\tau = R_1 C_1$ sve dok ne opadne do vrednosti $V_T = 2,5\text{ V}$. Neka je trenutak u kome se to desi $t = T_1$. Potom će napon u tački C da skoči na nivo logičke jedinice, a napon u tački A da padne na nivo logičke nule. Zbog činjenice da se napon na kondenzatoru C_1 ne može trenutno (skokovito) promeniti, napon u tački B će opasti na vrednost $-2,5\text{ V}$. Nova ekvivalentna šema kola će imati sledeći izgled:



Napon u tački B će se sada eksponencijalno povećavati sa vremenskom konstantom $\tau = R_1 C_1$ sve dok ne dostigne vrednost $V_T = 2,5\text{ V}$. Neka je trenutak u kome se to desi $t = T_1 + T_2$. Potom će napon u tački C da padne na nivo logičke nule, a napon u tački A da skoči na nivo logičke jedinice.

Zbog činjenice da se napon na kondenzatoru C_1 ne može trenutno (skokovito) promeniti, napon u tački B će trenutno skočiti na vrednost 7,5V. Nova ekvivalentna šema kola će ponovo imati izgled prikazan na prvoj slici u okviru ovoga rešenja. Opisani proces će se dalje periodično ponavljati.

Jednačine koje opisuju opisani proces za vreme intervala T_1 su:

$$v_A(t) = V_{DD}$$

$$v_C(t) = 0$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau}}$$

$$v_B(t) = 0 - [0 - 7,5V] \cdot e^{-\frac{t}{R_1 C_1}} = 7,5V \cdot e^{-2000t}$$

Jednačine koje opisuju opisani proces za vreme intervala T_2 su:

$$v_A(t) = 0$$

$$v_C(t) = V_{DD}$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau}}$$

$$v_B(t) = V_{DD} - [V_{DD} + 2,5V] \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 7,5V \cdot e^{-\frac{t-T_1}{R_1 C_1}} = 5V - 7,5V \cdot e^{-2000(t-T_1)}$$

Vremenski interval T_1 se može odrediti iz uslova:

$$v_B(T_1^-) = 7,5V \cdot e^{-2000T_1} = 2,5V$$

odakle se dobija:

$$T_1 = 0,0005 \ln 3 = 549,3 \mu s .$$

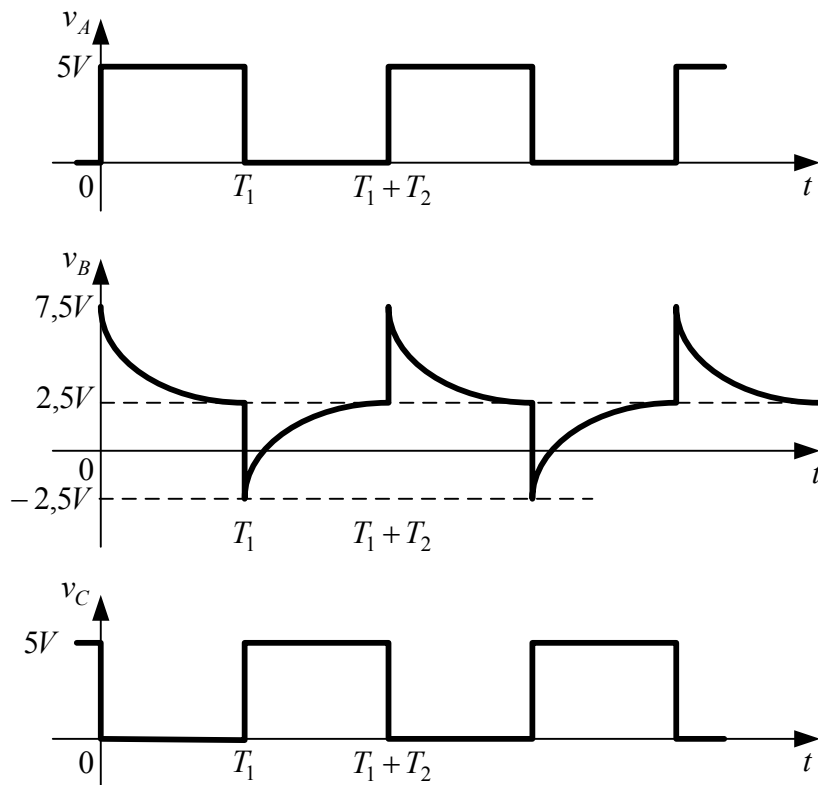
Vremenski interval T_2 se može odrediti iz uslova:

$$v_B((T_1 + T_2)^-) = 5V - 7,5V \cdot e^{-2000T_2} = 2,5V$$

odakle se dobija:

$$T_2 = 0,0005 \ln 3 = 549,3 \mu s .$$

Traženi vremenski dijagrami su prikazani na sledećoj slici:



b) Ako je kontrolni signal E na nivou logičke nule, izlaz I kola će takođe biti na nivou logičke nule, a napon u tački A će biti jednak V_{DD} . S obzirom da se kolo nalazi u ustaljenom režimu, kroz otpornik R_1 neće proticati struja, tako da će naponi u tačkama B i C biti međusobno jednaki, što na idealnoj prenosnoj karakteristici invertora daje vrednost $v_C = v_B = \frac{V_{DD}}{2} = 2,5 \text{ V}$.

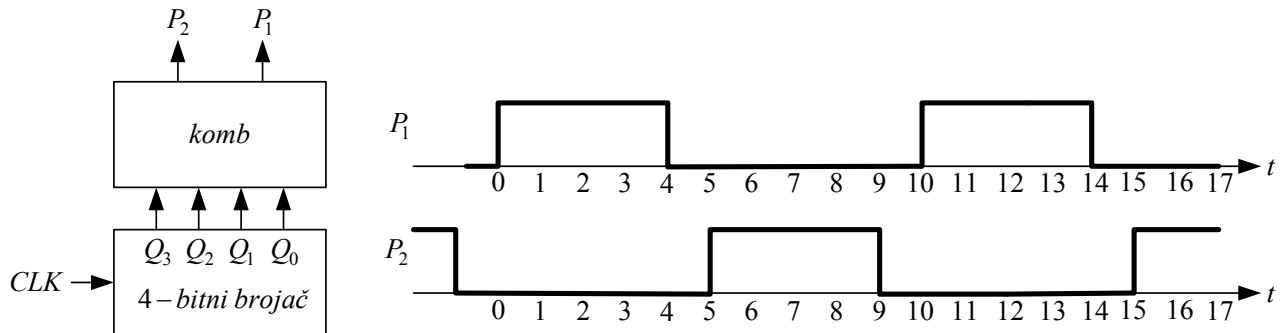
Kontrolni signal E se koristi kao signal dozvole za rad astabilnog multivibratora.

3. [15] Na slici je prikazana blok-šema kola za generisanje dvofaznog takta.

Dati četvorobitni brojač je dekadni i broji u skladu sa sledećom sekvencom: 0000 → 0001 → 0010 → 0011 → 0100 → 0101 → 0110 → 0111 → 1000 → 1001 → 0000.

Vremenski oblici signala dvofaznog takta P_1 i P_2 su takođe prikazani na slici. Vremenski kvant na dijagramima sa slike odgovara jednoj periodi takta brojača CLK.

Realizovati kombinacionu mrežu *komb*, tako da prikazano kolo obavlja opisanu funkciju. Na raspolaganju su isključivo dvoulazna i troulazna NI kola.



Rešenje:

Kombinaciona tabela za traženu kombinacionu mrežu je prikazana na sledećoj slici:

Q_3	Q_2	Q_1	Q_0	P_1	P_2
0	0	0	0	1	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	0	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	0	0

Pomoću Karnoovih mapa se dobija:

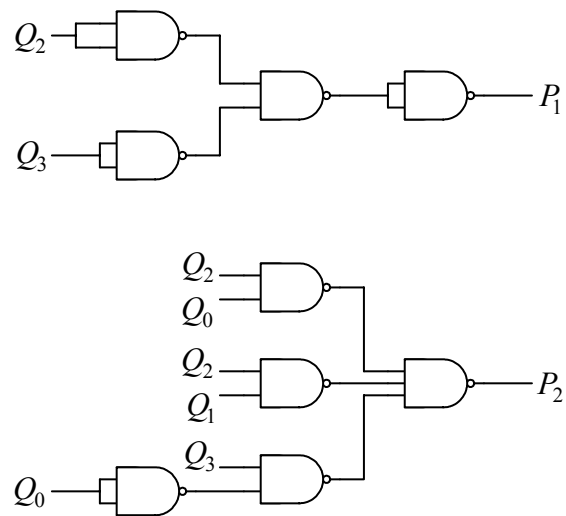
$Q_3Q_2 \setminus Q_1Q_0$	00	01	11	10
00	1	1	1	1
01	0	0	0	0
11	X	X	X	X
10	0	0	X	X

$$P_1 = \overline{Q_3} \cdot \overline{Q_2} = \overline{\overline{\overline{\overline{Q_3} \cdot \overline{Q_2}}}}$$

$Q_3Q_2 \setminus Q_1Q_0$	00	01	11	10
00	0	0	0	0
01	0	1	1	1
11	X	X	X	X
10	1	0	X	X

$$P_2 = Q_2Q_0 + Q_2Q_1 + Q_3\overline{Q_0} = \overline{\overline{\overline{\overline{Q_2Q_0} \cdot \overline{Q_2Q_1} \cdot \overline{Q_3Q_0}}}}$$

Tražena realizacija je prikazana na sledećoj slici:



4. a) [5] Nacrtati blok-šemu A-D konvertora i objasniti diskretizaciju u vremenu i diskretizaciju po amplitudi.
- b) [10] Nacrtati električnu šemu A-D konvertora sa dvojnim nagibom i računski pokazati da tačnost rezultata konverzije zavisi samo od tačnosti referentnog napona pod uslovom da su svi ostali parametri kola konstantni samo dok traje jedan ciklus konverzije.

Rešenje:

5. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacionog kola koje vrši konverziju četvorobitnih binarnih brojeva iz formata u kome se negativni brojevi predstavljaju kao znak plus apsolutna vrednost u format u kome se negativni brojevi predstavljaju preko komplementa dvojke. Opisana konverzija se vrši samo ako je signal EN na nivou logičke jedinice, dok u suprotnom na izlazu mreže treba da budu generisane sve nule.

Biti svih vektora su poređani od MSB ka LSB u smeru sa leva na desno.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

Neka su D3, D2, D1 i D0 biti ulaznog vektora, a Q3, Q2, Q1 i Q0 biti izlaznog vektora. Kombinacona tabela u kojoj je prikazana tražena konverzija je data na sledećoj slici:

	D3	D2	D1	D0	Q3	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	1	1
-0	1	0	0	0	0	0	0	0
-1	1	0	0	1	1	1	1	1
-2	1	0	1	0	1	1	1	0
-3	1	0	1	1	1	1	0	1
-4	1	1	0	0	1	1	0	0
-5	1	1	0	1	1	0	1	1
-6	1	1	1	0	1	0	1	0
-7	1	1	1	1	1	0	0	1

Odgovarajući VHDL kod je dat u nastavku:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity converter is
  port (D: in STD_LOGIC_VECTOR (3 downto 0);
        EN: in STD_LOGIC;
        Q: out STD_LOGIC_VECTOR (3 downto 0));
end converter;

architecture behav of converter is
  signal TMP: STD_LOGIC_VECTOR (3 downto 0);
begin
  process (D,EN,TMP)
  begin
    case D is
      when "0000" => TMP <= "0000";
      when "0001" => TMP <= "0001";
      when "0010" => TMP <= "0010";
      when "0011" => TMP <= "0011";
      when "0100" => TMP <= "0100";
```

```
when "0101" => TMP <= "0101";
when "0110" => TMP <= "0110";
when "0111" => TMP <= "0111";
when "1000" => TMP <= "0000";
when "1001" => TMP <= "1111";
when "1010" => TMP <= "1110";
when "1011" => TMP <= "1101";
when "1100" => TMP <= "1100";
when "1101" => TMP <= "1011";
when "1110" => TMP <= "1010";
when "1111" => TMP <= "1001";
when others => TMP <= "0000";
end case;
if EN='1' then Q<=TMP;
else Q <= "0000";
end if;
end process;
end behav;
```