

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 10.02.2010.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

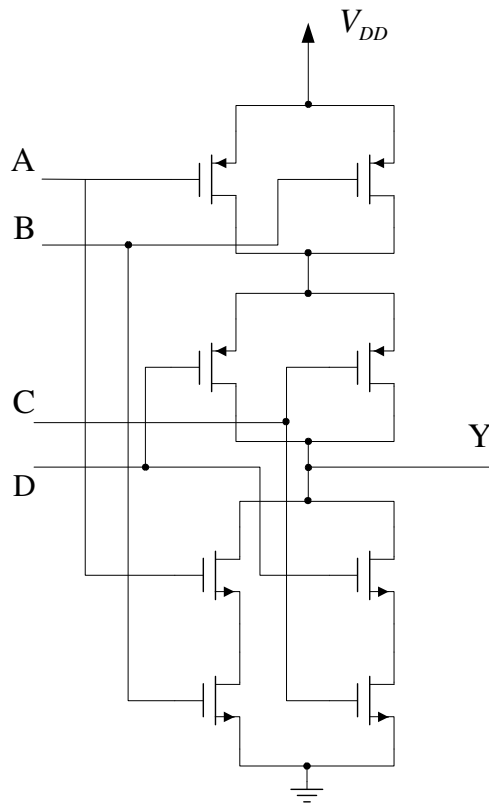
1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	20	20	20	20	80
Dobijeno					

KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
 Dežurni _____

1. a) [5] Odrediti Bulovu funkciju koju realizuje kombinaciona mreža na slici i nacrtati ekvivalentnu šemu mreže koristeći simbole logičkih kola.
- b) [10] Na izlazu ekvivalentne šeme dobijene u tački a), dograditi šemu za prevođenje izlaza Y u trostatički izlaz sa kontrolnim signalom E .
- c) [5] Definirati vremenske parametre (vreme uspostavljanja, vreme opadanja, vreme transportnog kašnjenja) logičkog kola i ilustrovati definicije na vremenskim dijagramima napona.



Rešenje:

a) Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora.

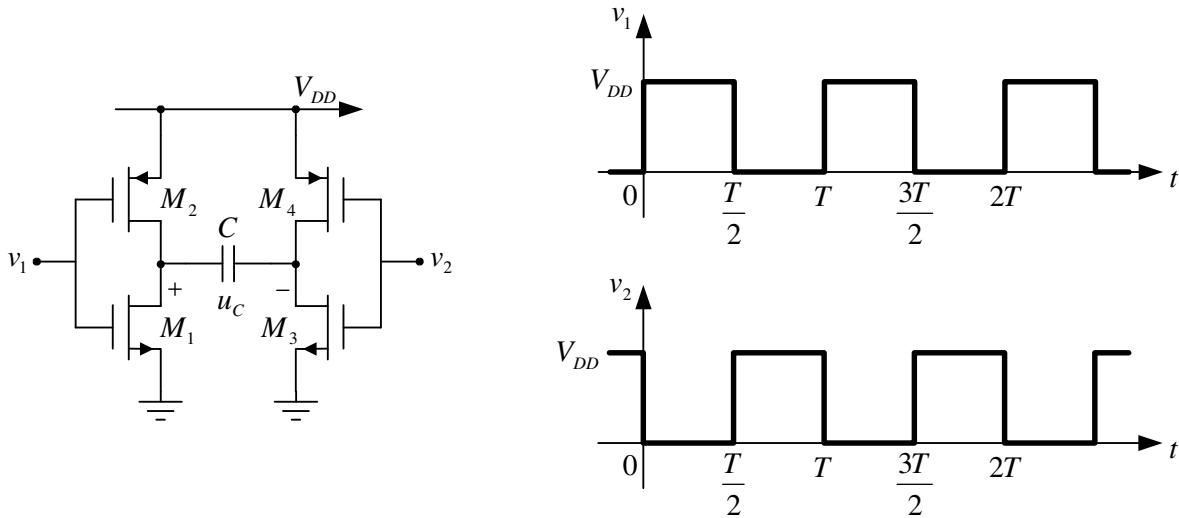
Funkcija koja je realizovana je $Y = \overline{AB + CD}$.

b) Pred.2, str.13.

c) Pred.2, str.11,9.

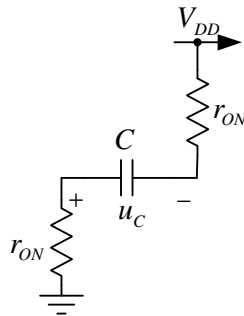
2. CMOS invertori u kolu sa slike se napajaju sa $V_{DD} = 5V$. NMOS i PMOS tranzistori koji sačinjavaju invertore se u provodnom režimu mogu ekvivalentirati otpornostima $r_{ON} = 100\Omega$, a u neprovodnom režimu sa $r_{OFF} \rightarrow \infty$. Kapacitivnost kondenzatora povezanog na izlaze invertora je $50nF$. Na ulaz levog invertora se dovodi periodična povorka pravougaonih impulsa v_1 , a na ulaz desnog invertora se dovodi periodična povorka pravougaonih impulsa v_2 . Frekvencije obe povorke impulsa su $f = 1kHz$, ali su one međusobno fazno pomerene kao što je to prikazano na slici.

- a) [15] Izračunati i nacrtati vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju.
- b) [5] Ako se frekvencija oba ulazna signala v_1 i v_2 poveća na $f_1 = 1MHz$, skicirati (bez izračunavanja) i obrazložiti vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju.



Rešenje:

U vremenskom intervalu $0 < t < \frac{T}{2}$ (pri čemu je $T = \frac{1}{f} = 1ms$), tranzistori M_1 i M_4 su uključeni, a tranzistori M_2 i M_3 isključeni, tako da se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Jednačine koje opisuju napon na kondenzatoru su:

$$u_C(t) = u_C(\infty) - [u_C(\infty) - u_C(0^+)] \cdot e^{-\frac{t}{\tau_1}},$$

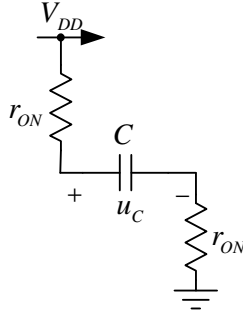
$$\tau_1 = 2r_{ON}C = 10\mu s,$$

$$u_C(\infty) = -V_{DD},$$

$$u_C(0^+) = u_C(0^-) = V_X.$$

Vrednost napona V_X će biti određena u daljem toku analize, na osnovu činjenice da se analiza vrši za ustaljeni režim i da je signal $u_C(t)$ periodičan.

U vremenskom intervalu $\frac{T}{2} < t < T$, tranzistori M_1 i M_4 su isključeni, a tranzistori M_2 i M_3 uključeni, tako da se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Jednačine koje opisuju napon na kondenzatoru su:

$$u_C(t) = u_C(\infty) - [u_C(\infty) - u_C(\frac{T}{2}^+)] \cdot e^{-\frac{t - \frac{T}{2}}{\tau_2}},$$

$$\tau_2 = 2r_{ON}C = 10\mu s,$$

$$u_C(\infty) = V_{DD},$$

$$u_C(\frac{T}{2}^+) = u_C(\frac{T}{2}^-) = -V_{DD},$$

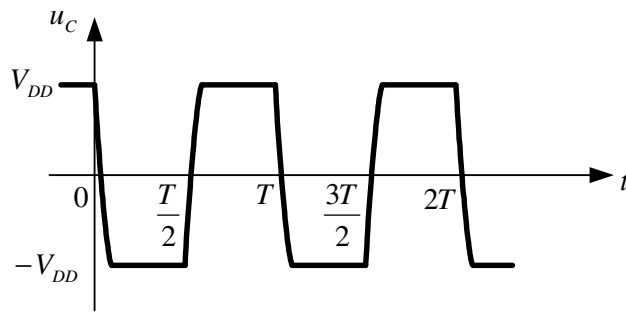
$$u_C(t) = V_{DD} - 2V_{DD} \cdot e^{-10^5(t - \frac{T}{2})} = 5V - 10V \cdot e^{-10^5(t - \frac{T}{2})}.$$

S obzirom na periodičnost signala $u_C(t)$, i činjenicu da je $\tau_1, \tau_2 \ll \frac{1}{f}$, vrednost $u_C(0^-) = V_X$ je vrlo približno jednaka vrednosti $u_C(\infty) = V_{DD}$ određenoj za interval $\frac{T}{2} < t < T$. Iz toga se može zaključiti da je $V_X = V_{DD}$, kao i:

$$u_C(t) = -V_{DD} + 2V_{DD} \cdot e^{-10^5 t} = -5V + 10V \cdot e^{-10^5 t}, \text{ za vremenski interval } 0 < t < \frac{T}{2}.$$

Vrednosti napona $u_C(t)$ izračunate za interval $0 < t < T$ se dalje periodično ponavljaju.

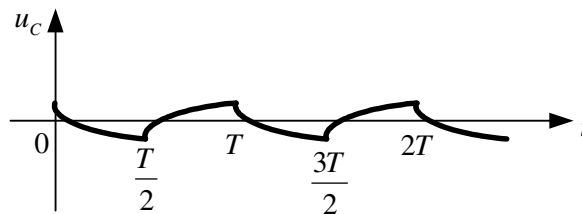
Vremenski dijagram napona $u_C(t)$ ima sledeći izgled:



(NAPOMENA: silazne i uzlazne ivice signala $u_C(t)$ su eksponencijalnog karaktera, opisane gornjim jednačinama, iako se to na dijagramu manje jasno vidi).

b) Povećavanjem frekvencije ulaznih signala na $f_1 = 1\text{MHz}$, njihova perioda će postati ($T_1 = 1\mu\text{s}$) manja od vremenske konstante silazne i uzlazne ivice signala $u_C(t)$. To će imati za posledicu da tokom jedne poluperiode signal $u_C(t)$ neće moći da ni približno dostigne vrednosti $u_C(\infty)$ koje su određene pod tačkom a). Maksimalna i minimalna vrednost signala $u_C(t)$ će stoga biti bliske jedna drugoj i simetrične u odnosu na vremensku osu. Signal $u_C(t)$ će i dalje tokom svake poluperiode imati eksponencijalni karakter.

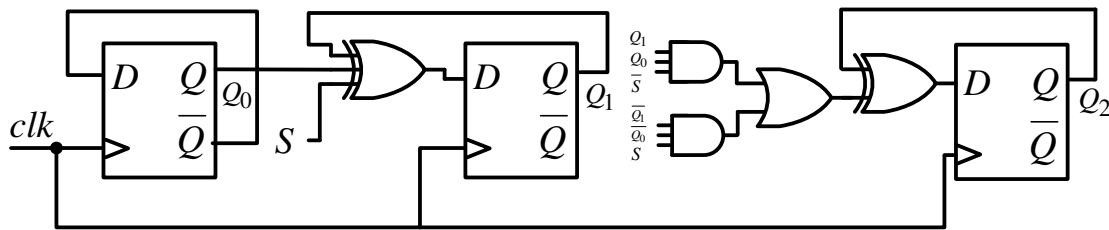
Skicirani vremenski oblik napona na kondenzatoru $u_C(t)$ u ustaljenom stanju za frekvenciju ulaznih signala $f_1 = 1\text{MHz}$ je prikazan na sledećoj slici:



- 3.a) [10] Korišćenjem D flip-flopa i potrebnih logičkih kola, sintetisati u najprostijem obliku brojač sa osnovom 8 koji ima kontrolni priključak S za upravljanje smerom brojanja: na gore za $S=0$, na dole za $S=1$.
- b) [5] Analizirati rad brojača ako se za vreme brojanja na gore kada se brojač nalazi u stanju 4, promeni vrednost signala kontrolnog priključka sa $S=0$ na $S=1$. Kako izgleda sekvenca brojanja posle promene vrednosti signala S ?
- c) [5] Ako su vreme postavljanja flipflopa $t_s=5ns$, vreme držanja flipflopa $t_h=10ns$, vreme transportnog kašnjenja $t_d=15ns$ i vreme kašnjenja logičkog kola $t_{dlk}=3ns$, izračunati maksimalnu učestanost takta sa kojom brojač može da broji na gore ako ispravne vrednosti na izlazima brojača treba da budu raspoložive 50ns.

Rešenje:

a)



b)

Ako je $S=0$ brojač broji na gore, prilikom promene upravljačke promenljive S brojač će nastaviti da broji u nazad u sekvenci 011, 010, 001, 000, 111, 110, 101....

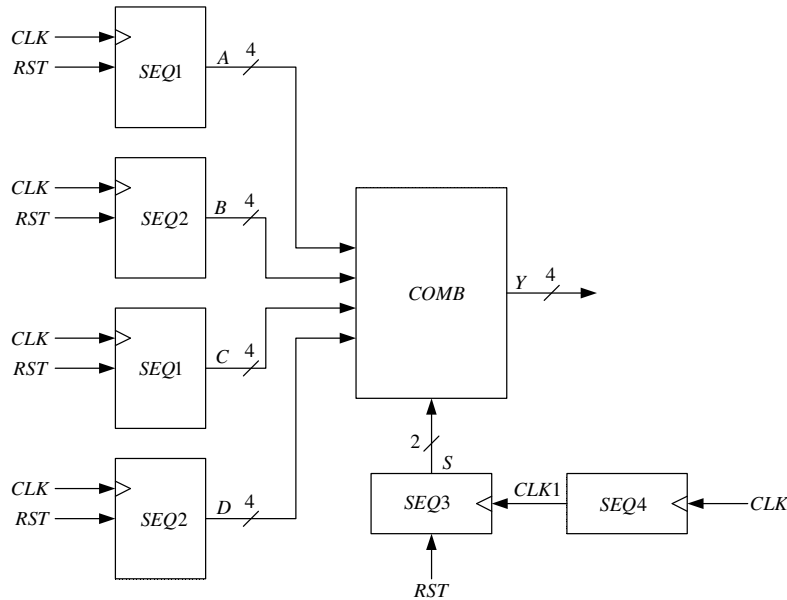
c) Da bi flip flop ispravno promenio stanje signal na D priključku se ne sme menjati u vremenu $t_{clk} - t_s < t < t_{clk} + t_h$, gde je t_{clk} trenutak kada nailazi uzlazna ivica signala takta. Kada neki flip flop promeni stanje ta promena će biti prisutna na ulazu nekog drugog flip fropa (čiji ulaz zavisi od stanja prethodnog flip fropa) posle $t_d + n t_{clk}$ u odnosu na pojavu uzlazne ivice signala takta (n broj logičkih kola koji se nalazi između izlaza i ulaza dva flip fropa), kako je $t_d > t_h$ ne postoji opasnost da neki flip flop nepravilno promeni stanje u toku nailaska uzlazne ivice signala takta.

Vreme raspoloživosti vrednosti na izlazu flip flopova iznosi $dt = t_{clk} + T_{clk} + t_d - (t_{clk} + t_d) = T_{clk}$ (T_{clk} je perioda signala takta, t_{clk} je vreme pojave posmatrane uzlazne vice signala takta). Na osnovu uslova zadatka treba da važi $dt = T_{clk} > 50ns$ tako da je $f_{clk} < 20MHz$. Kako bi flip flopovi ispravno menjali stanje treba da važi $t_d + n \cdot t_{clk} + t_s < T_{clk}$, na osnovu ovog razmatranja najkritičniji je flip flop Q_2 , tako da $T_{clk} > 15ns + 3 \cdot 3ns + 5ns$, $T_{clk} > 29ns$. Kako je prvi zahtev strožiji uzima se da je maksimalna učestanost pri kojoj kolo i dalje radi kako treba $f_{clk \max} = 20MHz$.

4. U digitalnom sistemu na slici sekvencijalne mreže *SEQ1*, *SEQ2*, *SEQ3* i *SEQ4* i kombinaciona mreža *COMB* su opisane odgovarajućim VHDL kodovima koji su dati u nastavku ovog teksta.

a) [5] Na osnovu datog VHDL koda odrediti koju funkciju obavljaju sekvencijalne mreže *SEQ1*, *SEQ2*, *SEQ3* i *SEQ4*, kao i kombinaciona mreža *COMB*.

b) [15] Za dati vremenski dijagram signala *CLK* i *RST*, i dati početni deo vremenskog dijagrama signala *CLK1*, odrediti kompletan vremenski dijagram signala *CLK1* i stanja na četvorobitnim magistralama *A*, *B*, *C*, *D* i *Y* i dvobitnoj magistrali *S*. Tražene rezultate upisati na dati dijagram. Vrednosti podataka na magistralama *A*, *B*, *C*, *D*, *S* i *Y* upisati u decimalnom formatu.



```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY seq1 IS PORT
(
    clk,rst : IN STD_LOGIC;
    a       : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
);
END seq1;

ARCHITECTURE behav OF seq1 IS
    SIGNAL tmp : UNSIGNED(3 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF rising_edge(clk) THEN
            IF rst='1' THEN
                tmp <= "0000";
            ELSE
                tmp <= tmp+1;
            END IF;
        END IF;
    END PROCESS;
    a <= STD_LOGIC_VECTOR(tmp);
END behav;
    
```

```

LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;

ENTITY seq2 IS PORT
(
    clk,rst : IN STD_LOGIC;
    c       : OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
);
END seq2;

ARCHITECTURE behav OF seq2 IS
    SIGNAL tmp : UNSIGNED(3 DOWNTO 0);
BEGIN
    PROCESS (clk) BEGIN
        IF rising_edge(clk) THEN
            IF rst='1' THEN
                tmp <= "0000";
            ELSE
                tmp <= tmp-1;
            END IF;
        END IF;
    END PROCESS;
    c <= STD_LOGIC_VECTOR(tmp);
END behav;
    
```

ETF U BEOGRADU, KATEDRA ZA ELEKTRONIKU

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
```

```
ENTITY seq3 IS PORT
(
  clk,rst : IN STD_LOGIC;
  s       : OUT STD_LOGIC_VECTOR(1 DOWNT0 0)
);
END seq3;
```

```
ARCHITECTURE behav OF seq3 IS
  SIGNAL tmp : UNSIGNED(1 DOWNT0 0);
BEGIN
  PROCESS (clk) BEGIN
    IF rising_edge(clk) THEN
      IF rst='1' THEN
        tmp <= "00";
      ELSE
        tmp <= tmp+1;
      END IF;
    END IF;
  END PROCESS;
  s <= STD_LOGIC_VECTOR(tmp);
END behav;
```

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;
```

```
ENTITY seq4 IS PORT
(
  clk : IN STD_LOGIC;
  clk1 : OUT STD_LOGIC
);
END seq4;
```

```
ARCHITECTURE behav OF seq4 IS
  SIGNAL tmp : UNSIGNED(1 DOWNT0 0);
BEGIN
  PROCESS (clk) BEGIN
    IF rising_edge(clk) THEN
      tmp <= tmp+1;
    END IF;
  END PROCESS;
  clk1 <= STD_LOGIC(tmp(1));
END behav;
```

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;
```

```
ENTITY comb IS PORT
(
  a,b,c,d : IN STD_LOGIC_VECTOR(3 DOWNT0 0);
  s       : IN STD_LOGIC_VECTOR(1 DOWNT0 0);
  y       : OUT STD_LOGIC_VECTOR(3 DOWNT0 0)
);
END comb;
```

```
ARCHITECTURE behav OF comb IS
BEGIN
  PROCESS (a,b,c,d,s) BEGIN
    CASE s IS
      WHEN "00" => Y<=a;
      WHEN "01" => Y<=b;
      WHEN "10" => Y<=c;
      WHEN "11" => Y<=d;
      WHEN OTHERS => Y<=(OTHERS=>'0');
    END CASE;
  END PROCESS;
END behav;
```

CLK

RST

CLK1

A

B

C

D

S

Y

Rešenje:

a) Analizom datog VHDL koda može se zaključiti sledeće:

- Mreža *SEQ1* predstavlja četvorobitni sinhroni brojač unapred, čija se stanja menjaju sinhrono sa uzlaznom ivicom signala takta, i koji poseduje sinhroni reset (po resetu brojač ulazi u stanje "0000").
- Mreža *SEQ2* predstavlja četvorobitni sinhroni brojač unazad, čija se stanja menjaju sinhrono sa uzlaznom ivicom signala takta, i koji poseduje sinhroni reset (po resetu brojač ulazi u stanje "0000").
- Mreža *SEQ3* predstavlja dvobitni sinhroni brojač unapred, čija se stanja menjaju sinhrono sa uzlaznom ivicom signala takta, i koji poseduje sinhroni reset (po resetu brojač ulazi u stanje "00").
- Mreža *SEQ4* predstavlja delitelj učestanosti, koji na bazi ulaznog signala takta *CLK* učestanosti f generiše izlazni signal takta *CLK1* učestanosti $f/4$.
- Mreža *COMB* predstavlja multiplexer 4/1 koji, zavisno od vrednosti dvobitnog selekcionog vektora *S*, na četvorobitni izlaz *Y* propušta jedan od četvorobitnih ulaznih vektora *A*, *B*, *C* ili *D*.

b) Traženi vremenski dijagrami su predstavljeni na sledećoj slici:

