

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 10.10.2009.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

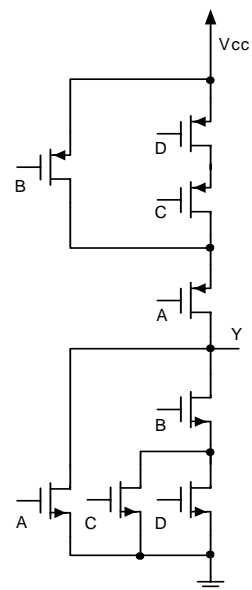
USLOVI ISPITA

1. Trajanje ispita 180 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i razumevanje gradiva.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	10	25	25	20	80
Dobijeno					

1. [10] Formiranjem kombinacione tabele ili na neki drugi način odrediti logičku funkciju $Y = Y(A, B, C, D)$ koju obavlja kolo prikazano na slici. Postupak određivanja funkcije prikazanog kola detaljno opisati i obrazložiti. Rešenja koja ne sadrže dovoljno precizna objašnjenja neće biti bodovana.



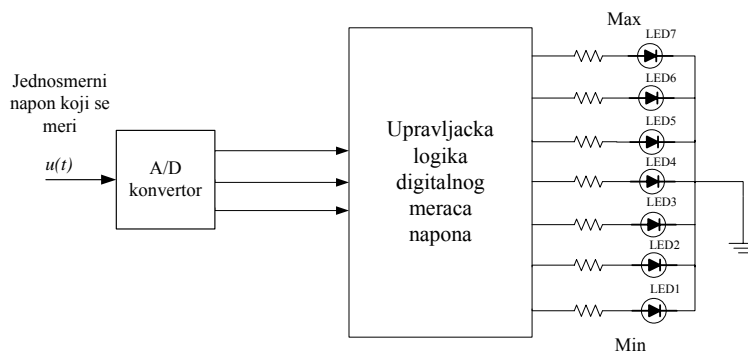
Rešenje:

Na prikazanoj šemi se može uočiti osnovna NILI struktura koju formiraju MOS-FET tranzistori na koje je doveden signal A i grupa MOS-FET-ova na koju su dovedeni ostali signali (grupa F1(B,C,D)). Analizom grupe F1 može se uočiti NI struktura koju formiraju MOS-FET tranzistori na koje je doveden signal B i grupa MOS-FET-ova na koju su dovedeni preostali signali (grupa F2(C,D)). Daljom analizom zaključuje se da je grupa F2 NILI logičko kolo sastavljeno od MOS-FET-ova na koje su dovedeni signali C i D. Na osnovu ove analize može se napisati logička funkcija koju obavlja prikazano kolo.

$$Y = \overbrace{A + \underbrace{B \cdot (C + D)}_{F_2}}_{F_1}$$

2. a) [15] Na slici je prikazana blok-šema digitalnog merača jednosmernog napona. Na ulaz digitalnog merača napona dolazi jednosmerni napon koji se A/D konvertorom konvertuje u digitalni ekvivalent predstavljen u binarnom zapisu sa tri cifre. Kada jednosmerni napon ima minimalnu vrednost, na izlazu A/D konvertora je prisutna digitalna vrednost 000, dok kada je vrednost napona maksimalna na izlazu A/D konvertora je prisutna digitalna vrednost 111. Kao vizuelni indikator vrednosti napona se koristi sedam svetlećih dioda (LED) koje su povezane sa ostatkom kola kao na slici. U zavisnosti od vrednosti napona pali se proporcionalan broj svetlećih dioda. Kada mereni jednosmerni napon ima maksimalnu vrednost upaljene su sve diode, kada ima minimalnu vrednost sve diode su ugašene. Koristeći minimalan broj potrebnih logičkih kola konstruisati upravljačku logiku digitalnog merača napona koja kontroliše svetleće diode.

b) [10] Ako se jednosmerni napon, koji se meri A/D konvertorom na slici, nalazi u opsegu od 0V do 5V, nacrtati električnu šemu fleš konvertora sa tri izlazna bita i upisati brojne vrednosti odabranih komponentata.



Rešenje:

a)

Zavisnost upravljačkih signala za pobudu LED dioda od ulaznog binarnog signala u_1, u_2, u_3 se može predstaviti sledećom tabelom.

i	u1	u2	u3	led1	led2	led3	led4	led5	led6	led7
0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0
2	0	1	0	1	1	0	0	0	0	0
3	0	1	1	1	1	1	0	0	0	0
4	1	0	0	1	1	1	1	0	0	0
5	1	0	1	1	1	1	1	1	0	0
6	1	1	0	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Na osnovu ove tabele mogu se postupkom minimizacije odrediti prekidačke funkcije $led_i = led_i(u_1, u_2, u_3)$, $i \in \{1..7\}$ i izvršiti sinteza kombinacione mreže upravljačke logike digitalnog merača napona.

$$led_1 = u_1 + u_2 + u_3$$

$$led_2 = u_1 + u_2$$

$$led_3 = u_1 + u_2 u_3$$

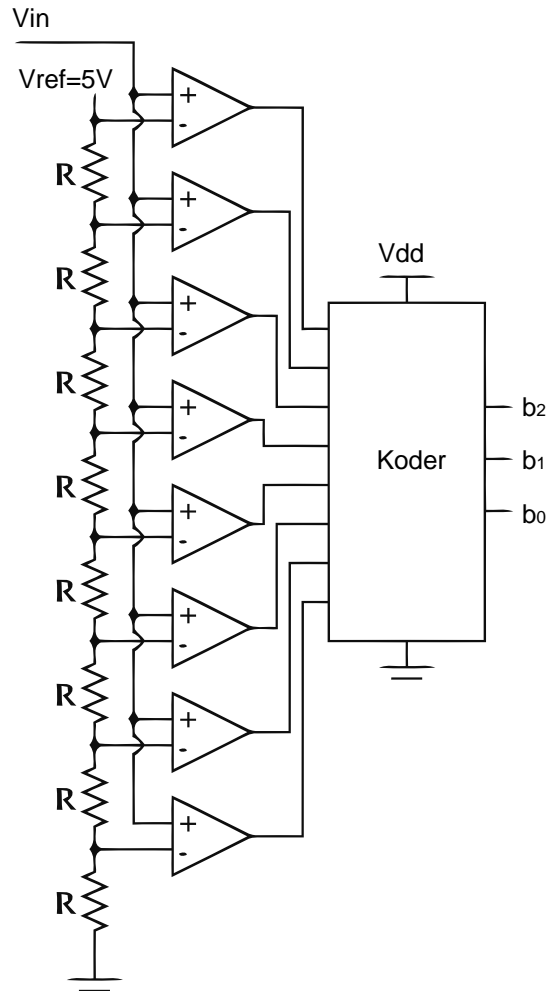
$$led_4 = u_1$$

$$led_5 = u_1 u_2 + u_1 u_3$$

$$led_6 = u_1 u_2$$

$$led_7 = u_1 u_2 u_3$$

b) Šema flash A/D konvertora je prikazana na slici



3. a) [15] Projektovati trobitni brojač unapred, koji broji u Grejovom kodu. Na raspolaganju su D flip-flopovi koji se okidaju rastućom ivicom signala takta CLK i dvoulazna NI logička kola.
- b) [10] Koristeći realizaciju iz prethodne tačke, realizovati brojačku mrežu od četiri oktade (pri čemu svaka od oktada predstavlja po jednu cifru četvorocifrenog broja u oktalnom sistemu, i pri čemu je svaka od cifara kodovana u Grejovom kodu).

Rešenje:

- a) Na bazi sekvence brojanja brojača u Grejovom kodu, može se formirati tabela prelaza brojačke mreže:

Q_2	Q_1	Q_0	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	D_2	D_1	D_0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	1
0	1	1	0	1	0	0	1	0
0	1	0	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	1	0	1	1	0	1
1	0	1	1	0	0	1	0	0
1	0	0	0	0	0	0	0	0

Pomoću Karnoovih mapa se dobija:

$Q_2 \setminus Q_1Q_0$	00	01	11	10
0	0	0	0	1
1	0	1	1	1

$$D_2 = Q_1 \overline{Q_0} + Q_2 Q_0 = \overline{\overline{Q_1} \overline{Q_0}} \cdot \overline{\overline{Q_2} \overline{Q_0}}$$

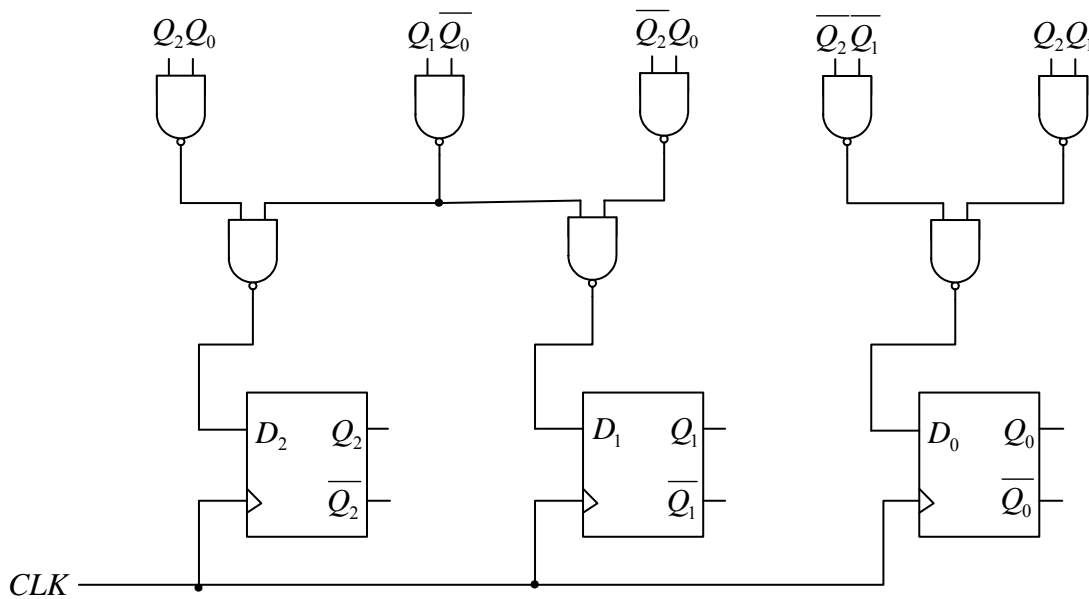
$Q_2 \setminus Q_1Q_0$	00	01	11	10
0	0	1	1	1
1	0	0	0	1

$$D_1 = Q_1 \overline{Q_0} + \overline{Q_2} Q_0 = \overline{\overline{Q_1} \overline{Q_0}} \cdot \overline{\overline{Q_2} \overline{Q_0}}$$

$Q_2 \setminus Q_1Q_0$	00	01	11	10
0	1	1	0	0
1	0	0	1	1

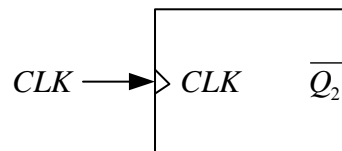
$$D_0 = \overline{Q_2} \overline{Q_1} + Q_2 Q_1 = \overline{\overline{Q_2} \overline{Q_1}} \cdot \overline{\overline{Q_2} \overline{Q_1}}$$

Na osnovu izvedenih jednačina, korišćenjem raspoloživih komponenti, dobija se:

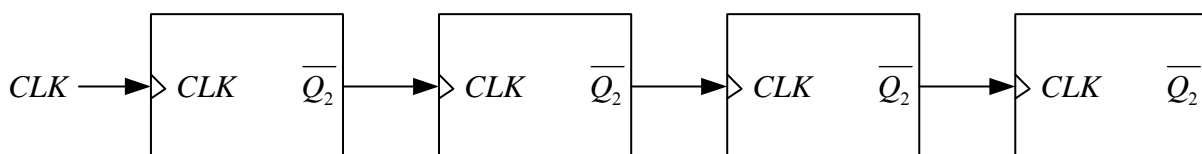


b) Da bi se realizovala tražena brojačka mreža, potrebno je uočiti da se na izlazu $\overline{Q_2}$ jedino pri prelazu iz stanja 100 (broj 7 u Grejovom kodu) u stanje 000 (broj 0 u Grejovom kodu) generiše uzlazna ivica signala. Kod oktade koja predstavlja cifru četvorocifrenog broja najmanje težine taj signal se može iskoristiti kao takt signal za prvu narednu cifru veće težine. Slično važi i za preostale cifre.

Ako se realizacija iz tačke a) predstavi sledećim blokom:



tada je tražena realizacija pod tačkom b):



KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
 Dežurni _____

4. [20] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacione mreže koja generiše kvadrat ili kub ulaznog neoznačenog trobitnog podatka i to: ako je kontrolni signal $K=0$, na izlazu treba da se generiše kvadrat (drugi stepen) ulaznog podatka, a ako je $K=1$, na izlazu treba da se generiše kub (treći stepen) ulaznog podatka. Opisana operacija se vrši samo ako je signal EN na nivou logičke jedinice, dok u suprotnom na izlazu mreže treba da budu generisane sve nule. Izlazni vektor treba da ima minimalni broj bita koji je dovoljan za ispravno predstavljanje rezultata.

Biti svih vektora su poređani od MSB ka LSB u smeru sa leva na desno.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity stepen_2_3 is
  port (D: in STD_LOGIC_VECTOR (2 downto 0);
        K,EN: in STD_LOGIC;
        Q: out STD_LOGIC_VECTOR (8 downto 0));
end stepen_2_3;

architecture behav of stepen_2_3 is
  signal TMP: STD_LOGIC_VECTOR (8 downto 0);
begin
  process (D,K,EN,TMP)
  begin
    if K='0' then
      case D is
        when "000" => TMP <= "0000000000";
        when "001" => TMP <= "0000000001";
        when "010" => TMP <= "0000000100";
        when "011" => TMP <= "0000001001";
        when "100" => TMP <= "0000010000";
        when "101" => TMP <= "0000011001";
        when "110" => TMP <= "0000100100";
        when "111" => TMP <= "0000100001";
        when others => TMP <= "0000000000";
      end case;
    elsif K='1' then
      case D is
        when "000" => TMP <= "0000000000";
        when "001" => TMP <= "0000000001";
        when "010" => TMP <= "0000001000";
        when "011" => TMP <= "0000011011";
        when "100" => TMP <= "0010000000";
        when "101" => TMP <= "0011111011";
        when "110" => TMP <= "0110110000";
        when "111" => TMP <= "1010101111";
        when others => TMP <= "0000000000";
      end case;
    end if;
    if EN='1' then Q<=TMP;
    else Q <= "0000000000";
    end if;
  end process;
end behav;
```