

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

POENI _____

Kolokvijum: 09.05.2008.

Odgovorni nastavnik i asistenti: Dragan Vasiljević, Goran Savić i Lazar Karbunar

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI KOLOKVIJUMA

1. Trajanje kolokvijuma 120 minuta.
2. Kolokvijum se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost razumevanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	Total
Max	7	7	8	8	30
Dobijeno					

1. a)[1] Profesor za predavanja koristi:

- a. laptop sa mrežnim napajanjem,
- b. projektor slike sa mrežnim napajanjem i
- c. signalni kabal kojim se videosignal prenosi sa laptopa na projektor slike.

Definisati kojim redosledom se mogu uključiti u mrežu laptop i projektor, kao i signalni kabal između njih, tako da ne dodje do električnog oštećenja signalnih portova uređaja. Odgovor dati kao redosled simbola a,b,c.

Da li smeju da se priključe mrežna napajanja laptopa i projektor na različite mrežne utičnice?

b)[6] Dat je broj 729_{10} predstavljen u decimalnom brojnom sistemu. Izraziti taj broj u binarnom, oktalnom i heksadecimalnom brojnom sistemu.

Rešenje:

a) c,x,x ! Ne!

b) Konverzija broja iz decimalnog brojnog sistema, u zapis u binarnom brojnom sistemu se vrši u dva koraka, i to zasebno za celobrojni deo broja, a zasebno za razlomljeni deo broja.

Pri konverziji celobrojnog dela zadatog broja, vrši se najpre njegovo deljenje sa 2 pri čemu se beleži ostatak tog deljenja. Zatim se celobrojni količnik prethodnog deljenja deli sa 2, i opet se beleži ostatak deljenja. Ovaj postupak se ponavlja sve dok celobrojni količnik deljenja ne bude 0. Dobijeni ostaci redom predstavljaju cifre celobrojnog dela binarnog zapisa počev od *LSD* ka *MSD*.

$$729_{10} = 1011011001_2$$

$$729/2 = 364 \text{ ostatak } 1_{10}=1_2 \text{ (LSD-Cifra najmanje težine)}$$

$$364/2 = 182 \text{ ostatak } 0_{10}=0_2$$

$$182/2 = 91 \text{ ostatak } 0_{10}=0_2$$

$$91/2 = 45 \text{ ostatak } 1_{10}=1_2$$

$$45/2 = 22 \text{ ostatak } 1_{10}=1_2$$

$$22/2 = 11 \text{ ostatak } 0_{10}=0_2$$

$$11/2 = 5 \text{ ostatak } 1_{10}=1_2$$

$$5/2 = 2 \text{ ostatak } 1_{10}=1_2$$

$$2/2 = 1 \text{ ostatak } 0_{10}=0_2$$

$$1/2 = 0 \text{ ostatak } 1_{10}=1_2 \text{ (MSD- Cifra najveće težine)}$$

Pri konverziji razlomljenog dela zadatog broja, vrši se najpre njegovo množenje sa 2 pri čemu se beleže celobrojni rezultat i razlomljeni ostatak tog množenja. Zatim se razlomljeni ostatak prethodnog množenja množi sa 2, i opet se beleže celobrojni rezultat i razlomljeni ostatak. Ovaj postupak se ponavlja sve dok razlomljeni ostatak množenja ne bude 0. Dobijeni celobrojni rezultati redom predstavljaju cifre razlomljenog dela binarnog zapisa počev od *MSD* ka *LSD*.

$$0.125_{10} = 0.001_2$$

$$0.125 \times 2 = 0_{10}=0_2 \text{ (MSD) ostatak } 0.25$$

$$0.25 \times 2 = 0_{10}=0_2 \text{ ostatak } 0.5$$

$$0.5 \times 2 = 1_{10}=1_2 \text{ (LSD) ostatak } 0$$

Dakle, konačno je: $729.125_{10} = 1011011001.001_2$

Konverziju datog broja u oktalni brojni sistem je mnogo lakše izvršiti polazeći od zapisa u binarnom sistemu koji smo izveli nego od polaznog zapisa u decimalnom brojnom sistemu, tako da je zgodno koristiti taj pristup.

Imajući u vidu da se svaka oktalna cifra može predstaviti sa tačno tri bita u binarnom zapisu, dobija se:

$$729.125_{10} = 1011011001.001_2 = 1331.1_8$$

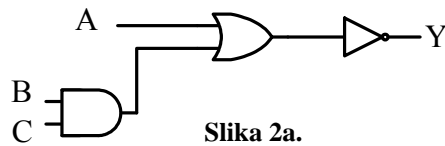
Takođe i konverziju datog broja u heksadecimalni brojni sistem je mnogo lakše izvršiti polazeći od zapisa u binarnom sistemu koji smo izveli nego od polaznog zapisa u decimalnom brojnom sistemu, tako da je zgodno koristiti taj pristup.

Imajući u vidu da se svaka heksadecimalna cifra može predstaviti sa tačno četiri bita u binarnom zapisu, dobija se:

$$729.125_{10} = 1011011001.001_2 = 2D9.2_{16}$$

2. a)[5] Nacrtati prenosnu karakteristiku CMOS invertora i na njoj obeležiti i definisati marginu logičke nule na ulazu i marginu logičke jedinice na ulazu.

b)[2] Koristeći P-kanalne i N-kanalne tranzistore, nacrtati električnu šemu CMOS kola koje ima funkcionalnost kao kolo sa slike 2a. Prilikom projektovanja traženog kola potrebno je koristiti minimalan broj NMOS i PMOS tranzistora.



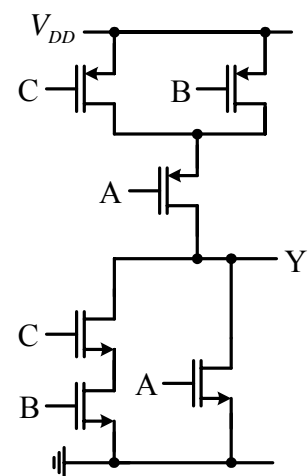
Slika 2a.

Rešenje:

a) Pred.2, str.6.

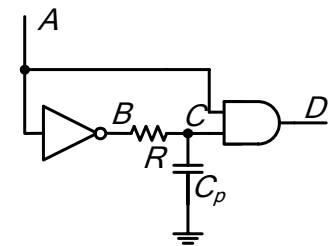
b) Kod CMOS logičkih kola, NILI funkcija se ostvaruje paralelnom vezom NMOS tranzistora i rednom vezom PMOS tranzistora, dok se NI funkcija ostvaruje rednom vezom NMOS tranzistora i paralelnom vezom PMOS tranzistora.

Funkcija koju treba realizovati je $Y = \overline{A + BC}$. Statičko CMOS kolo koje realizuje ovu funkciju prikazano je na slici 2b.



Slika 2b.

3. a)[6] Nacrtati jedan ispod drugog vremenski oblik signala u tačkama A, B, C i D kola sa slike 3a. Signal u tački A je dugo vremena bio logička nula, potom je bio logička jedinica tokom $T_U = 100\text{ns}$, da bi se zatim ponovo vratio na logičku nulu. Koliko je trajanje impulsa u tački D? Napajanje logičkih kola je $V_{DD} = 5\text{V}$, $R = 200\Omega$, $C_p = 100\text{pF}$. Upotrebljena logička kola su CMOS tipa i imaju prag odlučivanja jednak polovini napona napajanja i transportno kašnjenje ravno nuli.



Slika 3a.

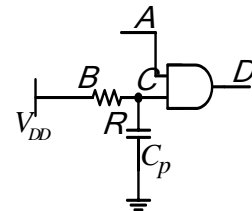
b)[2] Skicirati jedan ispod drugog vremenski oblik signala u tačkama A, B, C i D kola sa slike 3a ako je transportno kašnjenje CMOS logičkih kola $t_{pd} = 15\text{ns}$. Svi ostali uslovi definisani u tački a) ostaju isti..

Rešenje:

Kako je signal u tački A dugo vremena bio stabilan, u kolu je uspostavljeno stabilno stanje, sa sledećim vrednostima napona: $V_A = 0\text{V}$, $V_B = V_{DD}$, $V_C = V_{DD}$ i $V_D = 0\text{V}$.

Kada se signal u tački A promeni sa logičke nule na logičku jedinicu, tačka B neće (zbog kašnjenja logičkog kola) odmah promeniti vrednost, već tek nakon isteka t_{pd} . Sa druge strane, kako je tačka C na nivou logičke jedinice, a i tačka A je upravo postala logička jedinica, na izlazu I kola se pojavljuje logička jedinica, ali tek nakon kašnjenja kroz I kolo $D = A \cdot C = 1$, $V_D = V_{DD}$. U kolu neće biti nikakve druge promene dok ne se ne promeni signal na izlazu invertora – vreme t_{pd} nakon promene ulaza. U tom trenutku signal u tački B postaje logička nula: $V_B = 0\text{V}$.

Ekvivalentna šema prikazana je na slici 3b. Parametri koji opisuju napon u tački C su: $V_C(0^+) = V_{DD}$, $V_C(\infty) = 0$ i $\tau = RC_p$.



Vidimo da napon tačke C opada. Moguća su dva scenarija:

1. Napon tačke C će pasti ispod praga odlučivanja logičkog kola pre nego što ulazni napon promeni vrednost, u kom slučaju će se u tački D javiti logička nula iako je na ulazu još uvek logička jedinica (impuls u tački D je kraći od impulsa u tački A)

2. Napon tačke C neće pasti ispod praga odlučivanja logičkog kola za vreme dok je ulazni napon logička jedinica, tako da će u tački D biti logička jedinica za sve vreme dok je na ulazu logička jedinica (impuls u tački D traje isto koliko i impuls u tački A)

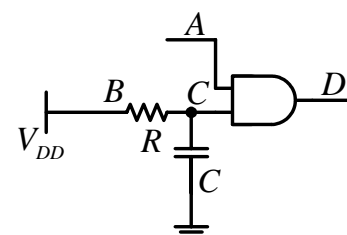
Proverićemo vrednost napona u tački C u trenutku promene ulaznog napona:

$$V_C(t) = V_{DD} e^{-t/\tau}, \quad T_U - t_{pd} = 85\text{ns},$$

$$V_C(T_U - t_d) = V_{DD} e^{-\frac{T_U - t_{pd}}{RC}} = 0.01V_{DD} \approx 0\text{V}.$$

Očigledno napon tačke C pada ispod vrednosti praga odlučivanja logičkog kola pre nego što ulazni napon promeni vrednost, to jest dolazi do skraćivanja impulsa. Napon tačke C pada na vrednost praga nakon isteka vremena $T_1 = RC \ln 2 = 14\text{ns}$.

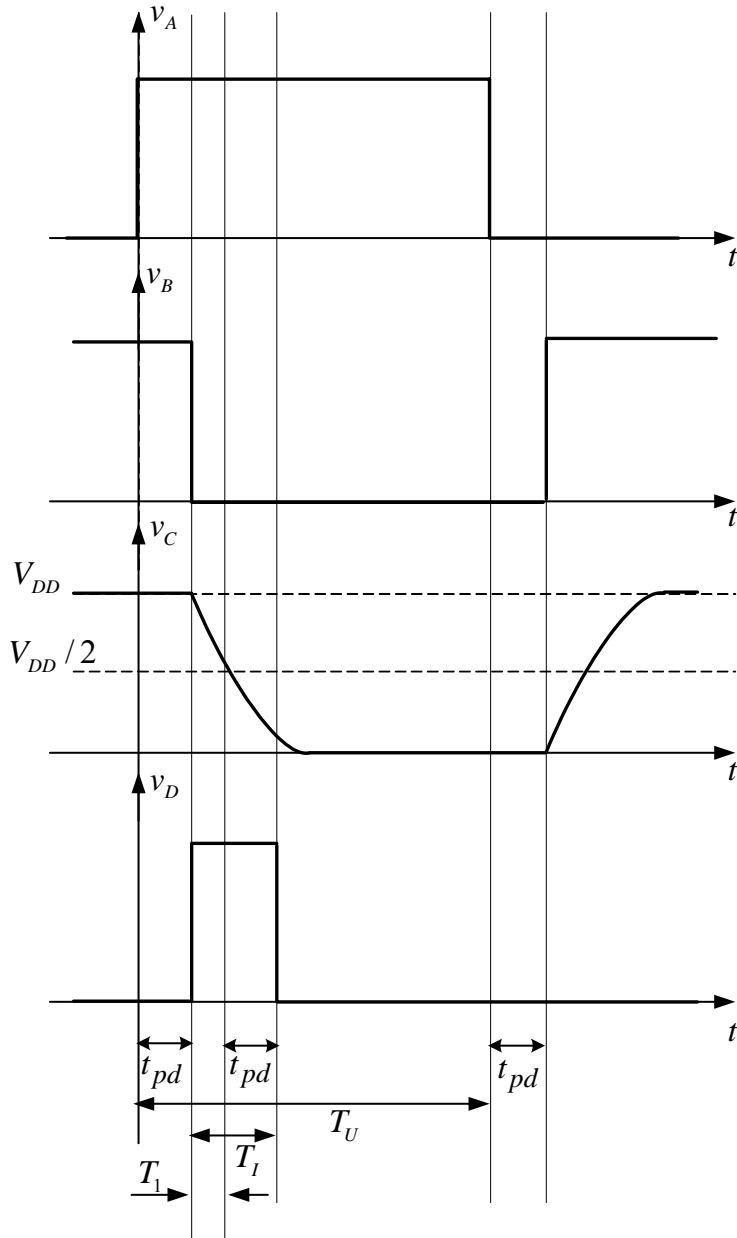
Nakon isteka dodatnog vremena t_d signal u tački D ponovo postaje logička nula: $D = A \cdot C = 0$, $V_D = 0\text{V}$. Nakon povratka signala u tački A na nivo logičke nule u kolu ponovo nema nikakve



Slika 3c.

promene dok se ne promeni signal u tački B (izlaz invertora). To se dešava nakon isteka vremena t_{pd} , kada ekvivalentna šema izgleda kao na slici 3c.

Parametri koji opisuju napon u tački C su: $V_C(0^+) = 0V$, $V_C(\infty) = V_{DD}$ i $\tau = RC_p$. Kako se signal na ulazu više ne menja, ovim je analiza završena. Traženi vremenski oblici napona prikazani su na slici 3d, pri čemu je trajanje impulsa u tački D $T_I = T_1 + t_d = 29ns$.



Slika 3d.

4. a)[3] Definisati PROM, PLA, PAL kao tri vrste PLD kombinacione mreže sa dekodersko-koderskom strukturom.

b)[5] Isprojektovati i nacrtati kombinacionu mrežu koja detektuje da li se u četvorobitnom binarnom broju koji se dovodi na ulaz mreže, nalaze bar tri jedinice. Ako je odgovor da, na izlazu mreže treba da se generiše signal na nivou logičke jedinice, a ukoliko je odgovor ne, na izlazu mreže treba da se generiše signal na nivou logičke nule. Na raspolaganju su isključivo NI logička kola.

Rešenje:

a) Pred.5., str.6.-8.

b) Kombinaciona tabela za traženu kombinacionu mrežu je prikazana na sledećoj slici:

A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Formiranjem Karnoove mape, i izborom što manjeg broja kubova što je moguće većih dimenzija kojima se obuhvataju jedinice u mapi, dobija se minimizovana suma logičkih proizvoda. Da bismo kombinacionu mrežu realizovali isključivo pomoću NI logičkih kola, dobijenu sumu proizvoda je neophodno transformisati primenom teorema Bulove algebre.

$A_3A_2 \setminus A_1A_0$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	1	1
10	0	0	1	0

$$Y = A_2A_1A_0 + A_3A_1A_0 + A_3A_2A_0 + A_3A_2A_1$$

$$Y = \overline{A_2A_1A_0} + \overline{A_3A_1A_0} + \overline{A_3A_2A_0} + \overline{A_3A_2A_1}$$

$$Y = \overline{A_2A_1A_0} \cdot \overline{A_3A_1A_0} \cdot \overline{A_3A_2A_0} \cdot \overline{A_3A_2A_1}$$

Tražena realizacija je prikazana na sledećoj slici:

