

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 25.01.2008.

Odgovorni nastavnik i asistent: Dragan Vasiljević i Goran Savić

DEŽURNI:

KANDIDAT:

Sala _____
Vreme početka _____
Vreme završetka _____
Potpis _____

Ime _____
Prezime _____
Broj indeksa _____
Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	Total
Max	15	10	10	15	20	15	15	100
Dobijeno								

1. a.[5] Definisati digitalni signal i pozitivnu logiku.

b.[5] Nacrtati zavisnost struje kroz priključak za napajanje CMOS invertora u funkciji vremena kada se napon na ulazu invertora menja sa L0 na L1.

c.[5] Definisati statičku i dinamičku potrošnju u invertoru i izvesti formulu za snagu disipacije kod dinamičke potrošnje kada se inverter pobuđuje povorkom pravougaonih impulsa periode T, pri kapacitivnom opterećenju izlaza C i naponu napajanja Vcc.

Rešenje:

Pred.2.str.1(a)., 8.(b), 11.(c) .

2. a.[5] Nacrtati realizaciju ivičnog D flipflopa pomoću dva D leča i potrebnih invertora. Napisati funkcionalnu tabelu ivičnog flipflopa.

b.[5] Nacrtati trobitni redni (ripple) brojač sa T flipflopovima i napisati njegovu funkcionalnu tabelu.

Rešenje:

Pred.6.str.5 (a), str.10. (b).

- 3. a.**[5] Nacrtati blok-šemu D/A konvertora, obeležiti priključke i opisati princip konverzije.
b.[5] Nacrtati blok-šemu D/A konvertora sa impulsno širinskom modulacijom, obeležiti priključke i opisati princip konverzije.

Rešenje:

Pred.8.str.1 (a), str.5. (b).

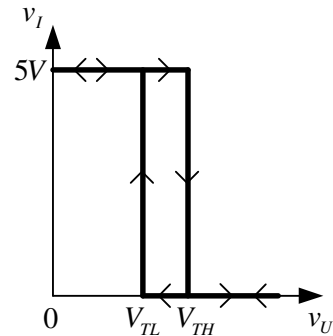
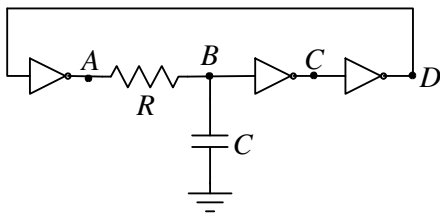
- 4. a.**[10] Nacrtati blok-šemu A/D konvertora, obeležiti priključke i opisati princip konverzije.
b.[5] Nacrtati blok-šemu fleš A/D konvertora (odmerak po odmerak), obeležiti priključke i opisati princip konverzije.

Rešenje:

Pred.9.str.1 (a), str.3. (b).

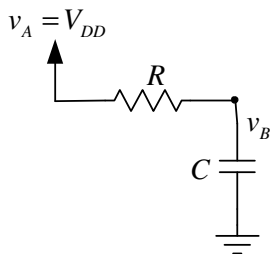
KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

5. [20] Za kolo astabilnog multivibratora sa slike izračunati i nacrtati vremenske dijagrame napona u tačkama A, B, C i D u ustaljenom režimu i izračunati frekvenciju oscilovanja. Invertori su realizovani u CMOS tehnologiji sa naponom napajanja $V_{DD} = 5\text{ V}$, a njihova prenosna karakteristika je prikazana na slici, pri čemu su vrednosti pragova napona $V_{TL} = 2\text{ V}$ i $V_{TH} = 3\text{ V}$. Smatrati da je otpornost kojom se tranzistori u invertorima mogu ekvivalentirati kada su uključeni $r_{ds} \rightarrow 0$, a kada su isključeni $r_{ds} \rightarrow \infty$. Kašnjenje kroz invertore je $t_d \rightarrow 0$. Poznato je i da je $R = 100\ \Omega$ i $C = 100\text{ nF}$.

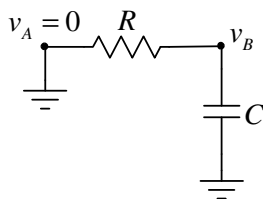


Rešenje:

U ustaljenom režimu, napon v_A može biti ili na nivou logičke jedinice ili na nivou logičke nule. Uzmimo, na primer, da je $v_A = V_{DD}$ (tj. na nivou logičke jedinice). To znači da se u tom slučaju dato kolo može predstaviti sledećom ekvivalentnom šemom:



U ovoj situaciji napon u tački B će eksponencijalno da raste sa vremenskom konstantom $\tau_1 = CR = 10\ \mu\text{s}$, što znači da postoji tendencija da napon v_B dostigne gornji prag invertora V_{TH} što će prouzrokovati promenu logičkih nivoa na izlazima invertora (sukcesivno v_C , v_D i v_A), nakon čega će u kolu da nastane nova situacija: $v_C = 0$, $v_D = V_{DD}$ i $v_A = 0$, a samo kolo će moći da se predstavi sledećom ekvivalentnom šemom:



U ovoj situaciji napon u tački B će eksponencijalno da opada sa vremenskom konstantom $\tau_2 = CR = 10\mu s$, što znači da će postojati tendencija da napon v_B opadne do donjeg praga invertora V_{TL} što će prouzrokovati promenu logičkih nivoa na izlazima invertora (sukcesivno v_C , v_D i v_A), nakon čega će se u kolu uspostaviti stanje kakvo je i bilo na početku analize sprovedene u ovom zadatku: $v_B < V_{TH}$, $v_C = V_{DD}$, $v_D = 0$ i $v_A = V_{DD}$.

Dalje se kolo ponaša periodično na već opisani način.

Zbog jednostavnijeg opisa kola jednačinama, može se usvojiti da je $t = 0$ u ustaljenom režimu u momentu kada je napon v_B opao do vrednosti V_{TL} . Jednačine koje opisuju kolo za $t > 0$ su:

$$v_C = V_{DD}, v_D = 0 \text{ i } v_A = V_{DD}$$

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_B(\infty) = V_{DD}; \quad v_B(0^+) = v_B(0^-) = V_{TL}, \quad \tau_1 = CR = 10\mu s$$

iz čega sledi:

$$v_B(t) = V_{DD} - (V_{DD} - V_{TL})e^{-\frac{t}{10\mu s}}; \quad 0 \leq t \leq T_1$$

Nakon što napon v_B poraste do vrednosti V_{TH} (u trenutku $t = T_1$), dolazi do promene logičkih nivoa na izlazima invertora:

$$v_C = 0, v_D = V_{DD} \text{ i } v_A = 0$$

dok za napon v_B važi:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau_2}}$$

$$V_B(\infty) = 0; \quad v_B(T_1^+) = v_B(T_1^-) = V_{TH}; \quad \tau_2 = CR = 10\mu s$$

iz čega sledi:

$$v_B(t) = V_{TH} \cdot e^{-\frac{t-T_1}{10\mu s}}; \quad T_1 \leq t \leq T_2$$

Vremena T_1 i T_2 određujemo iz uslova:

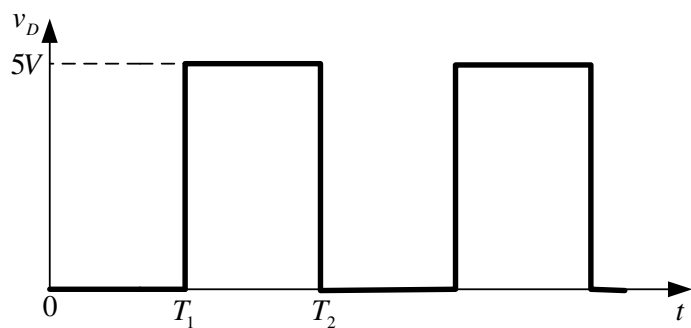
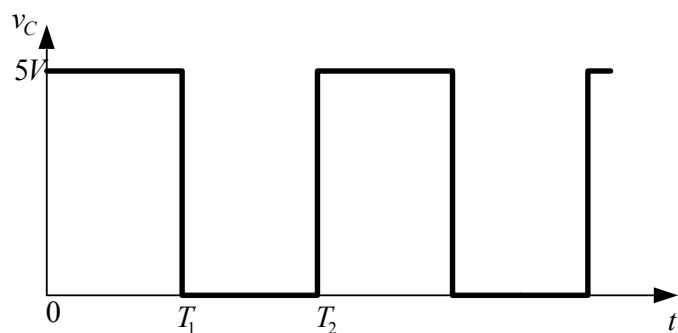
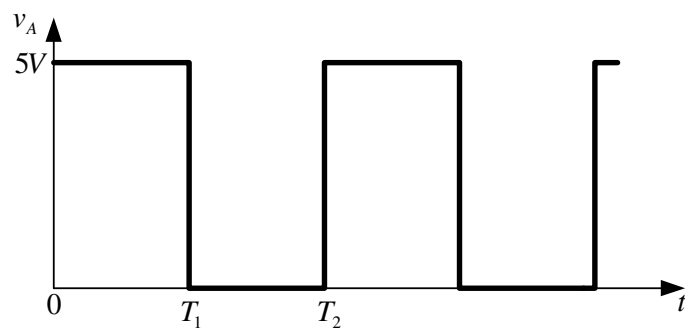
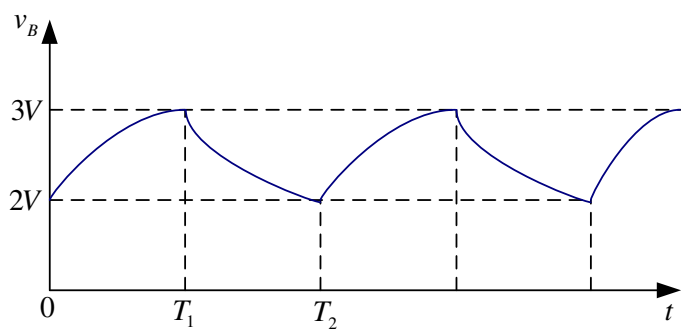
$$v_B(T_1) = V_{TH} \Rightarrow V_{TH} = V_{DD} - (V_{DD} - V_{TL})e^{-\frac{T_1}{10\mu s}} \Rightarrow T_1 = 10\mu s \cdot \ln \frac{V_{DD} - V_{TL}}{V_{DD} - V_{TH}} = 4,05\mu s$$

$$v_B(T_2) = V_{TL} \Rightarrow V_{TL} = V_{TH} \cdot e^{-\frac{T_2-T_1}{10\mu s}} \Rightarrow T_2 = T_1 + 10\mu s \cdot \ln \frac{V_{TH}}{V_{TL}} = 8,1\mu s$$

Frekvencija oscilovanja je:

$$f = \frac{1}{T_2} = 123,46 \text{ kHz}$$

Traženi vremenski oblici napona u ustaljenom režimu su predstavljeni na sledeća 4 dijagrama:



6. Kombinatorna mreža poredi dva dvobitna neoznačena binarna broja A_1A_0 i B_1B_0 koja se dovode na ulaz mreže. Izlazi iz mreže su signali GT , LT i EQ . Signal GT treba da bude na nivou logičke jedinice ako je $A_1A_0 > B_1B_0$, a u svakom drugom slučaju na nivou logičke nule. Signal LT treba da bude na nivou logičke jedinice ako je $A_1A_0 < B_1B_0$, a u svakom drugom slučaju na nivou logičke nule. Signal EQ treba da bude na nivou logičke jedinice ukoliko je $A_1A_0 = B_1B_0$, a u svakom drugom slučaju na nivou logičke nule.

a) [10] Projektovati i realizovati opisanu kombinatornu mrežu ako su na raspolaganju I, ILI, NI, NILI logička kola i invertori.

b) [5] Projektovati i realizovati opisanu kombinatornu mrežu ako je na raspolaganju jedan inverter i potreban broj multipleksera MX8/1.

Rešenje:

a) Najpre je potrebno formirati kombinatornu tabelu u kojoj će svakoj kombinaciji ulaznih signala biti pridruženi odgovarajući izlazni signali u skladu sa uslovima zadatka. Kombinatorna tabela ima sledeći izgled:

A_1	A_0	B_1	B_0	GT	LT	EQ
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

Jednačine koje opisuju izlazne signale se formiraju uz pomoć Karnoovih mapa izvedenih iz kombinatorne tabele:

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

$$GT = A_1\overline{B_1} + A_0\overline{B_1}\overline{B_0} + A_1A_0\overline{B_0}$$

$A_1A_0 \setminus B_1B_0$	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

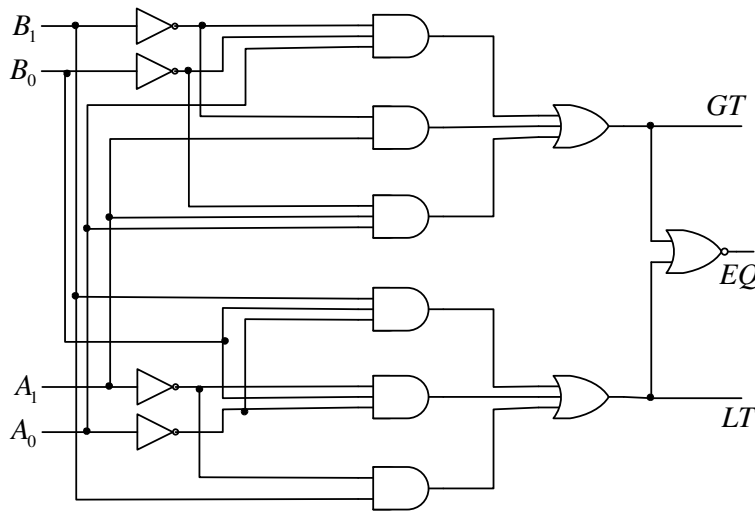
$$LT = \overline{A_1}B_1 + \overline{A_1}\overline{A_0}B_0 + \overline{A_0}B_1B_0$$

Treći izlazni signal EQ se može odrediti na sličan način kao i prethodna dva, preko Karnoovih karata, međutim do rešenja je moguće doći i na brži i jednostavniji način. Naime, dva ulazna binarna broja su međusobno jednaka ako i samo ako A_1A_0 nije veći od B_1B_0 i istovremeno B_1B_0 nije veći od A_1A_0 , tj. ako i samo ako su oba izlazna signala gt i lt na niskom logičkom nivou. Iz toga sledi da je:

$$EQ = \overline{GT + LT}$$

tako da se signal EQ može izgenerisati uz pomoć samo jednog dodatnog logičkog NILI kola.

Konačan izgled tražene kombinacione mreže je prikazan na sledećoj slici:

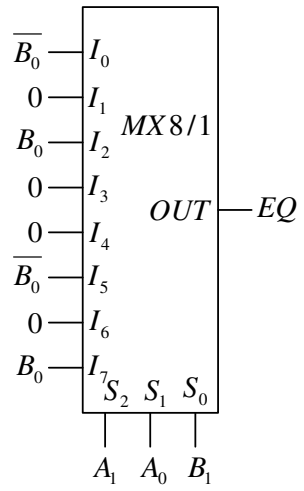
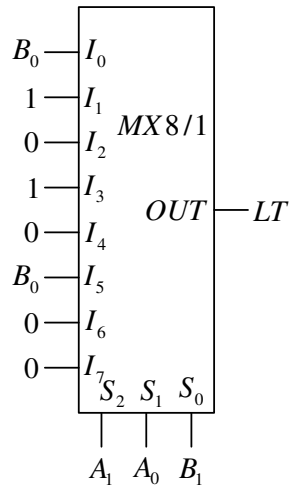
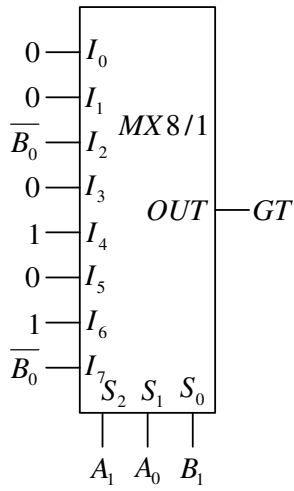
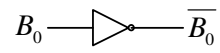


b) Ukoliko se ulazni signali kombinacione mreže A_1 , A_0 i B_1 dovedu na selekzione ulaze multipleksera MX8/1, iz kombinacione tabele formirane pod tačkom **a)** se može zaključiti koje signale je potrebno dovesti na svaki od informacionih ulaza multipleksera MX8/1, tako da na izlazu multipleksera bude generisana potrebna vrednost signala GT za svaku kombinaciju vrednosti logičkih nivoa na selekcionim ulazima.

Npr. ukoliko je $A_1A_0B_1 = 000$ iz kombinacione tabele se vidi da je $GT = 0$ bez obzira na vrednost signala B_0 , pa se stoga na informacioni ulaz multipleksera (koji se koristi za generisanje signala GT) I_0 dovodi logička 0. Zatim, ukoliko je $A_1A_0B_1 = 001$ iz kombinacione tabele se vidi da je $GT = 0$ bez obzira na vrednost signala B_0 , pa se stoga na informacioni ulaz multipleksera I_1 dovodi takođe logička 0. Zatim, ukoliko je $A_1A_0B_1 = 010$ iz kombinacione tabele se vidi da je $GT = \overline{B_0}$, pa se stoga na informacioni ulaz multipleksera I_2 dovodi signal $\overline{B_0}$, itd.

Na sličan način se formiraju i signali LT i EQ .

Kompletna realizacija je prikazana na sledećoj slici:

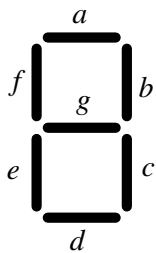


7. [15] Koristeći se metodom dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model kombinacionog kola za pobudu sedmosegmentnog displeja (prikazanog na slici). Na ulaz kola se dovode četvorobitni vektor D koji predstavlja neoznačeni četvorobitni binarni broj i signal OE (*Output Enable*). Izlaz kola je sedmobitni vektor Q koji pobuđuje segmente displeja.

Traženu funkciju kolo treba da obavlja na sledeći način: kada je ulazni signal OE na nivou logičke nule, nezavisno od vrednosti ulaznog vektora D, svi segmenti displeja treba da budu ugašeni. Kada je ulazni signal OE na nivou logičke jedinice, na displeju treba da budu upaljeni odgovarajući segmenti tako da bude ispisan jednocifreni decimalni broj koji predstavlja vrednost ulaznog vektora D ukoliko je ta vrednost iz opsega od 0 do 9, dok u protivnom (ukoliko je vrednost vektora D iz opsega od 10 do 15) na displeju treba da bude ispisano slovo „E”. Biti izlaznog vektora Q, počev od bita najveće težine ka bitu najmanje težine pobuđuju segmente displeja: *a*, *b*, *c*, *d*, *e*, *f*, *g*, respektivno. Displej je sa zajedničkom anodom, što znači da je odgovarajući segment upaljen ukoliko je pobuđen logičkom nulom, a u slučaju pobude logičkom jedinicom je ugašen.

U VHDL modelu, svi vektori treba da imaju bite u smeru MSB>LSB.

Napomena: Ocenjuje se precizna upotreba sintakse.



Rešenje:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity seven_seg is
    port (D: in STD_LOGIC_VECTOR (3 downto 0);
          OE: in STD_LOGIC;
          Q: out STD_LOGIC_VECTOR (6 downto 0));
end seven_seg;

architecture seven_seg_arch of seven_seg is
    signal TMP: STD_LOGIC_VECTOR (6 downto 0);
begin
    process (D,OE,TMP)
    begin
        case D is
            when "0000" => TMP <="0000001";
            when "0001" => TMP <="1001111";
            when "0010" => TMP <="0010010";
            when "0011" => TMP <="0000110";
            when "0100" => TMP <="1001100";
            when "0101" => TMP <="0100100";
            when "0110" => TMP <="0100000";
            when "0111" => TMP <="0001111";
            when "1000" => TMP <="0000000";
            when "1001" => TMP <="0000100";
            when "1010" => TMP <="0110000";
            when "1011" => TMP <="0110000";
            when "1100" => TMP <="0110000";
            when "1101" => TMP <="0110000";
            when "1110" => TMP <="0110000";
            when "1111" => TMP <="0110000";
            when others => TMP <="0110000";
        end case;
    end process;
end seven_seg_arch;
```

```
if OE='1' then Q<=TMP;  
else Q<="1111111";  
end if;  
end process;  
end seven_seg_arch;
```