

Predmet: OSNOVI DIGITALNE ELEKTRONIKE

OCENA _____

Ispit: 21.02.2008.

Odgovorni nastavnik i asistent: Dragan Vasiljević i Goran Savić

DEŽURNI:

KANDIDAT:

Sala _____
 Vreme početka _____
 Vreme završetka _____
 Potpis _____

Ime _____
 Prezime _____
 Broj indeksa _____
 Potpis _____

USLOVI ISPITA

1. Trajanje ispita 240 minuta.
2. Ispit se polaže na formularu.
3. Dozvoljeni su kalkulator i hemijska olovka.
4. Ocenjuju se rad kandidata i sposobnost rezonovanja.
5. Traži se koncizan, jasan, čitak odgovor napisan u predviđenom prostoru (linija, boks, crtež).

OCENJIVANJE

R.Br.	1	2	3	4	5	6	7	8	Total
Max	15	15	10	10	15	10	10	15	100
Dobijeno									

1.

- a. [5] Nacrtati blok-šemu ROM memorije kapaciteta 256 reči od 1 bita. Memorijski elemenat je mos tranzistor, a adresiranje je dvodimenzionalno.
- b. [10] Upotrebiti memorijsku komponentu definisanu pod tačkom a. u potrebnom broju primeraka i nacrtati realizaciju ROM memorije kapaciteta 256 reči od 8 bita. Naznačiti veze između svih priključaka.

Rešenje:

[Pred.7., str.2. i 3.](#)

2.

- a. [5] Nacrtati blok-šemu A/D konvertora sa dvojnim nagibom.
- b. [4] Nacrtati vremenske dijagrame koji ilustruju rad kola iz tačke a.
- c. [4] Izvesti relaciju izmedju analognog napona i digitalnog sadržaja za kolo iz tačke a.
- d. [2] Od čega zavisi tačnost konverzije za kolo iz tačke a?

Rešenje:

Pred.9, str.7. i 8.

3.

Prema koncepciji realizacije integrisanih kola (IC), razlikuju se standardna IC i kastomizovana IC kola koja se označavaju i kao ASIC.

- a. [5] Definisati full-custom ASIC IC i navesti osnovne osobine.
- b. [5] Definisati semi-custom ASIC IC i navesti njihove osobine.

Rešenje:

Pred.10., str.2. i 3.

4.

- a. [5] Definisati podelu semi-custom ASIC IC na CELL BASED ASIC i na GATE ARRAY based ASIC.
- b. [5] Definisati arhitekturu FPGA; označiti funkcije konekcija.

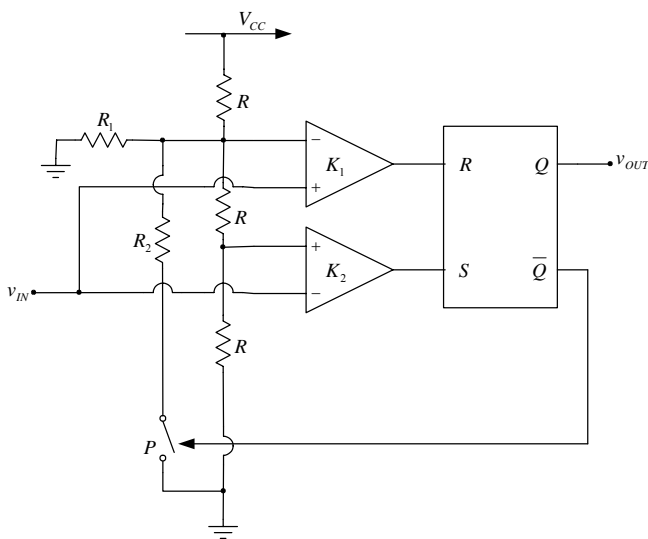
Rešenje:

Pred.10., str. 4. i 5.

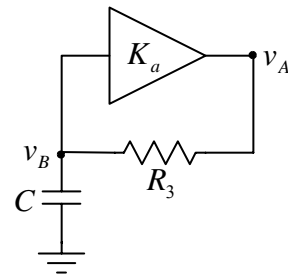
KANDIDAT: Ime _____ Prezime _____ Broj indeksa _____
Dežurni _____

5. a) [7] U kolu sa slike 5a diferencijalni komparatori i logička kola CMOS tipa koja sačinjavaju SR leč se napajaju sa $V_{CC} = 12\text{ V}$. Ulazna otpornost komparatora teži beskonačnosti. Naponski kontrolisani prekidač P je zatvoren ako je $\bar{Q} = 1$ i tada se može ekvivalentirati otpornošću $R_{ON} \rightarrow 0$, a otvoren je ako je $\bar{Q} = 0$ i tada se može ekvivalentirati otpornošću $R_{OFF} \rightarrow \infty$. Poznate su otpornosti otpornika: $R = 3\text{ k}\Omega$, $R_1 = 14\text{ k}\Omega$ i $R_2 = 10,5\text{ k}\Omega$. Odrediti i nacrtati karakteristiku $v_{out} = F(v_{in})$. Koju funkciju obavlja dato kolo?

b) [8] Ako se kolo iz tačke a) poveže u konfiguraciju kao na slici 5b, odrediti i nacrtati vremenske oblike napona v_A i v_B kada se kolo nalazi u ustaljenom režimu (dovoljno dugo nakon uključenja napajanja). Poznato je $R_3 = 1\text{ k}\Omega$ i $C = 100\text{ nF}$.



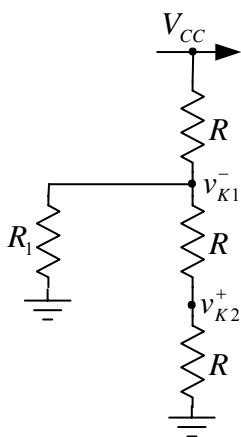
Slika 5a



Slika 5b

Rešenje:

a) Analiza kola se može početi od situacije kada je $v_{IN} = 0\text{ V}$. Tada su logički signali na izlazima komparatora (tj. na ulazima leča) $S=1$ i $R=0$, što znači da je $v_{OUT} = 12\text{ V}$, logički nivo na izlazu $\bar{Q} = 0$, što ima za posledicu da je prekidač P otvoren, tako da se kolo može predstaviti sledećom ekvivalentnom šemom:

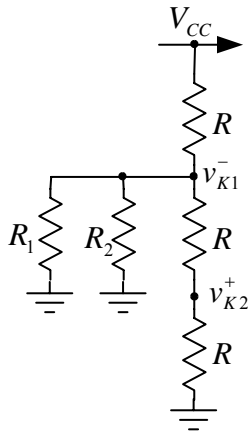


Pri tome je:

$$v_{K1}^- = \frac{2R_1}{3R_1 + 2R} \cdot V_{CC} = 7\text{ V}$$

$$v_{K2}^+ = \frac{R_1}{3R_1 + 2R} \cdot V_{CC} = 3,5\text{ V}$$

Ako se povećava ulazni napon, u nekom momentu će dostići vrednost od 3,5V i tada će postati $S=0$, ali ta promena neće uticati na promenu izlaznih signala SR leča. Tek kada ulazni napon dostigne vrednost od 7V, postaće $R=1$ što će dovesti do promene logičkih nivoa na izlazima leča, tj. postaće $v_{OUT} = 0\text{ V}$ i $\overline{Q} = 1$, što će za posledicu imati zatvaranje prekidača P. Daljim povećavanjem ulaznog napona, neće dolaziti do promene logičkih nivoa u kolu, niti promene vrednosti izlaznog napona. U toj situaciji kolo se može predstaviti sledećom ekvivalentnom šemom:



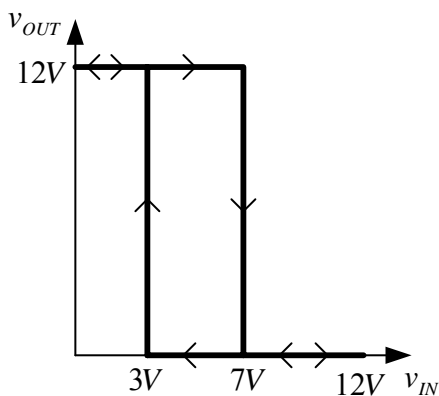
Pri tome je:

$$v_{K1}^- = \frac{2(R_1 \parallel R_2)}{3(R_1 \parallel R_2) + 2R} \cdot V_{CC} = 6\text{ V}$$

$$v_{K2}^+ = \frac{R_1 \parallel R_2}{3(R_1 \parallel R_2) + 2R} \cdot V_{CC} = 3\text{ V}$$

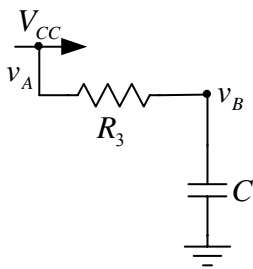
Ukoliko zatim, počev od vrednosti $v_{IN} = 12\text{ V}$, počne da se smanjuje ulazni napon, prva promena koja će nastupiti u kolu je promena logičkog nivoa na izlazu komparatora K_1 na $R=0$. Ova promena ne menja logičke nivoe na izlazu leča. Daljim smanjivanjem ulaznog napona, on u jednom momentu opada do vrednosti od 3V, i tada postaje $S=1$, $\overline{Q} = 0$ i $v_{OUT} = 12\text{ V}$. Daljim smanjivanjem vrednosti ulaznog napona, neće dolaziti do promene logičkih nivoa u kolu, niti promene vrednosti izlaznog napona.

Dakle, tražena zavisnost $v_{OUT}(v_{IN})$ grafički predstavljena ima sledeći izgled:

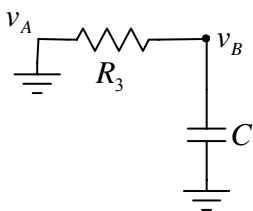


Kolo obavlja funkciju Šmitovog regenerativnog komparatora.

b) S obzirom da u ustaljenom režimu izlaz kola K_a može biti ili na nivou logičke jedinice ili na nivou logičke nule, analiza kola se može započeti polazeći od jedne od te dve vrednosti. Neka je npr. u trenutku $t = 0$ (koji je nastupio dovoljno dugo vremena nakon uključenja napajanja) $v_A = 12\text{ V}$. Tada se dato kolo može predstaviti sledećom ekvivalentnom šemom:



Napon v_B će eksponencijalno da raste sa vremenskom konstantom $\tau_1 = CR_3 = 100\mu s$, što znači da postoji tendencija da napon dostigne gornji prag Šmitovog komparatora (7V), što će, kad se desi, prouzrokovati promenu logičkog nivoa na izlazu komparatora (tj. postaće $v_A = 0V$), nakon čega će kolo moći da se predstavi sledećom ekvivalentnom šemom:



Sada će napon v_B eksponencijalno da opada sa vremenskom konstantom $\tau_2 = CR_3 = 100\mu s$, što znači da će postojati tendencija da napon v_B opadne do donjeg praga Šmitovog komparatora (3V), što će, kad se desi, prouzrokovati promenu logičkog nivoa na izlazu komparatora (tj. postaće $v_A = 12V$), nakon čega će se kolo naći u istom stanju kao i na početku analize u tački b). Dalje će se ovaj proces periodično ponavljati.

Jednačine koje opisuju kolo u situaciji kada je $v_A = 12V$ (počev od $t = 0$) su:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(0^+)] \cdot e^{-\frac{t}{\tau_1}}$$

$$v_B(\infty) = V_{CC}; \quad v_B(0^+) = v_B(0^-) = 3V, \quad \tau_1 = CR_3 = 100\mu s$$

iz čega sledi:

$$v_B(t) = 12V - 9V \cdot e^{-\frac{t}{100\mu s}}; \quad 0 \leq t \leq T_1$$

Nakon što napon v_B poraste do vrednosti od 7V (u trenutku $t = T_1$), dolazi do promene logičkog nivoa na izlazu Šmitovog komparatora i za napon v_B važi:

$$v_B(t) = v_B(\infty) - [v_B(\infty) - v_B(T_1^+)] \cdot e^{-\frac{t-T_1}{\tau_2}}$$

$$v_B(\infty) = 0; \quad v_B(T_1^+) = v_B(T_1^-) = 7V; \quad \tau_2 = CR_3 = 100\mu s$$

iz čega sledi:

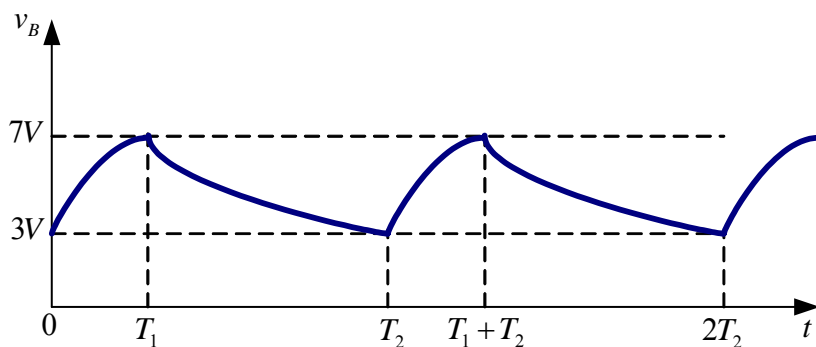
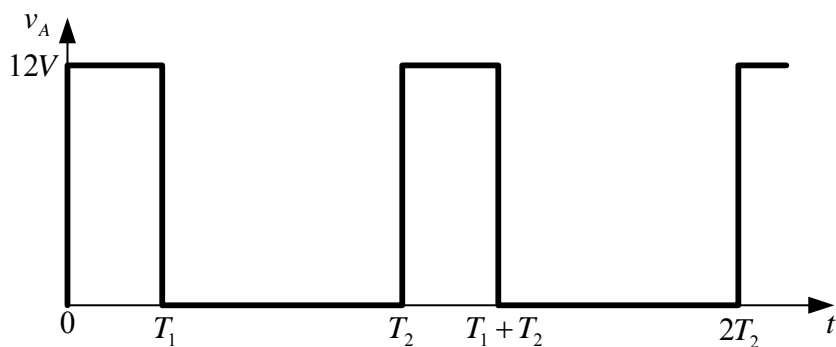
$$v_B(t) = 7V \cdot e^{-\frac{t-T_1}{100\mu s}}; \quad T_1 \leq t \leq T_2$$

Vremena T_1 i T_2 određujemo iz sistema jednačina:

$$v_B(T_1) = 7V \Rightarrow 7V = 12V - 9V \cdot e^{-\frac{T_1}{100\mu s}} \Rightarrow T_1 = 100\mu s \cdot \ln \frac{9}{5} = 58,78\mu s$$

$$v_B(T_2) = 3V \Rightarrow 3V = 7V \cdot e^{-\frac{T_2-T_1}{100\mu s}} \Rightarrow T_2 = T_1 + 100\mu s \cdot \ln \frac{7}{3} = 143,51\mu s$$

Traženi vremenski oblici napona v_A i v_B u ustaljenom režimu su predstavljeni na sledećim dijagramima:



6. Realizovati logičku mrežu prioriternog kodera sa tri ulaza: A_2 , A_1 i A_0 . Najveći prioritet treba da ima ulaz A_2 , zatim ulaz A_1 , a najniži prioritet ulaz A_0 . Izlazni signali su Y_1 i Y_0 (i oni treba da reprezentuju indeks ulaznog signala najvećeg prioriteta na kome je u datom trenutku aktivni logički nivo), kao i signal DV (*Data Valid*) koji je na aktivnom nivou kada je bar jedan od ulaznih signala na aktivnom logičkom nivou. Aktivni nivo i za ulazne i za izlazne signale prioriternog kodera je nivo logičke jedinice. Na raspolaganju su:

a) [5] Invertori i potrebna logička I, ILI kola.

b) [5] Dekoder 3/8 (čiji su ulazi aktivni na nivou logičke jedinice, a izlazi na nivou logičke nule) i minimalan broj dodatnih logičkih kola.

Rešenje:

a) Kombinatorna tabela koja opisuje rad traženog prioriternog kodera je prikazana na sledećoj slici:

A_2	A_1	A_0	Y_1	Y_0	DV
0	0	0	X	X	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	1
1	0	0	1	0	1
1	0	1	1	0	1
1	1	0	1	0	1
1	1	1	1	0	1

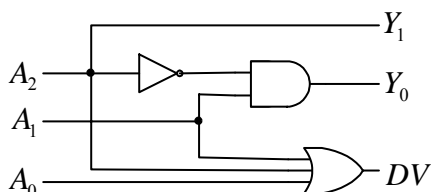
Iz tabele se mogu utvrditi sledeće činjenice: izlazni signal Y_1 je jednak logičkoj 1, ako i samo ako je ulazni signal A_2 jednak logičkoj 1; izlazni signal Y_0 je jednak logičkoj 1, ako i samo ako su ulazni signali $A_2 = 0$ i $A_1 = 1$; izlazni signal DV je jednak logičkoj 1, ako i samo ako je bar jedan od ulaznih signala jednak logičkoj jedinici. Jednačine koje opisuju ova tvrđenja su:

$$Y_1 = A_2$$

$$Y_0 = \overline{A_2} \cdot A_1$$

$$DV = A_2 + A_1 + A_0$$

Tražena realizacija logičke mreže pomoću I, ILI kola i invertora je prikazana na sledećoj slici:



b) Imajući u vidu da izlazi dekodera 3/8 predstavljaju potpune logičke proizvode ulaznih logičkih promenljivih, neophodno je izraziti za izlazne signale, izvedene pod tačkom a) ovog zadatka,

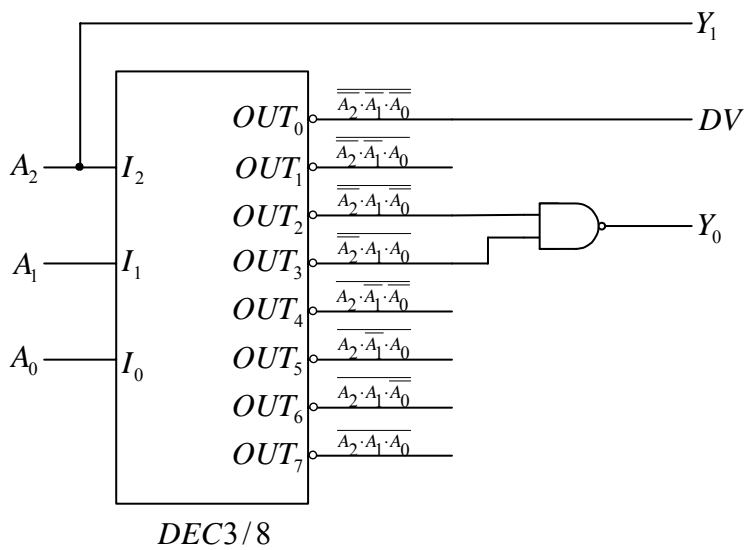
transformisati u pogodan oblik (u kome će figurisati potpuni logički proizvodi ulaznih promenljivih) kako bi se iskoristili izlazi dekodera za generisanje traženih signala Y_1 , Y_0 i DV :

$$Y_0 = \overline{A_2} \cdot A_1 = \overline{A_2} \cdot A_1 \cdot A_0 + \overline{A_2} \cdot A_1 \cdot \overline{A_0} = \overline{\overline{A_2} \cdot A_1 \cdot A_0} + \overline{\overline{A_2} \cdot A_1 \cdot \overline{A_0}} = \overline{\overline{A_2} \cdot A_1 \cdot A_0} \cdot \overline{\overline{A_2} \cdot A_1 \cdot \overline{A_0}}$$

$$DV = A_2 + A_1 + A_0 = \overline{\overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0}} = \overline{\overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0}}$$

Izlazni signal Y_1 nije neophodno predstavljati preko potpunih proizvoda jer je u traženoj realizaciji jednak sa jednim od ulaznih signala i nikakve dodatne logičke operacije za njegovo generisanje nisu potrebne.

Tražena realizacija je predstavljena na sledećoj slici:



7. a) [7] Koristeći minimalni broj ivičnih JK flip-flova koji se okidaju rastućom ivicom signala takta CLK i potreban broj proizvoljnih logičkih kola, sintetisati trobitni sinhroni brojač koji broji unazad u binarnom kodu sa osnovom brojanja osam.

b) [3] Pomoću brojača projektovanog u tački a), realizovati delitelj učestanosti koji će, polazeći od ulaznog signala CLK, na svom izlazu generisati periodični signal CLK_SLOW učestanosti

$$f = \frac{f_{CLK}}{4}, \text{ gde je } f_{CLK} \text{ učestanost signala takta CLK.}$$

Rešenje:

Tabela prelaza brojača ima sledeći izgled:

Q_2	Q_1	Q_0	$Q_2(t+1)$	$Q_1(t+1)$	$Q_0(t+1)$	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	1	1	1	1	X	1	X	1	X
0	0	1	0	0	0	0	X	0	X	X	1
0	1	0	0	0	1	0	X	X	1	1	X
0	1	1	0	1	0	0	X	X	0	X	1
1	0	0	0	1	1	X	1	1	X	1	X
1	0	1	1	0	0	X	0	0	X	X	1
1	1	0	1	0	1	X	0	X	1	1	X
1	1	1	1	1	0	X	0	X	0	X	1

Pomoću Karnoovih mapa se dobija:

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	0	0
1	X	X	X	X

$$J_2 = \overline{Q_1} \cdot \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	X	X
1	1	0	0	0

$$K_2 = \overline{Q_1} \cdot \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	0	X	X
1	1	0	X	X

$$J_1 = \overline{Q_0}$$

$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	X	0	1
1	X	X	0	1

$$K_1 = \overline{Q_0}$$

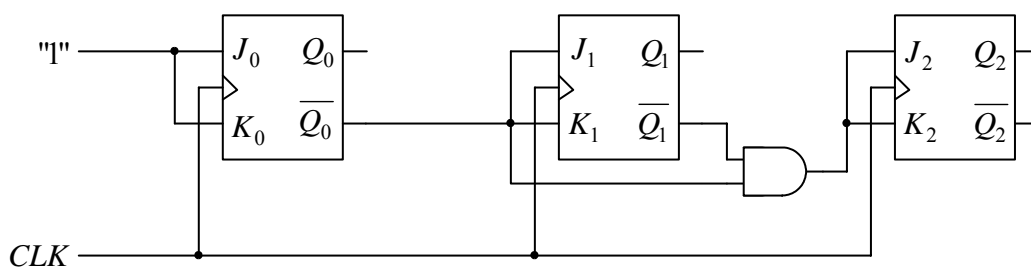
$Q_2 / Q_1 Q_0$	00	01	11	10
0	1	X	X	1
1	1	X	X	1

$$J_0 = 1$$

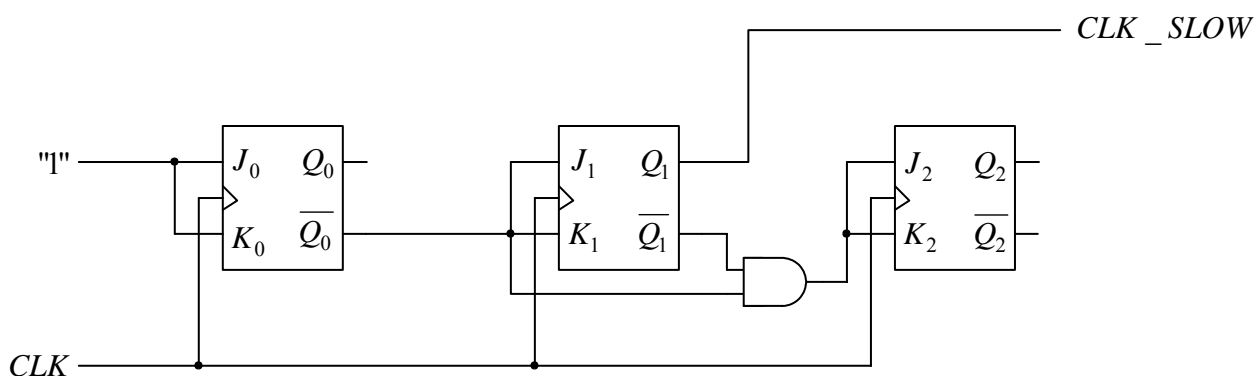
$Q_2 / Q_1 Q_0$	00	01	11	10
0	X	1	1	X
1	X	1	1	X

$$K_0 = 1$$

Na osnovu izvedenih jednačina sledi da se traženi brojač može realizovati na sledeći način:



b) Na svaku uzlaznu ivicu signala takta CLK se menja stanje na izlazu flipflopa koji predstavlja bit najmanje težine, što znači da je učestanost signala Q_0 (kao i signala $\overline{Q_0}$) jednaka $f = \frac{f_{CLK}}{2}$. Stanje na izlazu središnjeg flipflopa se menja onda i samo onda kada je $\overline{Q_0} = 1$ pri nailasku uzlazne ivice signala takta CLK, iz čega se može zaključiti da je učestanost signala Q_1 (kao i signala $\overline{Q_1}$) jednaka $f = \frac{f_{CLK}}{4}$. Dakle, traženi signal CLK_SLOW se najjednostavnije može generisati korišćenjem već postojećeg signala Q_1 , što je prikazano na sledećoj slici:



8. [15] Koristeći metod dizajniranja na bazi opisa ponašanja sistema, napraviti VHDL model osmobitnog pomeračkog registra ulevo.

Pomerački registar treba da ima sledeće ulazne signale: `clk` (signal takta), `shift_en` (signal dozvole za pomeranje ulevo), `shift_in` (signal koje će nakon pomeranja ulevo postati nova vrednost bita najmanje težine u registru), `rst` (signal asinhronog resetu), kao i izlazni signal `shift_out` (signal koji nakon pomeranja ulevo poprima vrednost koju je pre pomeranja imao bit najveće težine u registru) i izlazni osmobitni vektor `q` (koji predstavlja trenutni sadržaj registra) čiji su biti poređani od MSB ka LSB u smeru sa leva na desno.

Ukoliko je kontrolni signal `shift_en='1'` registar treba da obavlja funkciju pomeranja ulevo sinhrono sa uzlaznom ivicom signala takta `clk`, a u protivnom treba da zadržava postojeći sadržaj bez pomeranja. Ako je signal `rst='1'` sadržaj registra treba da se resetuje asinhrono u odnosu na signal takta.

Napomena: Ocenjuje se precizna upotreba sintakse.

Rešenje:

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY shifter IS PORT
(
    clk,rst,shift_en,shift_in : IN STD_LOGIC;
    shift_out : OUT STD_LOGIC;
    q : OUT STD_LOGIC_VECTOR(7 DOWNT0 0)
);
END shifter;

ARCHITECTURE behav OF shifter IS
    SIGNAL tmp : STD_LOGIC_VECTOR(7 DOWNT0 0);
BEGIN
    PROCESS (clk,rst) BEGIN
        IF rst='1' THEN
            tmp <= (OTHERS => '0');
        ELSIF rising_edge(clk) THEN
            IF shift_en='1' THEN
                tmp <= tmp(6 DOWNT0 0) & shift_in;
                shift_out <= tmp(7);
            END IF;
        END IF;
    END PROCESS;
    q <= tmp;
END behav;

```