

Универзитет у Београду
Електротехнички факултет
Катедра за електронику

Увод у пројектовање *VLSI* система

Лабораторијска вежба

Дизајн аритметичких и логичких кола за
сабирање бројева и тестирање на *DE1-SoC*
развојној плочи
- први део -

аутори: Драгомир Ел Мезени, Владимир Петровић и Страхиња Јанковић

Београд, 2020.

1 Циљ вежбе

Циљ ове вежбе је да студенти генеришу VHDL фајлове за опис одговарајућег хардвера, упознају се са начином инстанцирања и коришћења компоненти, као и да науче да пишу VHDL код за тестирање и симулацију рада пројектованих кола.

У оквиру ове вежбе потребно је направити нови пројекат, VHDL опис одговарајућих компоненти, а затим је потребно симулацијом пројектованих компоненти потврдити исправност реализованог дизајна. На крају се пројектовани дизајн имплементира на хардверској платформи.

На располагању је софтвер *Altera Quartus Prime*, а дизајн се хардверски имплементира на плочи *DE1-SoC* са FPGA чипом из *Altera Cyclone V SoC* фамилије.

Вежба је подељена на два дела: први део подразумева задатке које студенти треба да ураде самостално код куће. Све фајлове из првог дела треба понети у лабораторију где ће студенти радити други део вежбе. У даљем тексту овог упутства описане су различите компоненте које је потребно уклопити у цео дизајн који ће бити описан у другом делу упутства, а који треба имплементирати у лабораторији.

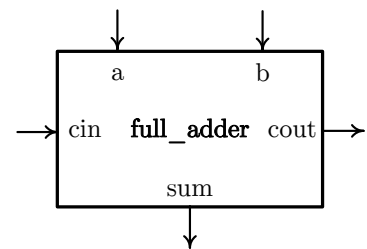
2 Дизајн потпуног сабирача

Потребно је пројектовати једнобитни потпуни сабирач, са три улаза (сабирци и улазни пренос) и два излаза (збир и излазни пренос). Блок шема је приказана на слици 1.

Направити нови пројекат у *Altera Quartus Prime* софтверу. Фајл у коме се описује модул једнобитног потпуног сабирача назвати *full_adder.vhd*, а *entity* назвати *full_adder*.

Креирати *test bench* фајл *full_adder_tb.vhd* или генерисати и едитовати *test bench* фајл *full_adder.vht*, којим треба испитати исправност рада потпуног сабирача. Тестирати све могуће комбинације улаза.

За симулацију користити алат *Altera ModelSim* према упутству за коришћење софтвера са сајта.



Слика 1: Блок шема потпуног сабирача

3 N -тобитни сабирач

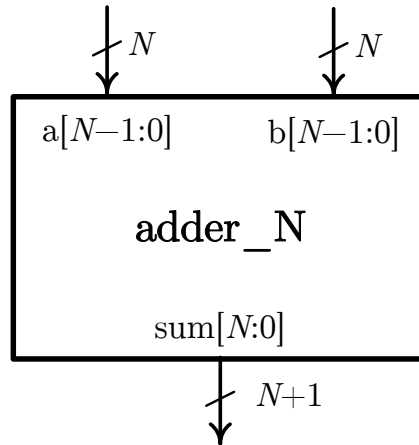
Потребно је пројектовати вишебитни *ripple-carry* сабирач коме се приликом инстанцирања задаје број бита улазних података. Интерфејс овог сабирача приказан је на слици 2.

Како би се постигла модуларност компоненте, потребно је користити генерике у дизајну. Конкретно, једини генерик у овој компоненти ће бити број бита сабирача. Подесити да је подразумевани број бита $N = 4$.

Фајл назвати *adder_N.vhd*. Искористити генерик N за креирање архитектуре на структурном нивоу.

Креирати *test bench* фајл *adder_4_tb.vhd* или генерисати и едитовати *test bench* фајл *adder_N.vht* у оквиру кога инстанцирати 4-битни сабирач и испитати исправност рада 4-битног *ripple-carry* сабирача. Потребно је приказати неколико примера са прекорачењем и без прекорачења.

Компонента са генерицима се инстанцира на исти начин као и компоненте без генерика с тим што приликом инстанцирања треба додати наредбу **generic map**(вредност првог генерика, вредност другог генерика, ...) испред наредбе **port map**.

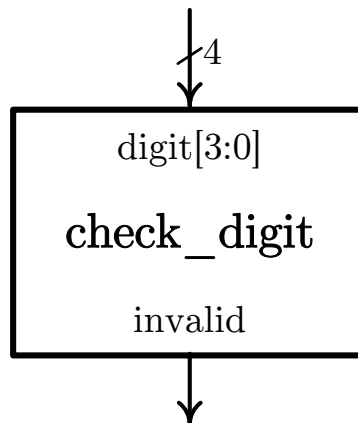


Слика 2: N -тобитни сабирач

4 Коло за проверу исправности цифре

Пројектовати сложено логичко коло (слика 3) које као улаз прима неозначени четворобитни број, а као излаз генерише сигнал *invalid* који има вредност "1" ако број није из опсега 0–9, тј. не представља цифру, а вредност "0" у супротном.

Фајл назвати *check_digit.vhd*, а *entity* назвати *check_digit*.



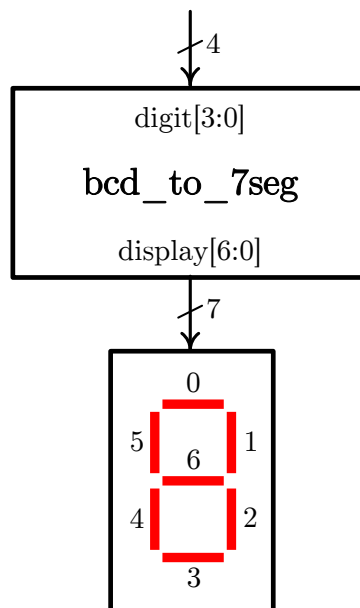
Слика 3: Коло за проверу исправности цифре

5 Конверзија из *B*CD кода у код 7 сегмената

За приказ цифре потребно је пројектовати компоненту за конверзију цифре из *B*CD кода у код за приказ на 7-сегментном LED дисплеју. На слици 4 је приказана блок шема повезивања овог модула са 7-сегментним дисплејом. Број поред сегмента одговара индексу у податку *display*[6 : 0]. LE диода са бројем *n* је укључена ако је *display*[*n*] на **ЛОГИЧКОЈ нули**.

Пројектовати компоненту *bcd_to_7seg* која омогућава приказ свих цифара од 0 до 9, а у случају да је улазни податак већи од 9, на LED дисплеју се приказује слово „E“.

Креирати *test bench* фајл *bcd_to_7_seg_tb.vhd* или генерисати и едитовати *test bench* фајл *bcd_to_7_seg.vht* у оквиру кога инстанцирати компоненту за конверзију из *B*CD кода у код 7 сегмената и испитати исправност рада.



Слика 4: Конверзија цифре у код за приказ на LED дисплеју