

ЕТФ у Београду
Институт Михајло Пупин

Интегрисани RF-DC конвертор за напајање бежичних сензорских мрежа са
константним излазним напонам

Пројекат: Развој и моделовање енергетски ефикасних, адаптабилних, вишепроцесорских и
вишесензорских електронских система мале снаге

Ознака пројекта: **ТР32043**
Руководилац пројекта: **Горан Димић**

Врста документа: **Техничка документација пројекта**
Степен поверљивости: **поверљиво - интерно**

Одговорно лице:

Горан Димић, е-маил: goran.dimic@pupin.rs

Реализатори:

Радивоје Ђурић, Ненад Антонић

Садржај

1. Кратак опис техничког решења	3
2. Детаљан опис техничког решења	3
2.1. CMOS реализација RF-DC исправљача	4
2.1.1. Каскадна веза RF-DC исправљача	4
2.2. Прилагођење импедансе антене на улаз РФ-ДЦ исправљача	7
2.2.1. Прилагођење импедансе антене на улаз GCS конвертора	7
2.3. Стабилизатор излазног напона	8
2.3.1. Bandgap напонска референца	9
2.3.2. Операциони појачавач	10
2.4. Реализација комплетног РФ-ДЦ конвертора	12
Литература	14

1. Кратак опис техничког решења

Примена од (дд.мм.гггг): 1. 1. 2015.
 Година* : 2014
 Одговорно лице : Горан Димић

Опис: Интегрисани RF-DC конвертор је реализован за ISM опсег учестаности око 2,45GHz. На његов улаз се доводи сигнал из антене, а састоји се из прилагођења, вишестепеног и високоефикасног умножавача напона и Low-dropout (LDO) стабилизатора напона. LDO чини напонска референце за генерисање 250mV референтног напона, појачавач грешке са операционим појачавачем у режиму мале потрошње и редни транзистор. Излазни напон је подешен на вредност од 1V, при снагама реда mW, а комплетан RF-DC конвертор је реализован у интегрисаном колу у 90nm CMOS технологији. Решење је модуларно и лако се може препројектовати за одређени опсег снаге РФ сигнала и потрошње.

Техничке могућности: RF-DC конвертор са константним излазним напоном омогућава бежично напајање уређаја са константним напоном, помоћу енергије RF зрачења предајника сензорских чворова који емитују сигнале на учестаностима 2,45GHz.

Реализатори : Радивоје Ђурић, Ненад Антонић

Корисници : ЕТФ у Београду, Институт Михајло Пупин

Подтип решења* : Прототип (M85)

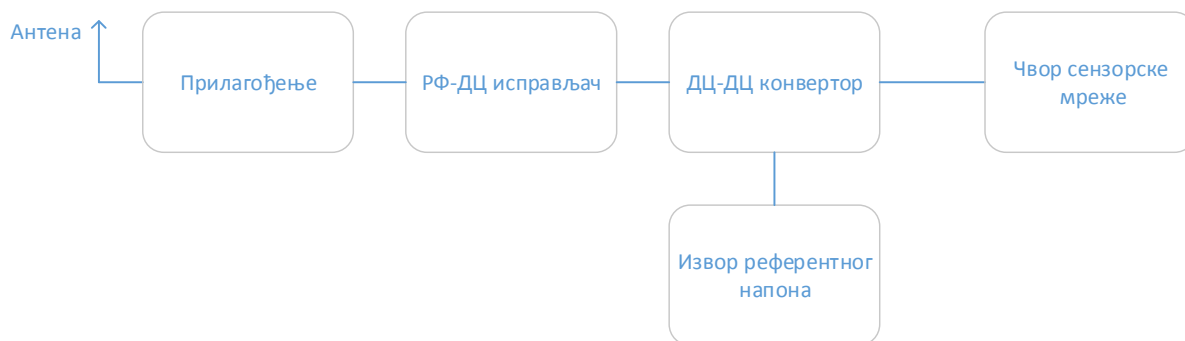
2. Детаљан опис техничког решења

Ово техничко решење је реализовано у CMOS интегрисаној технологији и представља једну реализацију РФ-ДЦ конвертора који претвара енергију РФ таласа локалних предајника сензорске мреже у енергију за напајање уређаја једносмерним напоном.

Већина публикованих радова у области бежичног напајања сензорских чворова се бави развојем и реализацијом ефикасних интегрисаних исправљача RF сигнала. У овом раду је искоришћен један такав ефикасан исправљач повезан у каскадну везу ради добијања већег излазног напона. Будући да је снага РФ сигнала променљива, на излазу исправљача се добијају једносмерни напони који су такође променљиви. Снага RF зрачења које потиче од предајника базних станица је релативно мала и опада са квадратом одстојања, тако да се сензорске мреже у руралним подручјима не могу напајати из оваквих извора, осим у посебним режимима са малом потрошњом и релативно великом акумулисаном енергијом у батерији или кондензатору.

На слици 1 је приказана блок шема овог интегрисаног РФ-ДЦ конвертора. Сигнал се из антене доводи на улаз интегрисаног кола, на чијем улазу се налази коло за прилагођење импедансе антене зарад већег искоришћења и спречавања емисије рефлектованих таласа у

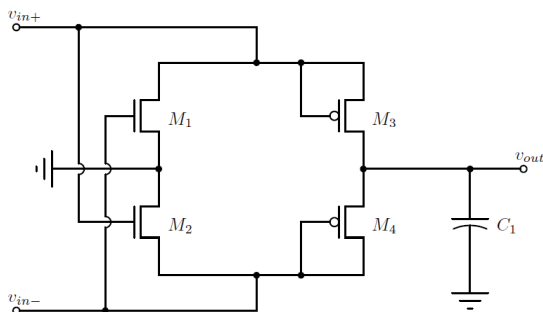
околни простор. РФ-ДЦ исправљач исправља РФ сигнале и на свом излазу даје једносмерни напон, чија вредност зависи од нивоа РФ сигнала на улазу. На улаз ДЦ-ДЦ конвертора се доводи нестабилисани улазни напон са излаза РФ-ДЦ исправљача и референтни напон, помоћу кога се на излазу конвертора добија константан излазни напон. У ДЦ-ДЦ конвертору се налази појачавач грешке, помоћу кога се, применом негативне реакције, обезбеђује да излазни напон, у одређеном опсегу улазног напона, потрошње и варијације параметара средине (температура, ...), буде константан. Појачавач грешке је реализован са операционим појачавачем. Извор референтног напона на свом излазу даје константан напон од 250 милivolти са веома малом зависношћу од температуре.



Слика 1. Блок шема интегрисаног РФ-ДЦ конвертора.

2.1. CMOS реализација RF-DC исправљача

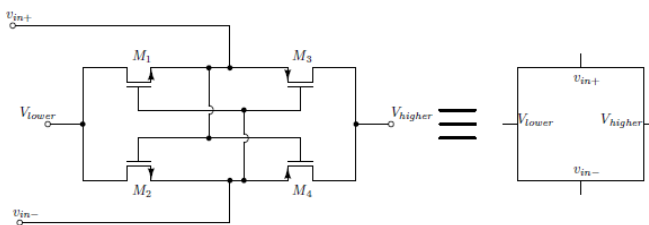
За реализацију исправљача РФ сигнала изабран је мостни спој са MOS транзисторима у тзв. Gate Cross-Coupled (GCC) споју, слика 2. У овом споју транзистори, када проводе, раде као прекидачи, односно у триодној области где се понашају као мале отпорности. Коло служи за усмеравање напона са малим сопственим падом напона због транзистора који се понашају као отпорници са малом отпорношћу, тако да ефикасност конверзије достиже 80% [1].



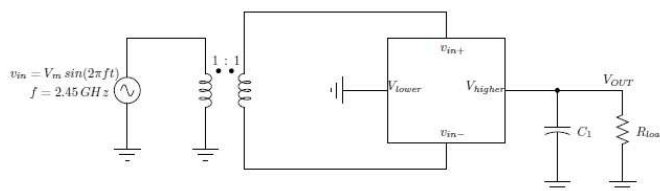
Слика 2. Интегрисани GCC мостни CMOS RF-DC исправљач.

2.1.1. Каскадна веза RF-DC исправљача

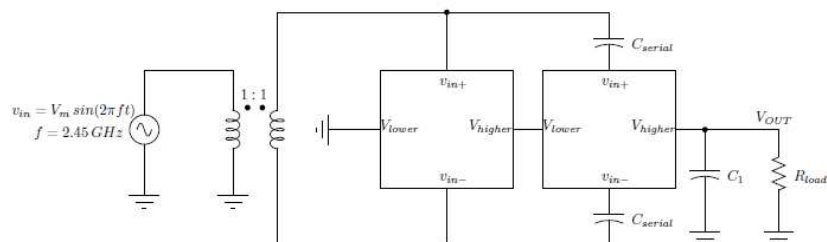
Ради добијања већег излазног напона GCC конвертори се везују каскадно. На сликама 3, 4 и 5 су приказана кола са GCC конверторима повезаним са једном, две, или три ћелије.



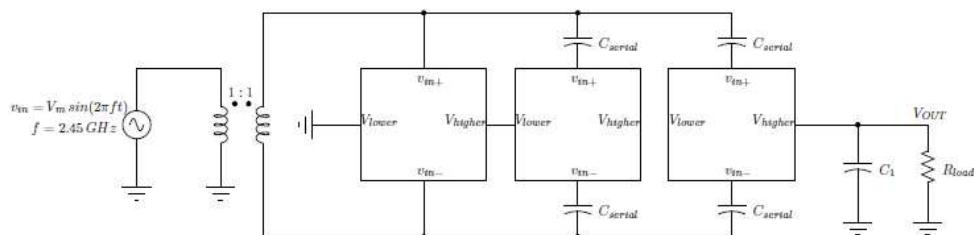
Слика 3а. GCC конвертор као блок.



Слика 3б. Једноћелијски GSC конвертор.



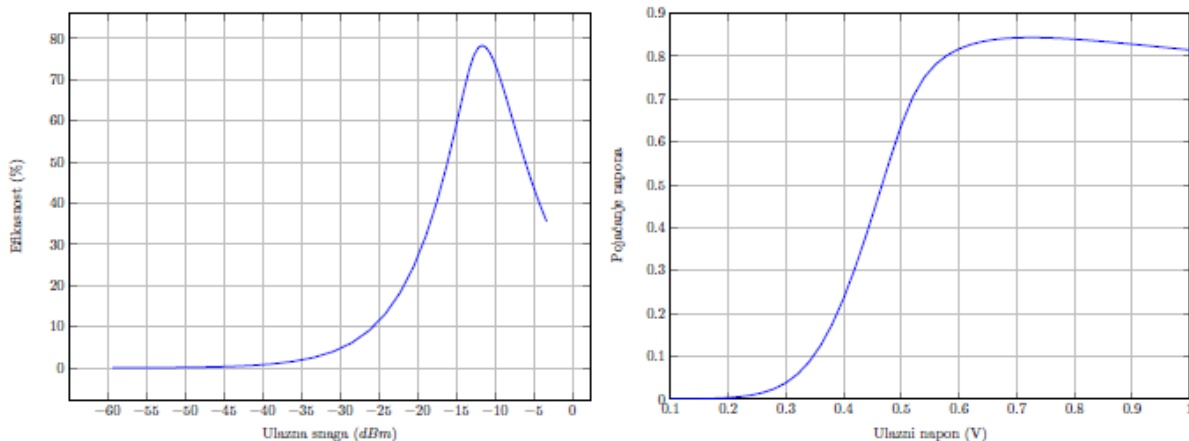
Слика 4. Двоћелијски GSC конвертор.



Слика 5. Троћелијски GSC конвертор.

Димензионисање транзистора је обављено тако да се добије највећа ефикасност РФ-ДЦ конверзије. Због тога је изабрана минимална дужина канала $L=90\text{nm}$, док је ширина канала одређена на основу параметарских симулација за коју се добија највећа ефикасност конверзије. За једноћелијску конверзију оптималне ширине канала су $W_n=50\mu\text{m}$ и $W_p=75\mu\text{m}$.

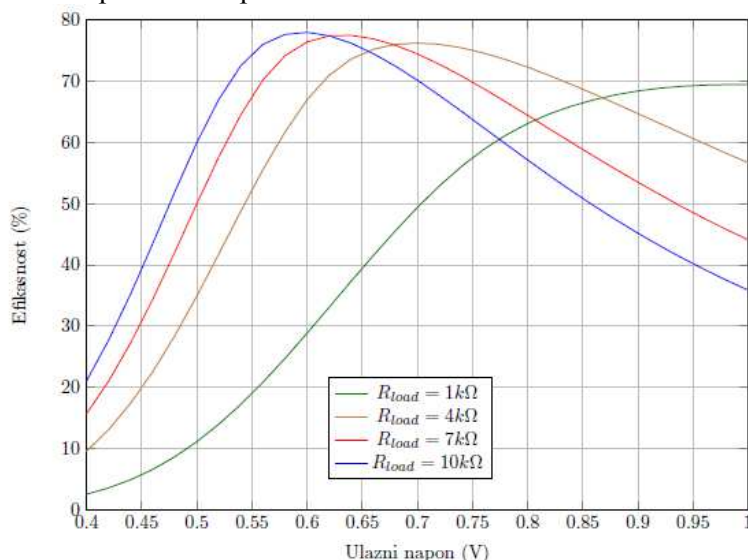
На слици 6а је дата зависност ефикасности од улазне снаге за једноћелијску структуру конвертора, док је на слици 6б дата зависност преносног односа од улазног напона. Максимална ефикасност се добија при улазној снази од -11.6dBm и износи 78%. При овој је улазна отпорност на учестаности од 2.45GHz $R_{in}=2.4\text{k}$, док је, са њим паралелно повезана капацитивност $C_{in}=135\text{fF}$.



Слика 6а. Зависност ефикасности конверзије у функцији улазне снаге РФ сигнала.

Слика 6б. Зависност преносног односа напона у функцији улазног напона РФ сигнала.

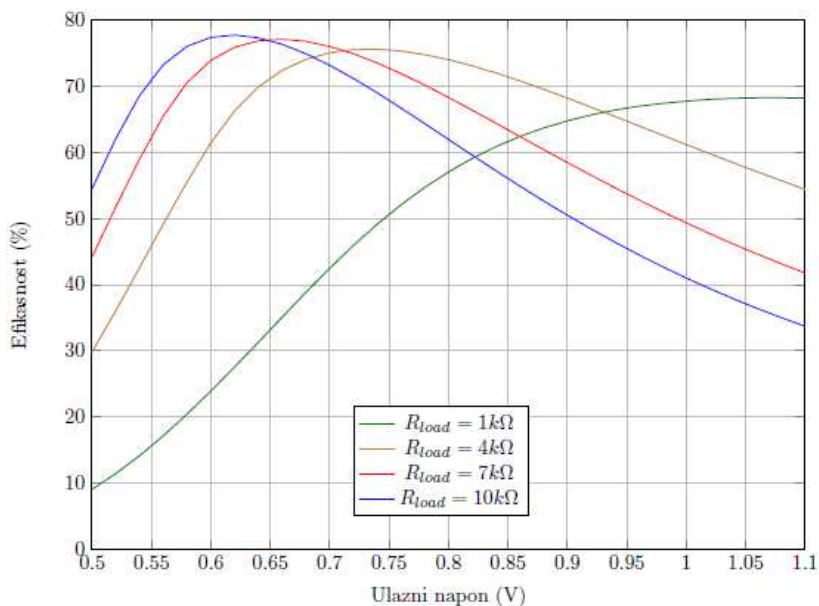
За двоћелијски конвертор се максимална ефикасност конверзије добија када су димензије транзистора $W_n=40\mu\text{m}$ и $W_p=60\mu\text{m}$, док је минимална дужина канала остала непромењена. на слици 7 је приказана зависност ефикасности конверзије у функцији улазног напона за различите отпорности потрошача.



Слика 7. Зависност ефикасности конверзије од улазног напона код двоћелијске GCC структуре.

Максимум ефикасности се добија при улазној снази од -4.5dBm и износи 76%. На учестаности од 2.45GHz , вредности паралелно повезане капацитивности и отпорности који служе за моделовање конвертора и пројектовање прилагођења су $C_{in}=220\text{fF}$ и $R_{in}=680\Omega$.

За троћелијску GCC структуру максимум ефикасности се добија са транзисторима чије су димензије $L=90\text{nm}$, $W_n=70\mu\text{m}$ и $W_p=70\mu\text{m}$. На слици 8 је приказана зависност ефикасности конверзије у функцији улазног напона за различите отпорности потрошача.



Слика 8. Зависност ефикасности конверзије од улазног напона код троћелијске GCC структуре.

Максимална ефикасност се добија при улазној снази од -1.1dBm и износи 75%. На радној учестаности од 2.45GHz параметри паралелног RC кола су $C_{in}=460\text{fF}$ и $R_{in}=330\Omega$.

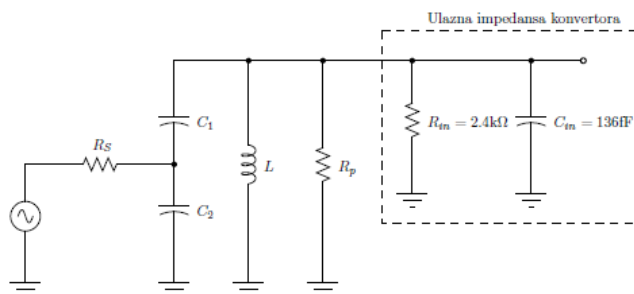
2.2. Прилагођење импедансе антене на улаз РФ-ДЦ исправљача

Да би се потрошачу предала максимална снага, антена и улаз РФ-ДЦ конвертора морају бити прилагођени, што значи да улазна импеданса конвертора мора бити једнака конјуговано комплексној вредности импедансе антене. Будући да је импеданса антене 50 ома, улаз РФ-ДЦ конвертора мора, помоћу кола за прилагођење, бити прилагођен на ову импедансу. Додатни проблем у реализацији прилагођења импедансе представља нелинеарна улазна импеданса РФ-ДЦ конвертора. Интегрисане реализације прилагођења, за разлику од дискретних, имају релативно велике губитке због коначних фактора доброт калемова и кондензатора.

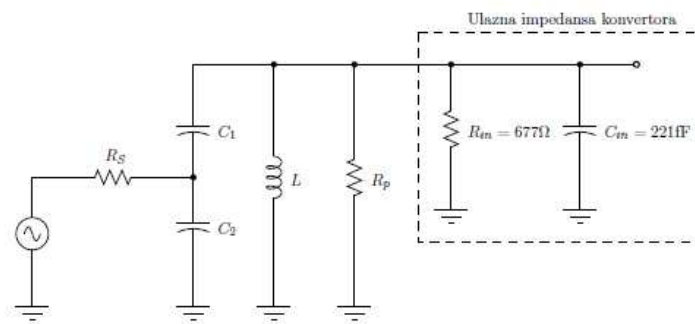
2.2.1. Прилагођење импедансе антене на улаз ГСС конвертора

За прилагођење импедансе је изабрана конфигурација са tapped кондензаторима за прилагођење. У овом прилагођењу се користи један калем и два кондензатора, а будући да је фактор доброт интегрисаних калемова знатно мањи од фактора доброт интегрисаних кондензатора, губици у прилагођењу су релативно мали.

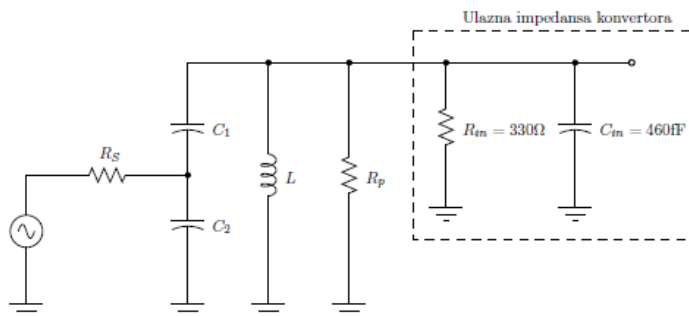
На сликама 9, 10 и 11 су приказана кола за прилагођење ГСС конвертора са једном, две, или три ћелије, респективно.



Слика 9. Прилагођење једноћелијског ГСС конвертора.



Слика 10. Прилагођење двоћелијског ГСС конвертора.



Слика 11. Прилагођење троћелијског ГСС конвертора.

У табели 1 су сумарно приказане карактеристичне вредности реализованих прилагођења за различите типове GCC конвертора.

Табела 1. Параметри интегрисаних прилагођења.

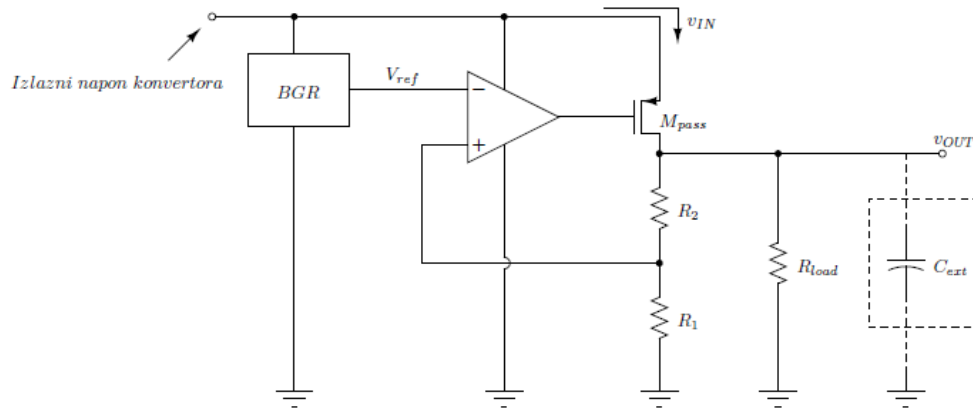
Za konvertor	C_1	C_2	L	n	Z_{11}	η_{power}
GCC1	320fF	2.1pF	10nH	5.3, @-11.6dBm	52 Ω , @-7dBm	41%, @-7dBm
GCC2	470fF	1.3pF	7.1nH	3.2, @-4.5dBm	53 Ω , @-2dBm	57%, @-2dBm
GCC3	1.1pF	1.7pF	3.5nH	2.5, @-1dBm	52 Ω , @1dBm	38%, @1dBm

У табели 1 параметар n представља еквивалентни преносни однос трансформације импедансе.

Највећу ефикасност има конвертор GCC2 и он ће касније бити примењен за реализацију комплетног интегрисаног конвертора.

2.3. Стабилизатор излазног напона

За регулисање излазног напона користи се Low-dropout (LDO) стабилизатор напона чија је упрошћена шема дата на слици 12.



Слика 12. Стабилизатор напона са редним транзистором.

Помоћу кола негативне реакције, коју сачињавају редни транзистор отпорни разделник R_1 - R_2 и операциони појачавач, се обезбеђује да је излазни напон константан и да износи

$$v_{OUT} = \left(1 + \frac{R_2}{R_1}\right) V_{ref}, \quad (1)$$

где је V_{ref} напон који се добија помоћу Bandgap напонске референце (BGR).

Димензије редног транзистора су изабране тако да на њему буде што мањи пад напона, $L_{pass}=90\text{nm}$ и $W_{pass}=250\mu\text{m}$.

Будући да је изабрана вредност референтног напона 250mV , да би излазни напон имао номиналну вредност од 1V потребно је да однос отпорности буде

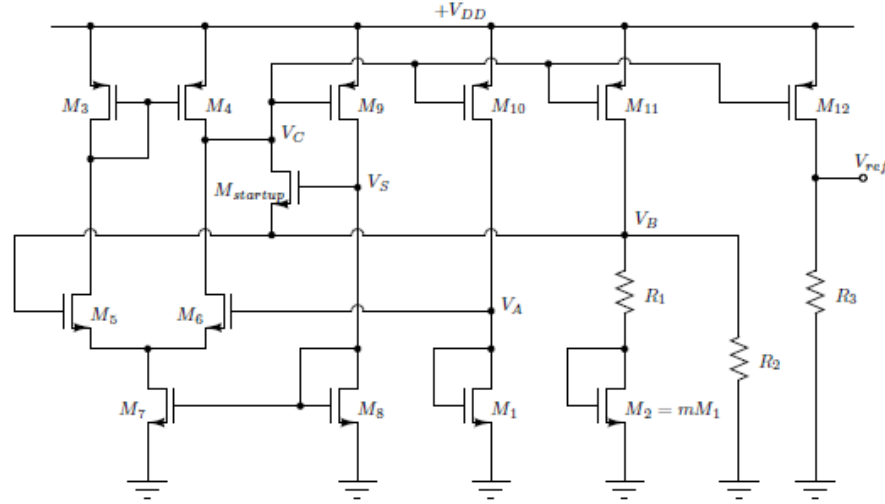
$$\frac{R_2}{R_1} = 3. \quad (2)$$

Вредности отпорности R_2 и R_1 су изабране компромисно, између захтева за малом површином на чипу и малом сопственом потрошњом стабилизатора напона, $R_2 = 45\text{ k}\Omega$ и $R_1 = 15\text{ k}\Omega$.

Екстерни кондензатор се може додати ван чипа у циљу смањења таласности излазног напона, а у овом пројекту није коришћен.

2.3.1. Bandgap напонска референца

На слици 13 је приказана електрична шема Bandgap напонске референце. Транзистори M3-M9, заједно са Mstartup транзистором чине self-biased операциони појачавач погодан за апликације са малом потрошњом [2].



Слика 13. Bandgap напонска референца.

Транзистор Mstartup служи за стартовање референце по укључењу напајања. Он се по укључењу напајања укључује, а искључује по успостављању устаљеног напона на излазу напонске референце.

Вредност напона на излазу је одређена изразом

$$V_{ref} = R_3 \left(\frac{V_{GS1}}{R_2} + n \frac{V_t}{R_1} \ln(m) \right), \quad (3)$$

где је:

$$V_t = kT / q$$

n -фактор стрмине потпражног режима транзистора

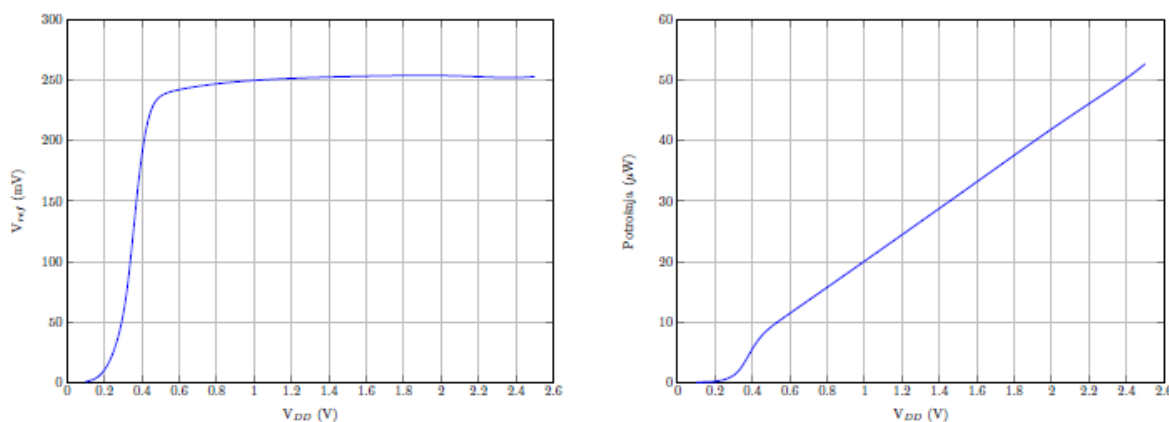
$$m = \frac{(W/L)_2}{(W/L)_1}.$$

Комбинацијом прорачуна и симулација у датом 90nm интегрисаном окружењу одређене су вредности димензија транзистора напонске референце, табела 2.

Табела 2. Димензије транзистора у 250mV bandgap напонској референци.

Parametar	Vrednost	Parametar	Vrednost
W_1	12 μm	W_9	1 μm
W_2	1 μm	W_{10}	23 μm
W_3	4 μm	W_{11}	23 μm
W_4	4 μm	W_{12}	23 μm
W_5	2 μm	$W_{startup}$	8 μm
W_6	2 μm	R_1	1k Ω
W_7	2 μm	R_2	54k Ω
W_8	6 μm	R_3	34.6k Ω

На основу познатих димензија транзистора, симулацијом је одређена зависност вредности референтног напона и потрошње у функцији напона напајања, слике 14а и 14б, респективно.



Слика 14а. Зависност референтног напона у функцији напона напајања.

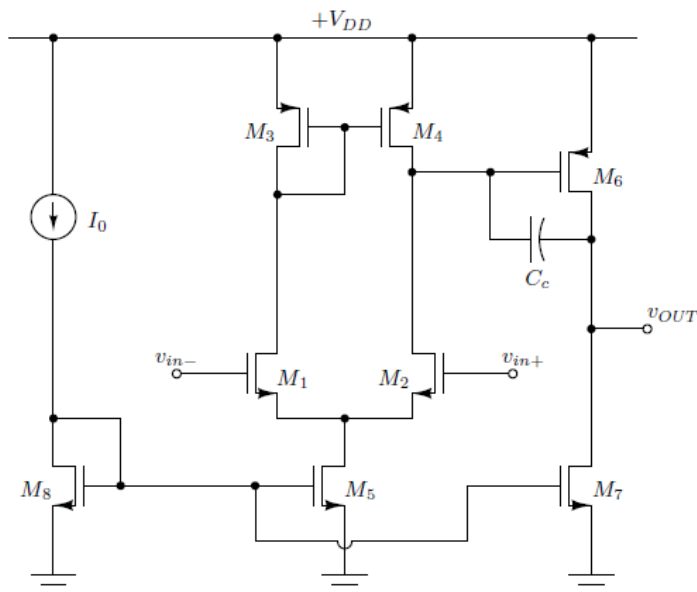
Слика 14б. Зависност потрошње напонске референце у функцији напона напајања.

Потрошња напонске референце не прелази 20 μW при напону напајања од 1V.

2.3.2. Операциони појачавач

Пројектовани операциони појачавач мора да се напаја са напонем напајања од 1V, да ради са улазним напонима од 0.25 V, колико износи референтни напон, да у отвореној спрези има довољно велико појачање и да у затвореној спрези обезбеди стабилност стабилизатора напона.

За реализацију је коришћена стандардна конфигурација двостепеног појачавача са малом потрошњом као на слици 15.



Слика 15. Двостепени CMOS операциони појачавач са малом потрошњом.

При пројектовању су усвојени следећи критеријуми:

- појачање на ниским учестаностима $A_0 \geq 40$ dB
- производ појачања и пропусног опсега $GBW = 10$ MHz
- фазна маргина $PM \geq 60^\circ$
- Slew rate $SR = 1$ V/ μs
- Positive Input Common Mode Range $ICMR^+ = 1$ V

- Negative Input Common Mode Range $ICMR^- = 0.25\text{ V}$
- Напон напајања $V_{DD} = 1.2\text{ V}$
- Потрошња $P_{DD} \leq 10\text{ }\mu\text{W}$

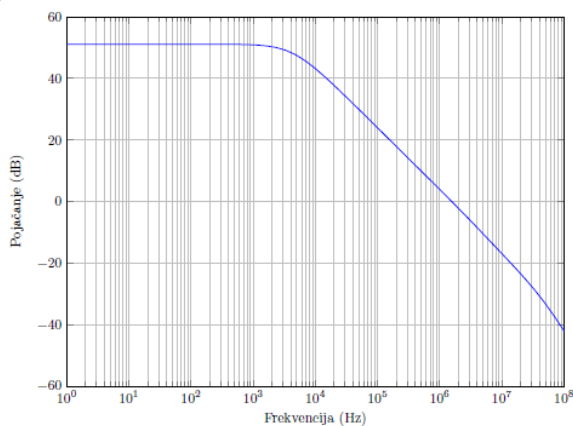
Због смањења утицаја Ерлијевог ефекта димензије дужина канала транзистора су знатно дуже од минималних и усвојено је $L_{3,4} = 0.5\text{ }\mu\text{m}$ и $L_{1,2,5-8} = 1\text{ }\mu\text{m}$.

Према почетним захтевима одређене су димензије транзистора, табела 3.

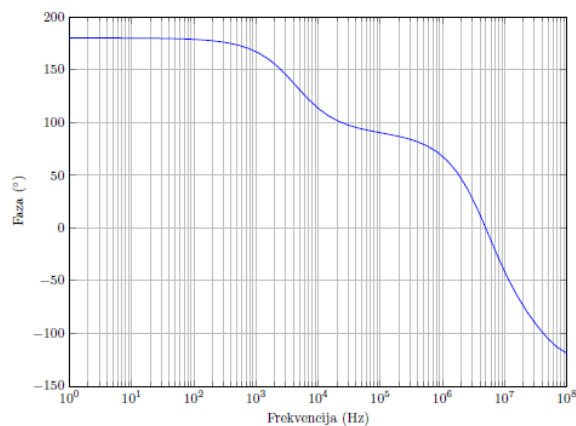
Табела 3. Димензије транзистора у операционом појачавачу.

	M1	M2	M3	M4	M5	M6	M7	M8
W[μm]	8	8	6	6	6	20	8	6
L[μm]	1	1	0.5	0.5	1	1	1	1

На слици 16 је приказана зависност модула и фазе напонског појачања од учестаности.



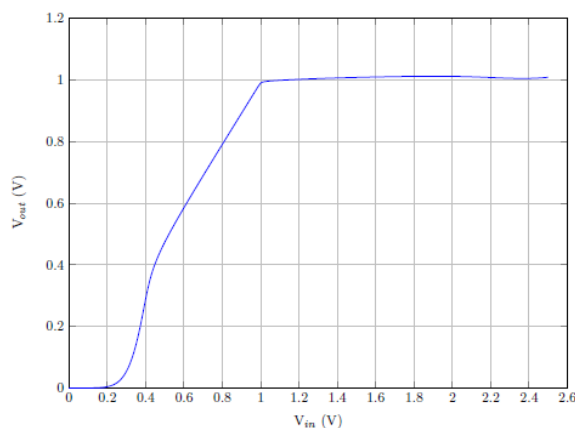
Слика 16а. Зависност модула напонског појачања од учестаности.



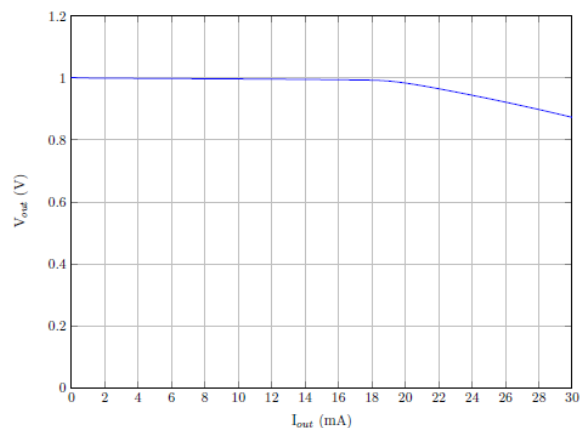
Слика 16б. Зависност фазе напонског појачања од учестаности.

Укупна потрошња реализованог операционог појачавача не прелази $4\text{ }\mu\text{W}$, док је потрошња кроз разделник напона $16.7\text{ }\mu\text{W}$.

На слици 17 је дата зависност излазног напона од улазног напона са колом негативне реакције и зависност излазног напона у функцији излазне струје.

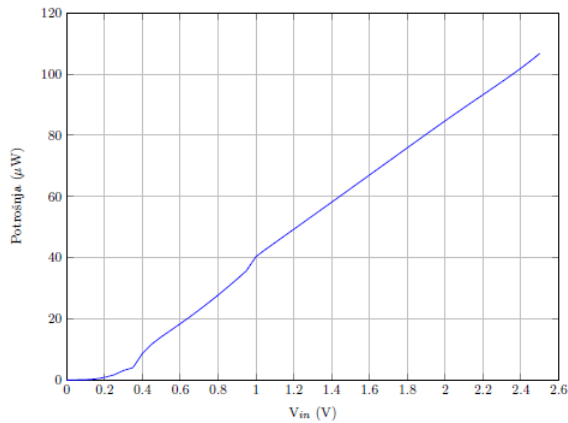


Слика 17а. Зависност излазног напона LDO у функцији улазног напона.

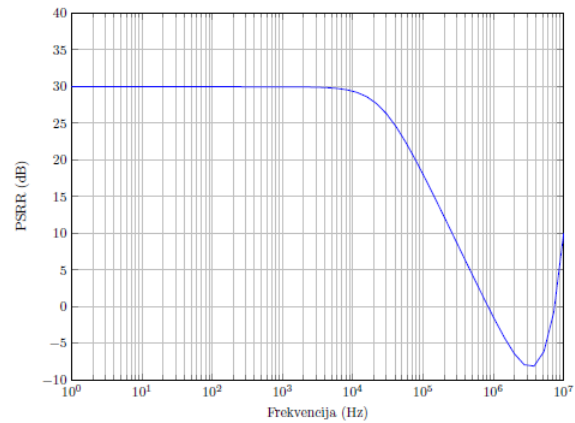


Слика 17б. Зависност излазног напона LDO у функцији излазне струје.

На слици 18а је дата зависност потрошње операционог појачавача и напонске референце са отпорним разделником у колу повратне спреге у stand-by режиму, док је на слици 18б дат фактор потискивања променљивог сигнала који потиче од напона напајања.

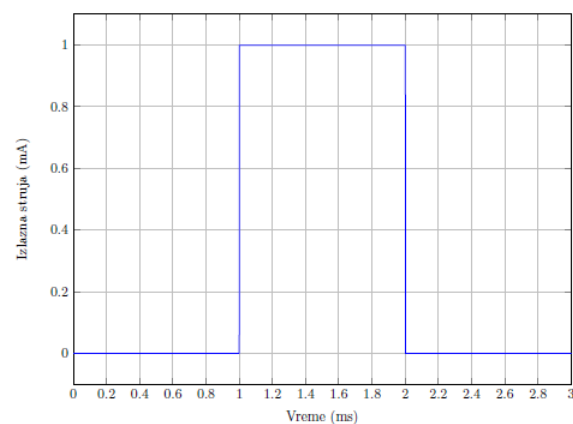
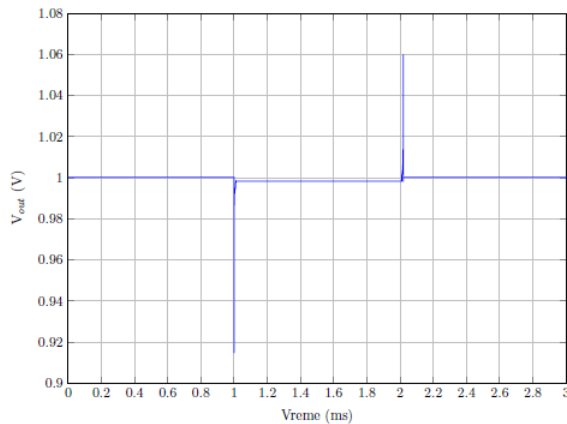


Слика 18а. Зависност потрошње од улазног напона.



Слика 18б. Зависност фактора потискивања сигнала од напајања у функцији учестаности.

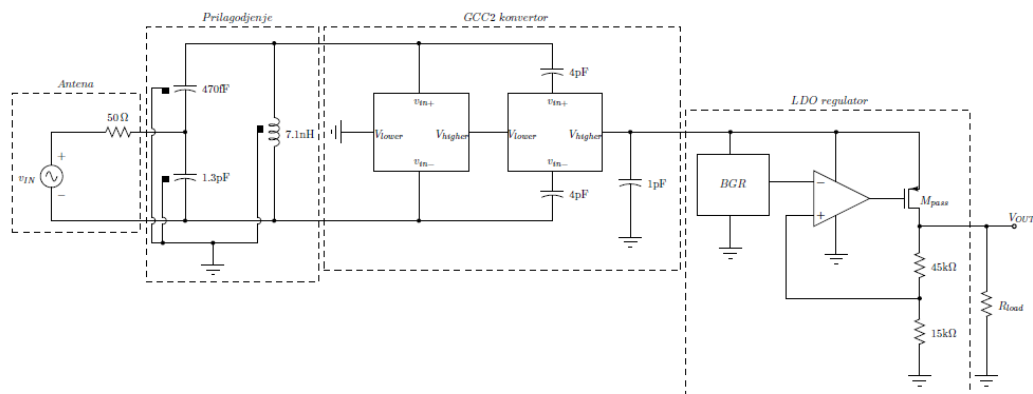
На слици 19 је приказана промена излазног напона са временом при импулсној промени оптерећења излаза.



Слика 19. Промена излазног напона при импулсној промени потрошње.

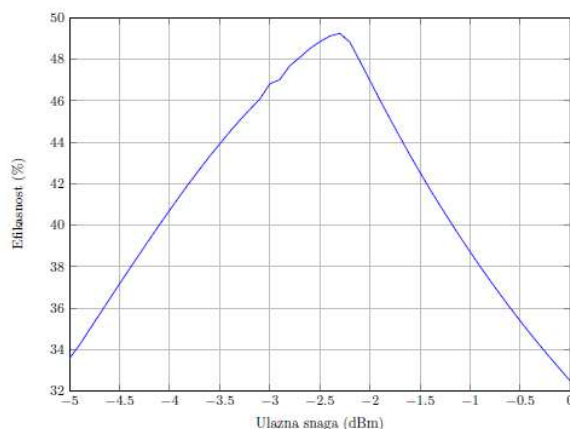
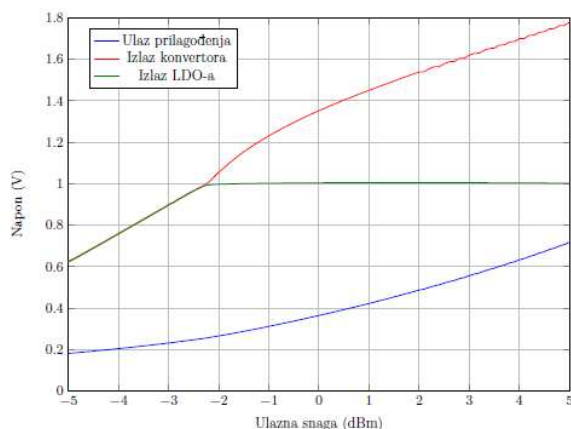
2.4. Реализација комплетног РФ-ДЦ конвертора

На основу закључака из поглавља 2.2.1. изабран је GCC2 конвертор, а комплетна блок шема система за конверзију РФ енергије у енергију за напајање једносмерним напонам је приказана на слици 20.



Слика 20. Блок шема РФ-ДЦ конвертора.

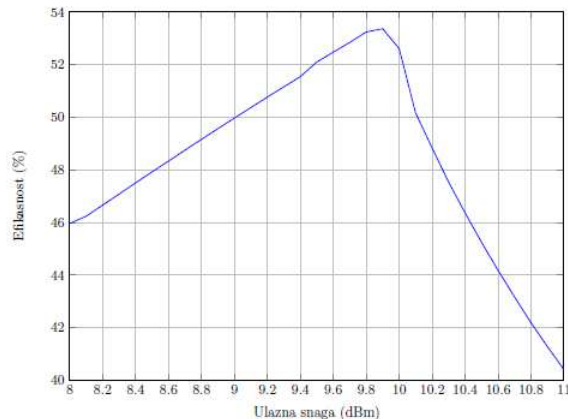
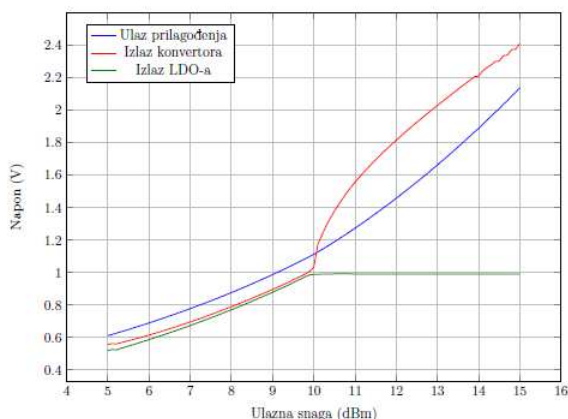
На сликама 21а и 21б су приказане зависности карактеристичних напона у систему за напајање и ефикасности за једну отпорност потрошача $R_{load} = 4 \text{ k}\Omega$.



Слика 21а. Зависност карактеристичних напона у систему за напајање у функцији улазне снаге при $R_{load} = 4 \text{ k}\Omega$.

Слика 21б. Зависност ефикасности система за напајање у функцији улазне снаге при $R_{load} = 4 \text{ k}\Omega$.

На сликама 22а и 22б су приказане зависности карактеристичних напона у систему за напајање и ефикасности за једну отпорност потрошача $R_{load} = 500 \Omega$.



Слика 22а. Зависност карактеристичних напона у систему за напајање у функцији улазне снаге при $R_{load} = 500 \Omega$.

Слика 22б. Зависност ефикасности система за напајање у функцији улазне снаге при $R_{load} = 500 \Omega$.

Конвертор РФ енергије у електричну енергију даје константан излазни напон при снагама мањим од 2mW. Сам LDO може да обезбеди већу потрошњу, али су пројектовано интегрисано прилагођење на антену и исправљач реализовани за снаге реда 1mW.

Литература

- [1] K. D. Gannes, "Design of analog CMOS circuits for batteryless implantable telemetry systems," The School of Graduate and Postdoctoral Studies Western University, London, Ontario, Canada, 2013.
- [2] S. Hongprasit, W. Sa-Ngiamvibool, A. Aurasopon, "Design of Bandgap Core and Startup Circuits for All CMOS Bandgap Voltage Reference," Mahasarakham University, 2012.