

## Zašto se u post layout simulacijama invertora dobija manje kašnjenje nego u funkcionalnoj simulaciji?

Najpre pogledati slajdove o kapacitivnostima tranzistora (predavanje: *MOS tranzistor*, slajdovi 18-23), kao i teorijski dodatak zadatka 3 koji se radi na vežbama (<http://tnt.etf.rs/~oe3upk/materijali/vezbe/03.pdf>). U navedenim materijalima su između ostalih parazitnih kapacitivnosti tranzistora navedene i kapacitivnost između drejna i osnove i kapacitivnost između sorsa i osnove. Te kapacitivnosti zavise od površine i obima drejna/sorsa i izračunavaju se prema sledećim formulama:

$$C_{db,NMOS} = K_{eqn}AD_nCJ_n + K_{eqsw_n}PD_nCJSW_n + K_{eqswgn}W_nCJSWG_n$$

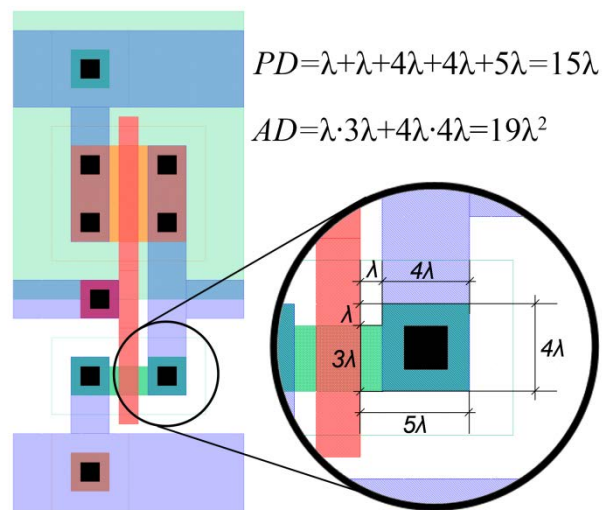
$$C_{db,PMOS} = K_{eqp}AD_pCJ_p + K_{eqsw_p}PD_pCJSW_p + K_{eqswgp}W_pCJSWG_p$$

U ovim formulama, koeficijenti  $K_{eq}$ ,  $K_{eqsw}$  i  $K_{eqswg}$  i parametri  $CJ_n$ ,  $CJSW_n$  i  $CJSWG_n$  su opisani u materijalima.  $AD$  (*Drain Area*) i  $PD$  (*Drain Perimeter*) su redom površina drejna i obim drejna gledano odozgo ne računajući stranu do kanala. Na slici 1 je dat primer za tranzistor širine  $3\lambda$  kao najkomplikovaniji za određivanje ovih parametara. Kod pravougaonih struktura kao za PMOS transistor sa slike je površina najveća  $(1\lambda + 4\lambda) \cdot W$  a obim  $W + 2 \cdot (1\lambda + 4\lambda)$ .

Kapacitivnosti između sorsa i osnove se računaju na isti način, pošto je struktura simetrična, ali kako su sors i osnova na istom potencijalu, one nemaju uticaja na kašnjenje.

Prilikom ekstrakcije parametri  $PD$  i  $PS$  (koji su obim drejna/sorsa – širina kanala  $(2L_s + W)$ ), računaju se baš kao na slici 1. Međutim, kada se radi simulacija schematic-a, *Virtuoso* računa CEO obim, tj.  $2L_s + 2W$  a ne  $2L_s + W$ , pa su zapravo procenjene kapacitivnosti tranzistora u schematicu veće nego u leljautu.

Karakteristični delovi netliste invertora kod koga je  $W_n = 4\lambda$ , a kod koga je  $W_p = 5\lambda$  za schematic, dobijena iz *Virtuoso ADE L* alata, a koja se ujedno i prikazuje u posebno prozoru naredbom *Simulation* → *Netlist* → *Create* ili *Recreate* su dati u listingu 1. Ovde se vidi da je za PMOS:  $ps = pd = 2 \cdot (L_s + W_p) = 2 \cdot 10\lambda = 1.8u$ .



Slika 1 – Određivanje obima i površine drejna

Listing 1 – Deo netliste schematic-a

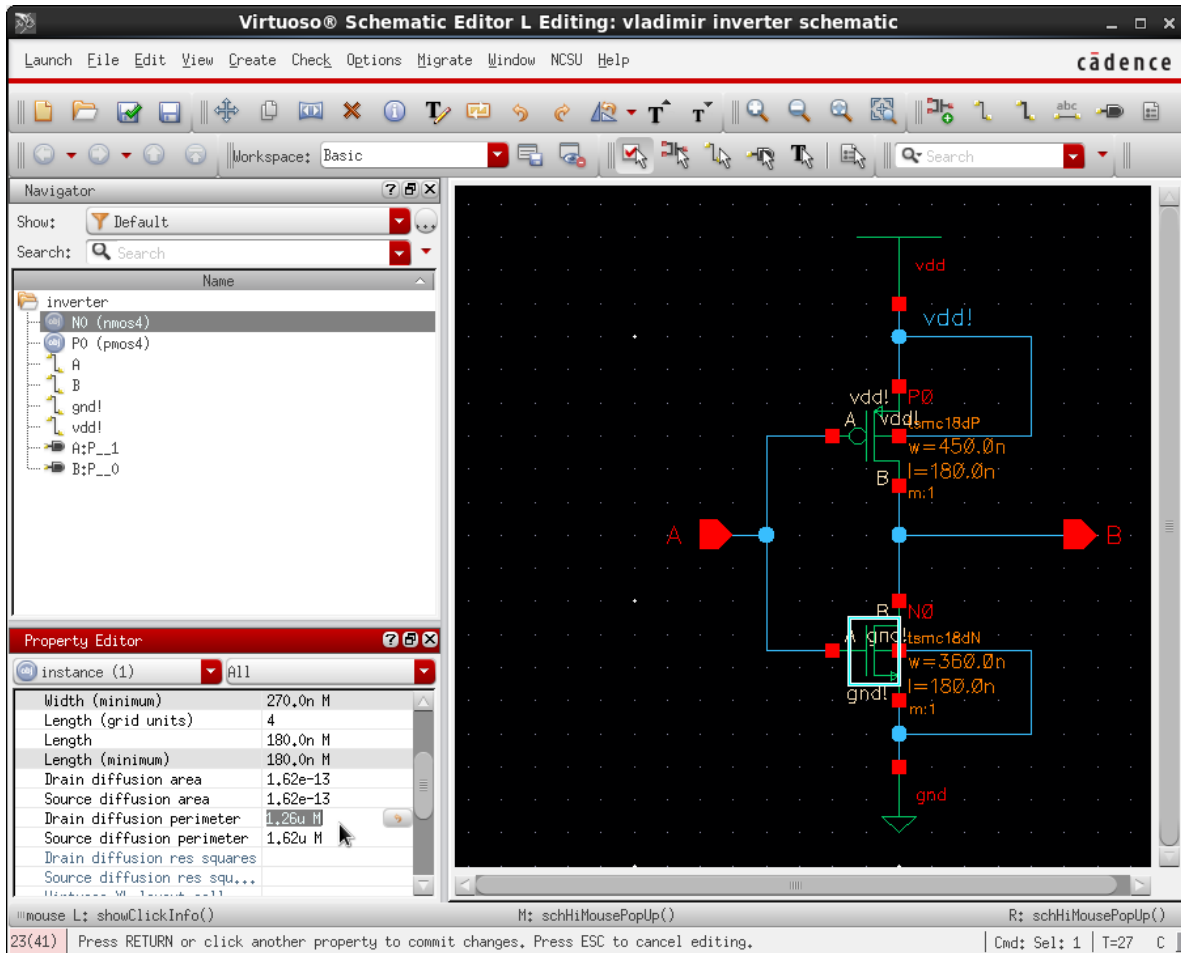
```
// Cell name: inverter
// View name: schematic
N0 (B A 0 0) tsmc18dN w=360.0n l=180.0n as=1.62e-13 ad=1.62e-13 ps=1.62u \
    pd=1.62u m=1 region=sat
P0 (B A vdd! vdd!) tsmc18dP w=450.0n l=180.0n as=2.025e-13 ad=2.025e-13 \
    ps=1.8u pd=1.8u m=1 region=sat
```

Netlista ekstrahovanog dizajna za isti invertor koja se koristi u post layout simulaciji je data u listingu 2. Ovde se vidi da je za PMOS:  $p_s = p_d = 2 * L_s + W_p = 15 \text{ lambda} = 1.26\mu$ . Takođe, mogu se primetiti parazitne kapacitivnosti koje su reda 20 do 50 aF, koje svakako utiču na kašnjenje, ali manje nego kapacitivnosti tranzistora koje su pogrešno računate prilikom funkcionalne simulacije.

Listing 2 – Deo netliste extracted view-a

```
// Cell name: inverter
// View name: extracted
\+1 (B A vdd! vdd!) tsmc18dP w=4.5e-07 l=1.8e-07 as=2.025e-13 ad=2.025e-13
\
    ps=1.35e-06 pd=1.35e-06 m=1 region=sat
\+5 (A gnd!) capacitor c=2.04282e-17 m=1
\+4 (vdd! A) capacitor c=2.82852e-17 m=1
\+3 (B gnd!) capacitor c=3.04272e-17 m=1
\+2 (vdd! B) capacitor c=5.67432e-17 m=1
\+0 (B A gnd! gnd!) tsmc18dN w=3.6e-07 l=1.8e-07 as=1.62e-13 ad=1.62e-13 \
    ps=1.26e-06 pd=1.26e-06 m=1 region=sat
```

Ukoliko unapred znamo kolike će biti vrednosti parametara  $PD$  i  $PS$ , ovo se može popraviti, tako što se ručno zadaju koliki su ovi parametri prilikom dodavanja tranzistora u schematic editor (slika 2). Tada se dobijaju manja kašnjenja nego u post layout simulaciji.



Slika 2 – Podešavanje parametara PD i PS

Ovo je pokazatelj da post layout simulacija ne mora nužno da da lošiji rezultat. Naravno, ne očekuje se u izradi projekta da se o ovome vodi računa. Ovo pojašnjenje samo služi tome da pokaže da ne treba uvek verovati simulatorima i da je važno razumeti kako oni rade kako se ne bismo čudili neočekivanim rezultatima.