

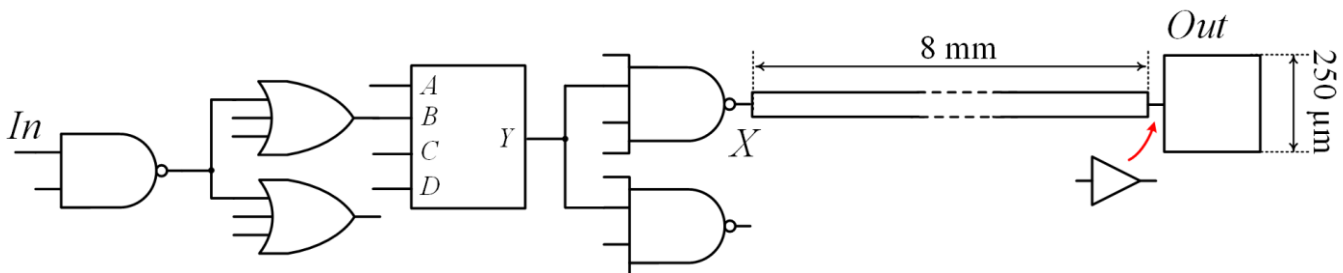
**Parametri 180 nm CMOS tehnološkog procesa:**  $\lambda=0,09 \mu\text{m}$ ,  $V_{DD}=1,8 \text{ V}$ ,  $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$ ,  $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$ ,  $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$ ,  $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$ ,  $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$ ,  $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$ ,  $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$ ,  $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$ ,  $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$ ,  $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$ ,  $r_{poly}=7,9 \Omega/\square$ ,  $r_{m1}=0,08 \Omega/\square$ ,  $r_{m2}=0,08 \Omega/\square$ ,  $r_{m3}=0,08 \Omega/\square$ ,  $r_{m4}=0,07 \Omega/\square$ ,  $r_{m5}=0,07 \Omega/\square$ ,  $r_{m6}=0,03 \Omega/\square$

1. Logička struktura prikazana na slici 1. treba da bude realizovana u 180 nm CMOS tehnologiji. Logički blok sa slike realizuje funkciju  $Y = \overline{ABC\overline{D}} + AC + BC + CD$ . Na izlazima poslednjih logičkih kola u nizu se nalazi linija širine  $0,45 \mu\text{m}$  i dužine  $8 \text{ mm}$  realizovana u metalu 1. Na drugom kraju linije se nalazi izlazni priključak (*pad*) koji je realizovan u sloju metala 1 i ima dimenzije  $250 \mu\text{m} \times 250 \mu\text{m}$ . Sve ostale metalne veze se mogu smatrati kratkim. Potrebno je minimizovati kašnjenje od ulaza *In* kola do izlaza *Out*.

- a) [10] Nacrtati električnu šemu logičkog bloka koji u zadatom obliku realizuje funkciju *Y* u komplementarnoj logici. Nacrtati stik dijagram izlaznog stepena korišćenjem metode Ojlerovih putanja tako da površina kola bude što manja.
- b) [20] Odrediti veličine tranzistora u logičkim kolima od ulaza *In* do izlaza *Out*, tako da kašnjenje po tom putanji bude minimalno. Faktor dimenzionisanja prvog kola u lancu je jednak 1.
- c) [10] Odrediti ukupno kašnjenje od ulaza *In* do izlaza *Out*.
- d) [20] Da bi se smanjilo ukupno kašnjenje, između linije u metalu 1 i izlaznog priključka potrebno je postaviti bafer. Projektovati ovaj bafer kao lanac invertora kod koga prvi inverter u lancu ima faktor dimenzionisanja jednak 1 i odrediti dimenzije tranzistora u svim inverterima.

S obzirom na to da se sada menja opterećenje u čvoru *X*, ali i da je uneto kašnjenje bafera, izračunati minimalno kašnjenje od ulaza *In* do izlaza *X* u tom slučaju, kao i ukupno kašnjenje od ulaza *In* do izlaza *Out*. Nije potrebno izračunavati nove dimenzije tranzistora logičke strukture već samo kašnjenje u slučaju kada bi oni bili ponovo dimenzionisani za minimalno kašnjenje.

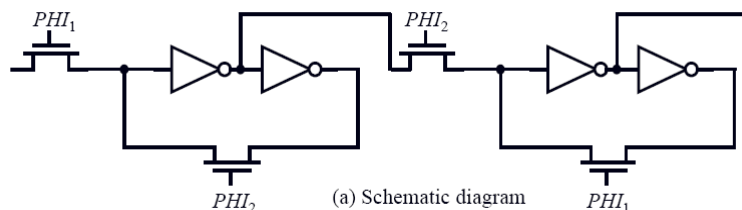
- e) [10] Realizovati funkciju *Y* u *DCVSL* familiji logičkih kola. Težiti da broj tranzistora bude minimalan. Dužine kanala svih tranzistora su minimalne.



Slika 1 – Logička struktura i metalne veze uz zadatak 1

2. a) [7] Šta je *latch-up* (ilustrovati slikom poprečnog preseka integrisanog kola CMOS invertora). Kako se projektovanjem leajuta može smanjiti verovatnoća te pojave?

b) [5] Šta predstavlja kolo prikazano na slici 2? Koja je osnovna mana ove realizacije?



Slika 2.

c) [8] Šta je skin efekat i kako utiče na performanse linija veza? Kako se izborom materijala i dimenzija provodnika može smanjiti uticaj skin efekta?

3. [5 x 2] Odgovorite kratko (1 rečenica) šta je: a) *Full Custom* projektovanje leajuta?

- b) CIF datoteka?      c) DRC program?      d) Menhetn stil crtanja leajuta?      e) TSMC?