Parametri 180 nm CMOS tehnološkog procesa: λ=0,09 µm, V_{DD}=1,8 V, $R_{eq,N/sq}$=9,88 kΩ/□, $R_{eq,P/sq}$=27,1 kΩ/□, C_{ox}=8,42 fF/µm^2, $CGDO_n$=$CGSO_n$=0,791 fF/µm, $CGDO_p$=$CGSO_p$=0,674 fF/µm, $C_{A,poly\text{-}sub}$=98 aF/µm^2, $C_{A,m1\text{-}sub}$=38 aF/µm^2, $C_{A,m2\text{-}sub}$=19 aF/µm^2, $C_{A,m3\text{-}sub}$=13 aF/µm^2, $C_{A,m4\text{-}sub}$=8 aF/µm^2, $C_{A,m5\text{-}sub}$=8 aF/µm^2, $C_{F,m1\text{-}sub}$=14 aF/µm, $C_{F,m2\text{-}sub}$=59 aF/µm, $C_{F,m3\text{-}sub}$=53 aF/µm, $C_{F,m4\text{-}sub}$=42 aF/µm, $C_{F,m5\text{-}sub}$=24 aF/µm, r_{poly}=7,9 Ω/□, r_{m1}=0,08 Ω/□, r_{m2}=0,08 Ω/□, r_{m3}=0,08 Ω/□, r_{m4}=0,07 Ω/□, r_{m5}=0,07 Ω/□, r_{m6}=0,03 Ω/□

1. Logička struktura prikazana na slici 1. treba da bude realizovana u 180 nm CMOS tehnologiji. Logički blok sa slike realizuje funkciju $Y=\overline{(A+B+C)D+AB}$. U ovom zadatku se posmatraju dve putanje: od ulaza *In*1 do izlaza *Out* i od ulaza *In*2 do izlaza *Out*. Na izlazu se nalazi priključak (*pad*) koji je realizovan u sloju metala 1 i ima dimenzije 200 µm × 200 µm. Na izlazni priključak se dodatno priključuje sonda osciloskopa kapacitinosti 20 pF. Sve ostale metalne veze se mogu smatrati kratkim. Potrebno je minimizovati kašnjenje po obe pomenute putanje, najpre po kritičnoj, a zatim i po drugoj koliko je to moguće. Smatrati da je kritična putanja ona koja ima veće kašnjenje kada je optimizovana nezavisno od druge putanje.

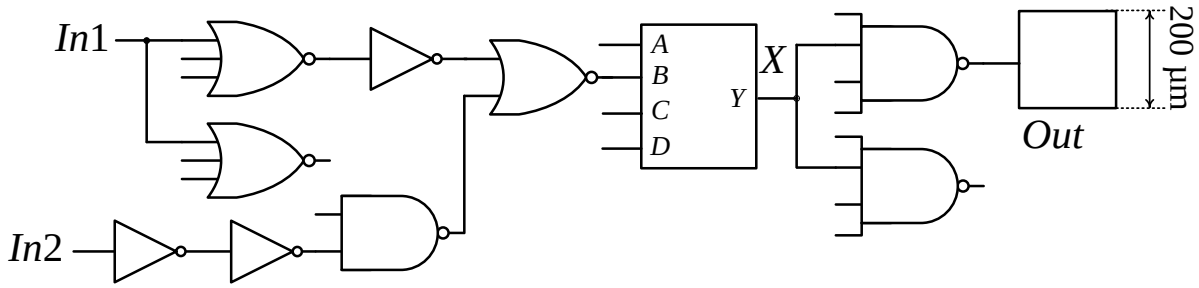
a) [10] Nacrtati električnu šemu i stik dijagram logičkog bloka koji realizuje funkciju *Y* u komplementarnoj logici korišćenjem metode Ojlerovih putanja.

b) [35] Odrediti veličine tranzistora u logičkim kolima od kritičnog ulaza *In* do izlaza *Out*, tako da kašnjenje po toj putanji bude minimalno. Zatim odrediti veličine tranzistora preostalih logičkih kola tako da kašnjenje po drugoj putanji bude što manje. Faktor dimenzionisanja prvih logičkih kola u lancima je jednak 1.

c) [20] Neka je *A* = ”0”, *C* = ”1” i *D* = ”0”. Ako je realizovano logičko kolo deo sinhronog sistema koji radi na učestanosti signala takta f_{CLK} = 100 MHz i ako je verovatnoća promene signala *B* sa ”0” na ”1” $p_{B:0\to1}$ = 5%, izvesti izraz za i odrediti ukupnu disipaciju koja se disipira na tranzistorima logičkog bloka koji realizuje funkciju *Y*. Trajanja silazne i uzlazne ivice signala *B* su $t_r = t_f$ = 50 ps. Maksimalna struja direktne putanje u trenucima prelaza je $I_{sc,peak}$ = 30 µA, a struja curenja kroz kolo je I_{leak} = 1 nA.

d) [5] Realizovati funkciju *Y* u *PE* familiji logičkih kola.

Dužine kanala svih tranzistora su minimalne.



Slika 1 – Logička struktura uz zadatak 1

2. Za PE kolo iz zadataka 1.d):

a) [5] objasnite da li može doći do pojave "*clock feedthrough*" i zašto,

b) [5] modifikujte kolo tako da se redukuju struje curenja,

c) [5] modifikujte kolo tako da se eliminiše preraspodela naelektrisanja.

3. [10] Šta je skin efekat i kako utiče na performanse linija veza? Kako se izborom materijala i dimenzija provodnika može smanjiti uticaj skin efekta?

4. [5 x 2] Odgovorite kratko (1 rečenica) šta je: a) *Back-end* projektovanje? b) Menhetn stil crtanja lejauta? c) DRC program? d) CIF datoteka? e) *Virtuoso LE*?

Ispit traje tri sata.