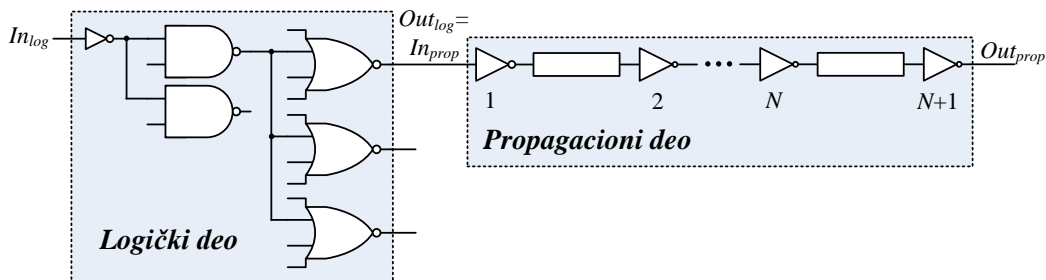


Parametri 180 nm CMOS tehnološkog procesa: $\lambda=0,09 \mu\text{m}$, $V_{DD}=1,8 \text{ V}$, $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$, $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$, $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$, $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$, $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$, $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$, $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$, $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$, $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$, $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$, $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$, $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$, $r_{poly}=7,9 \Omega/\square$, $r_{m1}=0,08 \Omega/\square$, $r_{m2}=0,08 \Omega/\square$, $r_{m3}=0,08 \Omega/\square$

1. Na slici 1 je prikazan deo digitalnog sistema koji se sastoji iz dva povezana dela – logičkog, gde se obavljaju određene logičke operacije, i propagacionog, kroz koga se rezultat tih operacija prosleđuje na izlaz Out_{prop} . Propagacioni deo se sastoji od metalne linije širine $0,36 \mu\text{m}$ i dužine 3 cm realizovane u metalu 2. Radi optimizacije kašnjenja, linija je podeljena na N jednakih delova između kojih je postavljeno $N+1$ identičnih invertora kod kojih su širine kanala PMOS i NMOS tranzistora u odnosu $2/1$. Dužine kanala svih tranzistora su minimalne. Sve veze u logičkom delu se mogu tretirati kao kratke. Sva kola su realizovana u 180 nm CMOS tehnološkom procesu.

- a) [20] Izvesti izraz i odrediti optimalan broj invertora ($N+1$) u propagacionom delu sistema, kao i širine kanala tranzistora u invertorima za koje se dobija minimalno kašnjenje propagacionog dela (od ulaza In_{prop} do izlaza Out_{prop}), nezavisno od logičkog dela.
- b) [20] Za tako određene dimenzije tranzistora u propagacionom delu, odrediti veličine tranzistora u svim logičkim kolima u logičkom delu, tako da kašnjenje logičkog dela bude minimalno, ako je faktor dimenzionisanja prvog invertora u lancu jednak 1.
- c) [10] Odrediti ukupno kašnjenje od ulaza In_{log} do izlaza Out_{prop} .



Slika 1 – Deo digitalnog sistema uz zadatak 1

2. Data je logička funkcija $F = \overline{(A + B)G + CD(E + F + A)}$

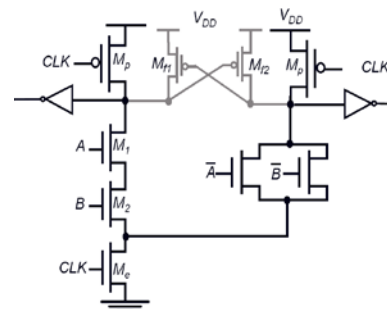
- a) [10] Nacrtati električnu šemu jednostepenog logičkog kola u komplementarnoj logici koje realizuje funkciju F u zadatkom obliku. Odrediti dimenzije svih tranzistora u kolu ako ekvivalentne otpornosti p i n mreže odgovaraju invertoru dimenzionisanom za minimalno kašnjenje i odrediti logički trud kola za ulaz A .
- b) [10] Nacrtati stik dijagram korišćenjem metode Ojlerovih putanja i proceniti površinu realizovanog leajauta.

3. [5 x 2] Odgovorite kratko (1 rečenica) šta je: a) Full Custom projektovanje leajauta? b) TSMC? c) DRC program? d) CIF datoteka? e) Virtuoso LE?

4. a) [7] Za kolo prikazano na slici 4 odrediti logičku funkciju, kojoj logičkoj familiji pripada i navesti koje su osnovne osobine te familije.

b) [8] Navesti kako se izvodi skaliranje prema modelu konstantnih polja, a zatim objasniti kakav je uticaj takvog skaliranja na kapacitivnosti veza u integrisanom kolu.

c) [5] Šta je elektromigracija i kako utiče na projektovanje provodnika u integrisanom kolu?



Slika 4.