

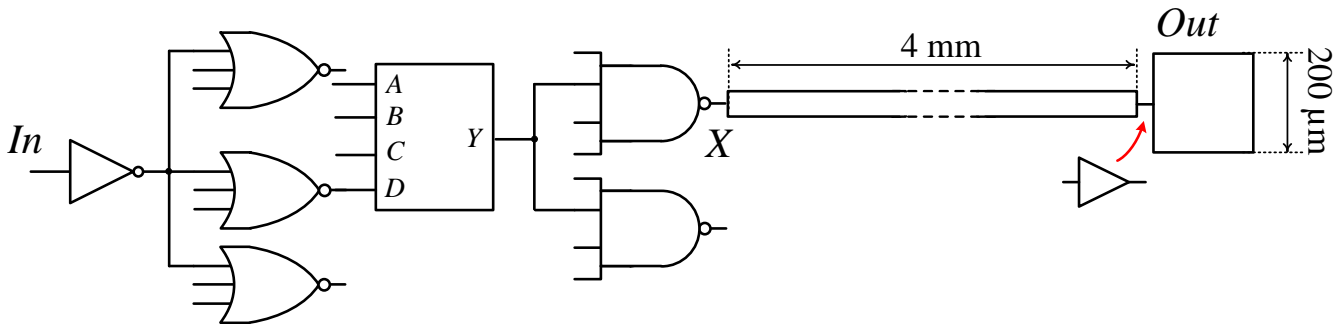
**Parametri 180 nm CMOS tehnološkog procesa:**  $\lambda=0,09 \mu\text{m}$ ,  $V_{DD}=1,8 \text{ V}$ ,  $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$ ,  $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$ ,  $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$ ,  $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$ ,  $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$ ,  $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$ ,  $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$ ,  $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$ ,  $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$ ,  $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$ ,  $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$ ,  $r_{poly}=7,9 \Omega/\square$ ,  $r_{m1}=0,08 \Omega/\square$ ,  $r_{m2}=0,08 \Omega/\square$ ,  $r_{m3}=0,08 \Omega/\square$ ,  $r_{m4}=0,07 \Omega/\square$ ,  $r_{m5}=0,07 \Omega/\square$ ,  $r_{m6}=0,03 \Omega/\square$

1. Logička struktura prikazana na slici 1. treba da bude realizovana u 180 nm CMOS tehnologiji. Logički blok sa slike realizuje funkciju  $Y = \overline{(A + B + C)}D + AB$ . Na izlazima poslednjih logičkih kola u nizu se nalazi linija širine  $0,36 \mu\text{m}$  i dužine  $4 \text{ mm}$  realizovana u metalu 1. Na drugom kraju linije se nalazi izlazni priključak (*pad*) koji je realizovan u sloju metala 1 i ima dimenzije  $200 \mu\text{m} \times 200 \mu\text{m}$ . Sve ostale metalne veze se mogu smatrati kratkim. Potrebno je minimizovati kašnjenje od ulaza invertora *In* do izlaza *Out*.

- [10] Nacrtati električnu šemu i stik dijagram logičkog bloka koji realizuje funkciju  $Y$  u komplementarnoj logici korišćenjem metode Ojlerovih putanja.
- [20] Odrediti veličine tranzistora u logičkim kolima od ulaza *In* do izlaza *Out*, tako da kašnjenje po toj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
- [10] Odrediti ukupno kašnjenje od ulaza *In* do izlaza *Out*.
- [20] Da bi se smanjilo ukupno kašnjenje, između linije u metalu 1 i izlaznog priključka potrebno je postaviti bafer. Projektovati ovaj bafer kao lanac invertora kod koga prvi inverter u lancu ima faktor dimenzionisanja jednak 1 i odrediti dimenzije tranzistora u svim inverterima.

S obzirom na to da se sada menja opterećenje u čvoru *X*, ali i da je uneto kašnjenje bafera, izračunati optimalno kašnjenje od ulaza *In* do izlaza *X* u tom slučaju, kao i ukupno kašnjenje od ulaza *In* do izlaza *Out*. Nije potrebno izračunavati nove dimenzije tranzistora logičke strukture već samo kašnjenje u slučaju kada bi oni bili ponovo dimenzionisani za optimalno kašnjenje.

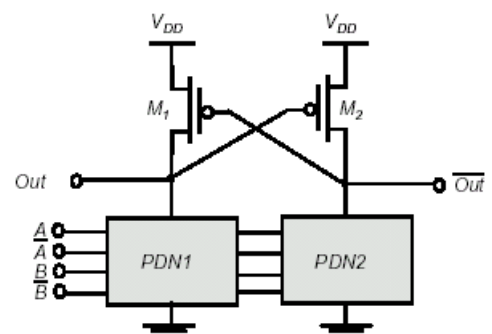
- [10] Realizovati funkciju  $Y$  u *DVL* familiji logičkih kola.
- Dužine kanala svih tranzistora su minimalne.



Slika 1 – Logička struktura i metalne veze uz zadatak 1

2.

- [4] Koje su komponente statičke disipacije CMOS invertora koji se nalazi u stanju logičke jedinice? Ukratko objasniti.
- [10] Kojoj logičkoj familiji pripada kolo prilazano na slici 2? Objasniti kako kolo radi, a zatim navesti osobine ove logičke familije.
- [8] Navesti kako se izvodi skaliranje prema modelu konstantnih polja, a zatim objasniti kakav je uticaj takvog skaliranja na kapacitivnosti veza u integrisanom kolu.
- [5] Ukratko opisati kako se razvodi signal takta u integrisanim kolima korišćenjem mreže za distribuciju takta. Navesti osnovne prednosti i mane te tehnike.



Slika 2

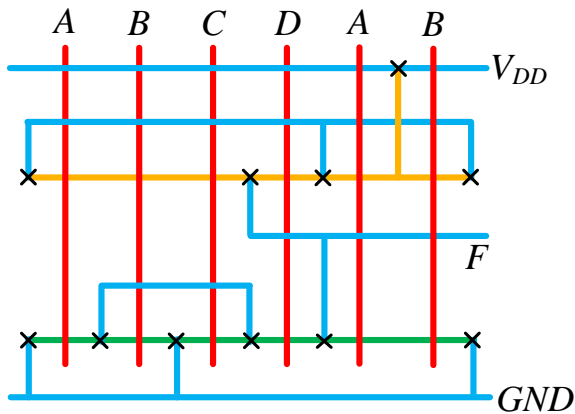
- Odgovorite kratko (1 rečenica) šta je:
  - [2] *Full Custom* projektovanje lejauta?
  - [2] DRC program?
  - [2] CIF datoteka?
  - [2] TSMC?

Ispit traje tri sata.

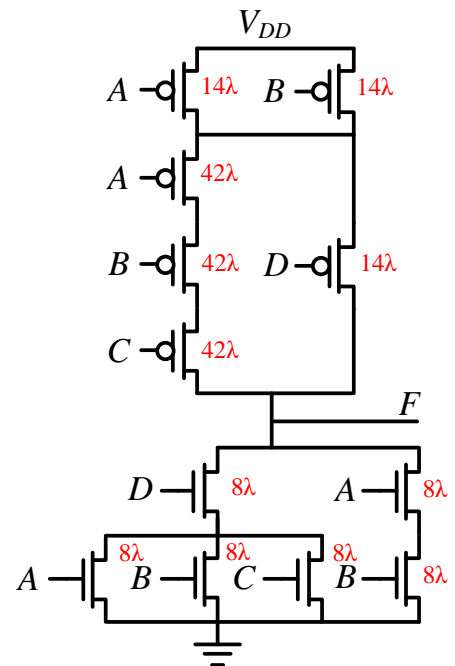
Rešenje zadatka:

1.

a) Električna šema koja realizuje funkciju  $Y = \overline{(A + B + C)D} + AB$  sa odgovarajućim dimenzijama tranzistora koje odgovaraju invertoru dimenzionisanom za minimalno kašnjenje je prikazana na slici 2.1. Kako je kritična putanja na signalu  $E$ , to su tranzistori pobuđeni signalom  $E$  postavljeni najbliže izlazu. Postoji zajednička Ojelerova putanja za  $PUN$  i  $PDN$  i to putanja:  $A-B-C-D-A-B$ . Na osnovu toga se dobija stik dijagram sa slike 2.2.



Slika 1.2 – Stik dijagram



Slika 1.1 – CMOS realizacija tražene funkcije

b) Ukupna kapacitivnost u čvoru  $X$  je zbir kapacitivnosti linije i kapacitivnosti priključka. Kapacitivnost linije je:  $C_w = C_{A,m1-sub} W_w L_w + C_{F,m1-sub} \cdot 2L_w = 38 \text{ aF}/\mu\text{m}^2 \cdot 4 \text{ mm} \cdot 0,36 \mu\text{m} + 14 \text{ aF}/\mu\text{m} \cdot 2 \cdot 4 \text{ mm} = 166,72 \text{ fF}$ . Kapacitivnost priključka je:  $C_{pad} = C_{A,m1-sub} W_{pad}^2 + C_{F,m1-sub} \cdot 4W_{pad} = 1531,2 \text{ fF}$ . Ukupno opterećenje je  $C_X = C_w + C_{pad} = 1697,92 \text{ fF}$ . Odnos širina tranzistora za minimalno kašnjenje invertora je  $7\lambda/4\lambda$ , pa je ulazna kapacitivnost prvog invertora  $C_{in,1} = (CGDO_n + CGSO_n)W_n + C_{ox}W_nL + (CGDO_p + CGSO_p)W_p + C_{ox}W_pL = 2,92 \text{ fF}$ . Ukupan električni trud je na osnovu toga:  $F = \frac{C_X}{C_{in,1}} = \frac{1697,92 \text{ fF}}{2,92 \text{ fF}} = 581,48$ . Ukupan

trud grananja iznosi  $B = \prod_{i=1}^4 b_i = 3 \cdot 1 \cdot 2 \cdot 1 = 6$ . Logički trud svakog od logičkih kola je:  $g_1 = 1, g_2 = \frac{25}{11}$ ,

$g_{3,D} = 2, g_4 = \frac{23}{11}$ , a na osnovu toga je logički trud putanje  $G = \prod_{i=1}^4 g_i = \frac{1150}{121}$ . Ukupan trud putanje je

$H = \prod_{i=1}^4 h_i = \prod_{i=1}^4 g_i f_i = GFB = 33158,78$ . Trud svakog od kola pri kome se dobija minimalno kašnjenje je

$h = \sqrt[4]{H} = \sqrt[4]{33158,78} = 13,49$ . Za kola u zadatku se dobija električni trud:  $f_1 = \frac{h}{g_1} = 13,49$ ,

$f_2 = \frac{h}{g_2} = \frac{13,49}{25/11} = 5,94, f_3 = \frac{h}{g_{3,D}} = 6,75$  i  $f_4 = \frac{h}{g_4} = \frac{13,49}{23/11} = 6,45$ , a kako je po uslovima zadatka  $s_1=1$ ,

za faktore dimenzionisanja ostalih kola se dobija:  $s_2 = \frac{g_1 s_1 f_1}{g_2 b_1} = \frac{11 \cdot 13,49}{25 \cdot 3} = 1,98$ ,

$s_3 = \frac{g_1 s_1 f_1 f_2}{g_3 b_1 b_2} = \frac{1 \cdot 13,49 \cdot 5,94}{2 \cdot 3 \cdot 1} = 13,36$ ,  $s_4 = \frac{g_1 s_1 f_1 f_2 f_3}{g_4 b_1 b_2 b_3} = \frac{11 \cdot 13,49 \cdot 5,94 \cdot 6,75}{23 \cdot 3 \cdot 1 \cdot 2} = 43,11$ . Širine

tranzistora logičkih kola su:  $W_{1n}=4\lambda$ ,  $W_{1p}=7\lambda$ ;  $W_{2n}=s_2W_{1n}=8\lambda$ ,  $W_{2p}=s_2\cdot 3W_{1p}=42\lambda$ ;  $W_{3n}=s_3\cdot 2W_{1n}=107\lambda$ ,  $W_{3p,A,B,D}=s_3\cdot 14\lambda=187\lambda$ ,  $W_{3p,A,B,C}=s_3\cdot 42\lambda=561\lambda$ ;  $W_{4n}=s_4\cdot 4W_{1n}=690\lambda$ ,  $W_{4p}=s_4W_{1p}=302\lambda$ .

$$c) \text{ Kašnjenje do čvora } X \text{ je } t_{p,X} = t_{p0} \sum_{j=1}^4 \left( p_j + \frac{h_j}{\gamma} \right) = t_{p0} \left( 1 + 3 + \frac{42 + 14 + 8 + 8}{7 + 4} + 4 + 4 \cdot 13,49 \right) = 68,51 t_{p0},$$

$$\text{gde je } t_{p0} = \frac{R_n + R_p}{2} C_L \ln 2 = \left( R_{N/sq} \frac{L}{W_n} + R_{P/sq} \frac{L}{W_p} \right) C_L \frac{\ln 2}{2} = \frac{\ln 2}{2} \cdot (4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot 2,92 \text{ pF} = 12,77 \text{ ps},$$

pa je  $t_{p,X} = 21,08 t_{p0} = 874,8 \text{ ps}$ .

Otpornost linije je  $R_w = r_{m1} \frac{L_w}{W_w} = 0,08 \Omega \cdot \frac{4000}{0,36} = 888,89 \Omega$ . Propagaciono kašnjenje kroz metalnu liniju je

ukupno:  $t_{prop} = 0,38 r_w C_w L_w^2 + R_w C_{pad} \ln 2 = 0,38 R_w C_w + R_w C_{pad} \ln 2 = 56,31 \text{ ps} + 943,42 \text{ ps} = 999,73 \text{ ps}$ , pa je ukupno kašnjenje  $t_{p,Out} = t_{p,X} + t_{prop} = 874,8 \text{ ps} + 999,73 \text{ ps} = 1,875 \text{ ns}$ .

d) Bafer je potrebno projektovati kao lanac invertora. Ukupni efektivni fenaut lanca invertora je

$$F_{buff} = \frac{C_{pad}}{C_{in,1}} = \prod_{i=1}^N f_i = \frac{1,5312 \text{ pF}}{2,92 \text{ fF}} = 524,38, \text{ gde je } f_i \text{ efektivni fenaut pojedinačnih invertora, a } C_{in,1} \text{ ulazna}$$

kapacitivnost prvog invertora. Ako se usvoji da je optimalan efektivni fenaut  $f_{opt}=4$ , broj invertora u lancu

$$\text{je } N = \frac{\ln F_{buff}}{\ln f} = \frac{\ln 524,38}{\ln 4} = 4,52, \text{ odakle je } N = 4, \text{ jer broj invertora mora biti paran kako se ne bi}$$

promenila logička funkcija. Na osnovu toga je  $f_{N=4} = \sqrt[4]{F} = \sqrt[4]{524,38} = 4,79$ . Širine tranzistora invertora u kaskadi su:  $W_{1n}=4\lambda$ ,  $W_{1p}=7\lambda$ ;  $W_{2n}=f\cdot W_{1n}=19\lambda$ ,  $W_{2p}=f\cdot W_{1p}=34\lambda$ ;  $W_{3n}=f^2\cdot W_{1n}=92\lambda$ ,  $W_{3p}=f^2\cdot W_{1p}=161\lambda$ ;  $W_{4n}=f^3\cdot W_{1n}=440\lambda$ ,  $W_{4p}=f^3\cdot W_{1p}=769\lambda$ .

$$\text{Kašnjenje bafera je } t_{p,buff} = \sum_{i=1}^4 t_{pi} = 4 t_{p0} \left( 1 + \frac{f}{\gamma} \right) = 4 t_{p0} (1 + f) = 23,16 t_{p0} = 295,75 \text{ ps}.$$

Sada je promenjena ekvivalentna opteretna kapacitivnost u čvoru X i ona iznosi  $C_X = C_w + C_{in,1} = 169,64 \text{ fF}$ .

Zbog toga se i menja ukupni trud putanje:  $H = GFB = \frac{1150}{121} \cdot \frac{169,64}{2,92} \cdot 6 = 3312,9$ . Ako bi se tranzistori

logičke strukture ponovo dimenzionisali za optimalno kašnjenje, kašnjenje logičke strukture bi bilo:

$$t_{p,X} = t_{p0} \left( 1 + 3 + \frac{72}{11} + 4 + 4 \cdot \sqrt[4]{3312,9} \right) = 44,91 t_{p0} = 573,44 \text{ ps}. \text{ Propagaciono kašnjenje linije se takođe}$$

menja jer je smanjena kapacitivnost na izlaznom kraju linije, pa novo kašnjenje iznosi:

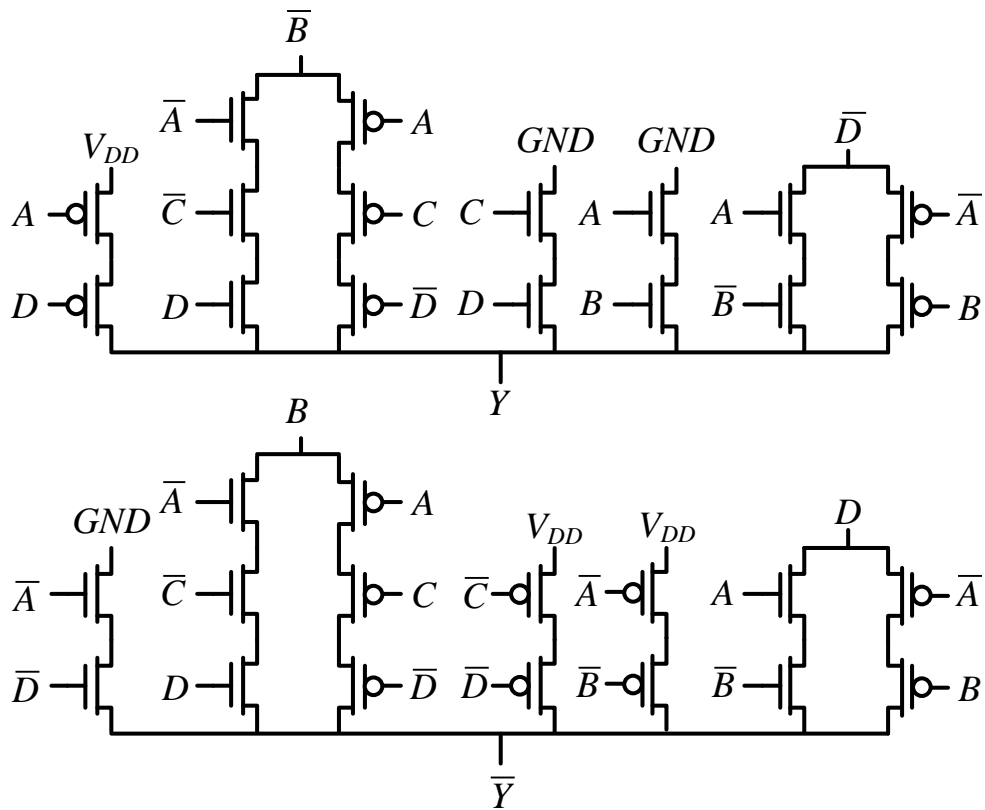
$$t_{prop} = 0,38 R_w C_w + R_w C_{in,1} \ln 2 = 56,31 \text{ ps} + 1,8 \text{ ps} = 58,11 \text{ ps}. \quad \text{Ukupno kašnjenje je:}$$

$$t_{p,Out} = t_{p,X} + t_{prop} + t_{buff} = 573,44 \text{ ps} + 58,11 \text{ ps} + 295,75 \text{ ps} = 0,927 \text{ ns}.$$

e) Karnoova karta koja odgovara funkciji Y sa naznačenim konturama je prikazana na slici 1.3, a DVL kolo koje realizuje funkcije Y i  $\bar{Y}$  je prikazano na slici 1.4.

|      |    |      |    |    |    |
|------|----|------|----|----|----|
|      |    | $CD$ |    |    |    |
|      |    | 00   | 01 | 11 | 10 |
| $AB$ | 00 | 1    | 1  | 0  | 1  |
|      | 01 | 1    | 0  | 0  | 1  |
|      | 11 | 0    | 0  | 0  | 0  |
|      | 10 | 1    | 0  | 0  | 1  |

Slika 1.3 – Karnoova karta koja odgovara funkciji Y



Slika 1.4 – Realizovano DVL logičko kolo