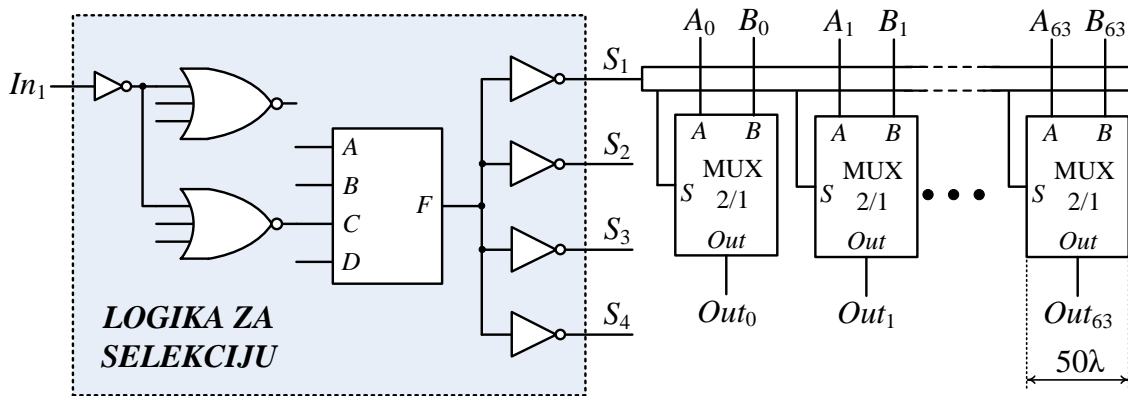


Parametri 180 nm CMOS tehnološkog procesa: $\lambda=0,09 \mu\text{m}$, $V_{DD}=1,8 \text{ V}$, $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$, $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$, $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$, $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$, $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$, $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$, $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$, $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$, $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$, $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$, $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$, $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$, $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$, $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$

1. Na slici 1 je prikazan deo jednog digitalnog sistema koji na izlaze $Out_{63..0}$ prosleđuje 64-bitni podatak $A_{63..0}$ ili $B_{63..0}$ u zavisnosti od određenih kontrolnih signala koji se dovode na ulaze logike za selekciju. Izlazi logike za selekciju su signali S_1, S_2, S_3 i S_4 kojim se kontrolišu multiplekseri za 4 podatka. U okviru logike za selekciju, nalazi se logički blok koji realizuje funkciju $F = \overline{(AB + C)}D$. Kritična putanja logike je od ulaza In_1 do izlaza S_1, S_2, S_3 i S_4 . Na svakom od izlaza se nalazi selekciona linija realizovana u metalu 2 širine 4λ na koju je priključeno 64 multipleksera 2 u 1 realizovanih korišćenjem transmisionih gejtova. Širine kanala prekidačkih tranzistora u jednom multiplekseru su 4λ , dok je invertor dimenzionisan za minimalno kašnjenje. Dužine kanala svih tranzistora su minimalne. Sve veze u logici za selekciju i multiplekserima se mogu tretirati kao kratke. Sva kola su realizovana u 180 nm CMOS tehnološkom procesu.
 - a) [10] Nacrtati električnu šemu multipleksera i odrediti ukupnu kapacitivnost koja opterećuje logiku za selekciju na izlazu S_1 .
 - b) [10] Nacrtati električnu šemu i stik dijagram bloka koji realizuje funkciju F u komplementarnoj logici korišćenjem metode Ojlerovih putanja i na osnovu njega proceniti površinu logičkog bloka.
 - c) [25] Odrediti veličine tranzistora u svim kolima logike za selekciju, tako da kašnjenje po kritičnoj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
 - d) [15] Odrediti ukupno kašnjenje od ulaza In_1 do izlaza S_1 . Obrazložiti da li se kašnjenje može smanjiti dodavanjem baferskih struktura i ako može, izračunati minimalno kašnjenje.
 - e) [10] Realizovati funkciju F u DCVSL familiji logičkih kola.



Slika 1. – Deo digitalnog sistema uz zadatak 1

2. a) [10] Zbog čega se javlja neuparenost karakteristika komponentata sa istim lejaustom? Ukratko objasniti *Common centroid* tehniku projektovanja lejauta kojom se taj problem može umanjiti.
- b) [5] Procenite koliko bi kolo iz vašeg projekta bilo brže kada biste ga projektovali sa parametrima za 90nm CMOS tehnološki proces? Obrazložiti.
- c) [7] Objasniti šta je EDP faktor i u čemu je značaj tog faktora. Ilustrovati slikom.
- d) [8] Ukratko opisati dva načina razvodjenja globalnog signala takta koji se najčešće koriste u integrisanim kolima i navesti osnovne prednosti svakog od njih.

Ispit traje tri sata.

Rešenje zadatka:

1.

a) Na slici 1.1 je prikazana električna šema multipleksera.

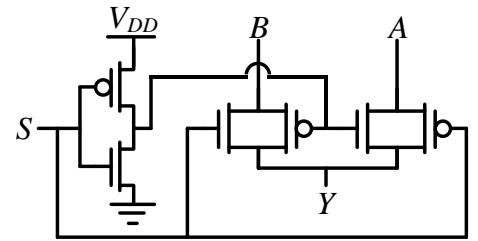
Dužina linije u metalu 2 je:

$$L_w = 64 \cdot 50\lambda = 3200 \cdot 0,09 \mu\text{m} = 288 \mu\text{m}, \text{ a kapacitivnost iznosi}$$

$$C_w = C_{A,m2-sub} W_w L_w + C_{F,m2-sub} \cdot 2L_w = 19 \text{ aF}/\mu\text{m}^2 \cdot 288 \mu\text{m} \cdot 0,36 \mu\text{m} +$$

$$+ 59 \text{ aF}/\mu\text{m} \cdot 2 \cdot 288 \mu\text{m} = 35,95 \text{ fF}.$$

Na selekcionu liniju su vezani po dva NMOS tranzistora širine 4λ , po jedan PMOS tranzistor širine 4λ i po jedan PMOS tranzistor širine 7λ za svaki multiplekser 2 u 1, pa je kapacitivnost jedne ćelije: $C_{MUX} = 2((CGDO_n + CGSO_n)W_n + C_{ox}W_nL) + ((CGDO_p + CGSO_p)(W_{p1} + W_{p2}) + C_{ox}(W_{p1} + W_{p2})L) = 2,23 \text{ fF} + 2,83 \text{ fF} = 5,06 \text{ fF}$. Ukupno opterećenje je $C_L = C_w + 64C_{MUX} = 359,79 \text{ fF}$.

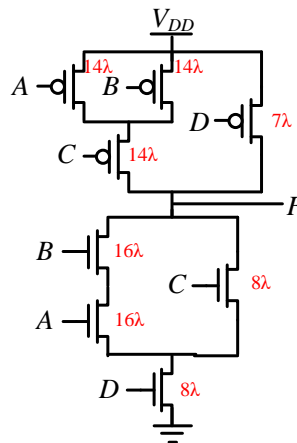


Slika 1.1 – Multiplekser 2 u 1

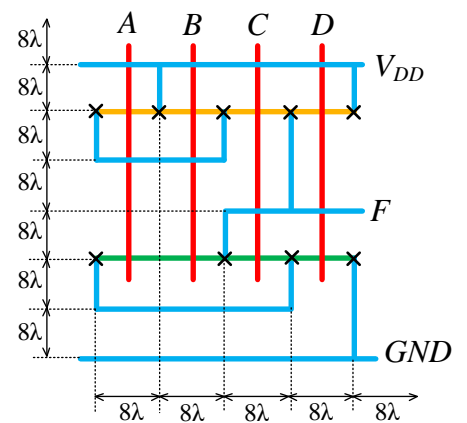
b) Električna šema koja realizuje funkciju

$$F = \overline{(AB + C)D}$$

sa odgovarajućim dimenzijama tranzistora koje odgovaraju invertoru dimenzionisanom za minimalno kašnjenje je prikazana na slici 1.2. Kako je kritična putanja na signalu C, to su tranzistori pobuđeni signalom C postavljeni najbliže izlazu. Postoji zajednička Ojlerova putanja za PUN i PDN i to putanja: A-B-C-D. Na osnovu toga se dobija stik dijagram sa slike 1.3.



Slika 1.2 – CMOS realizacija tražene funkcije



Slika 1.3 – Stik dijagram

Širina ćelije je $5 \cdot 8\lambda = 40\lambda$. Najširi tranzistor u p mreži je širok 14λ , a u n mreži 16λ , pa je visina ćelije $7 \cdot 8\lambda + 14\lambda - 4\lambda + 16\lambda - 4\lambda = 78\lambda$, a površina ćelije je $3120\lambda^2$.

c) Kapacitivnost na izlazima, na osnovu tačke a) iznosi $C_L = 359,79 \text{ fF}$. Odnos širina tranzistora za minimalno kašnjenje invertora je $7\lambda/4\lambda$, pa je ulazna kapacitivnost prvog invertora $C_{in,1} = (CGDO_n + CGSO_n)W_n + C_{ox}W_nL + (CGDO_p + CGSO_p)W_p + C_{ox}W_pL = 2,92 \text{ fF}$. Ukupan električni trud je na osnovu toga: $F = \frac{C_L}{C_{in,1}} = \frac{359,79 \text{ fF}}{2,92 \text{ fF}} = 123,22$. Ukupan trud grananja iznosi $B = \prod_{i=1}^4 b_i = 2 \cdot 1 \cdot 4 \cdot 1 = 8$.

Logički trud svakog od logičkih kola je: $g_1 = 1$, $g_2 = \frac{25}{11}$, $g_{3,C} = \frac{22}{11} = 2$, $g_4 = 1$, a na osnovu toga je

logički trud putanje $G = \prod_{i=1}^4 g_i = \frac{50}{11}$. Ukupan trud putanje je $H = \prod_{i=1}^4 h_i = \prod_{i=1}^4 g_i f_i = GFB = 4480,73$. Trud svakog od kola pri kome se dobija minimalno kašnjenje je $h = \sqrt[4]{H} = \sqrt[4]{4480,73} = 8,2$. Za kola u zadatku se dobija električni trud: $f_1 = \frac{h}{g_1} = 8,2$, $f_2 = \frac{h}{g_2} = \frac{8,2}{25/11} = 3,6$, $f_3 = \frac{h}{g_3} = \frac{8,2}{2} = 4,1$ i $f_4 = \frac{h}{g_4} = 8,2$, a

kako je po uslovima zadatka $s_1 = 1$, za faktore dimenzionisanja ostalih kola se dobija:

$$s_2 = \frac{g_1 s_1 f_1}{g_2 b_1} = \frac{11 \cdot 8,2}{25 \cdot 2} = 1,8, s_3 = \frac{g_1 s_1 f_1 f_2}{g_3 b_1 b_2} = \frac{1 \cdot 8,2 \cdot 3,6}{2 \cdot 2 \cdot 1} = 7,38, s_4 = \frac{g_1 s_1 f_1 f_2 f_3}{g_4 b_1 b_2 b_3} = \frac{8,2 \cdot 3,6 \cdot 4,1}{2 \cdot 1 \cdot 4} = 15,13.$$

Širine tranzistora logičkih kola su: $W_{1n}=4\lambda$, $W_{1p}=7\lambda$; $W_{2n}=s_2 W_{1n}=7\lambda$, $W_{2p}=s_2 \cdot 3 W_{1p}=38\lambda$; $W_{3n,A,B}=s_3 \cdot 16\lambda=118\lambda$, $W_{3n,C}=s_3 \cdot 8\lambda=59\lambda$, $W_{3n,D}=s_3 \cdot 4\lambda=30\lambda$, $W_{3p,A,B,C}=s_3 \cdot 14\lambda=103\lambda$, $W_{3p,D}=s_3 \cdot 7\lambda=52\lambda$; $W_{4n}=s_4 W_{1n}=61\lambda$, $W_{4p}=s_4 W_{1p}=106\lambda$.

d) Ukupno kašnjenje je $t_p = t_{p0} \sum_{j=1}^4 \left(p_j + \frac{h_j}{\gamma} \right) = t_{p0} \left(1 + 3 + \frac{45}{11} + 1 + 4 \cdot 8,2 \right) = 41,89 t_{p0}$, gde je

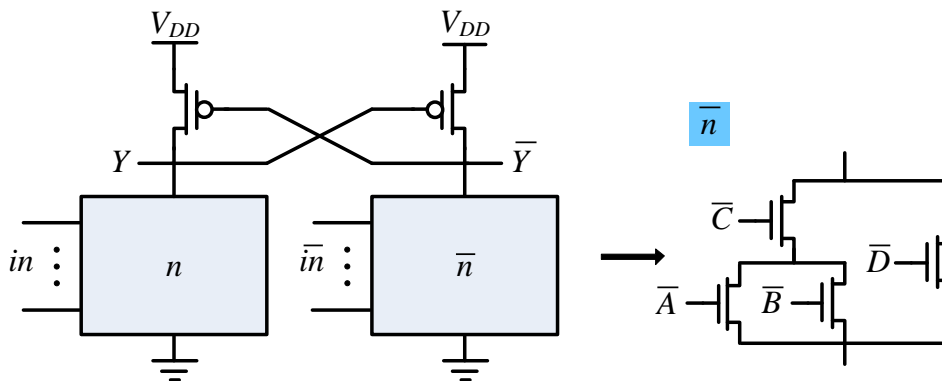
$$t_{p0} = \frac{R_n + R_p}{2} C_L \ln 2 = \left(R_{N/sq} \frac{L}{W_n} + R_{P/sq} \frac{L}{W_p} \right) C_L \frac{\ln 2}{2} = \frac{\ln 2}{2} \cdot (4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot 2,92 \text{ pF} = 12,77 \text{ ps}, \text{ pa je}$$

$$t_p = 41,89 t_{p0} = 534,95 \text{ ps}.$$

Kašnjenje se može smanjiti dodavanjem baferskog stepena (dva invertora) jer je tada $h = \sqrt[6]{H} = \sqrt[6]{4480,73} = 4,06$, što daje i minimalno kašnjenje:

$$t_p = t_{p0} \left(1 + 3 + \frac{45}{11} + 1 + 2 \cdot 1 + 6 \cdot 4,06 \right) = 35,45 t_{p0} = 452,71 \text{ ps}.$$

e) DCVSL kolo koje realizuje funkciju F je prikazano na slici 1.4. n mreža je ista kao na slici 1.2, a \bar{n} mreža je prikazana na slici 1.4 desno.



Slika 1.4 – DCVSL realizacija funkcije F