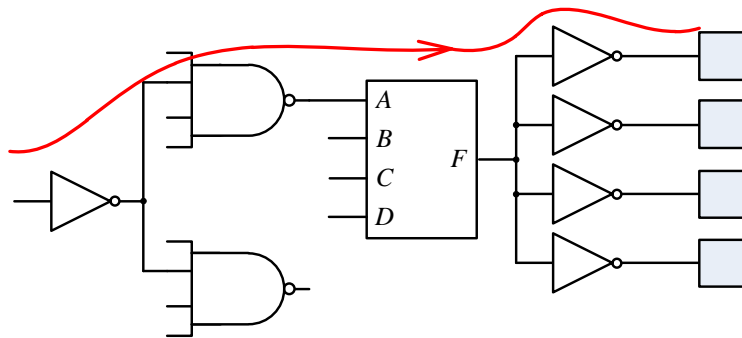


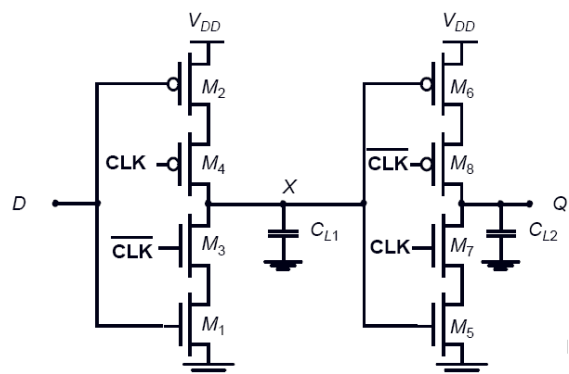
**Parametri 180 nm CMOS tehnološkog procesa:**  $\lambda=0,09 \mu\text{m}$ ,  $V_{DD}=1,8 \text{ V}$ ,  $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$ ,  
 $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$ ,  $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$ ,  $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$ ,  
 $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$ ,  $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$

1. Logička struktura prikazana na slici 1. treba da bude realizovana u 180 nm CMOS tehnologiji. Logički blok sa slike realizuje funkciju  $F = \overline{(A + B)C + D}$ . Izlazni priključci (*pad*-ovi) su realizovani u sloju metala 1 i imaju dimenzije  $200 \mu\text{m} \times 200 \mu\text{m}$ . Kritična putanja je označena na slici. Ivične kapacitivnosti metala 1 se mogu zanemariti, a sve veze se mogu tretirati kao kratke.
  - a) [10] Nacrtati električnu šemu i stik dijagram logičkog bloka koji realizuje funkciju  $F$  u komplementarnoj logici korišćenjem metode Ojlerovih putanja.
  - b) [30] Odrediti veličine tranzistora u svim kolima sa slike 1, tako da kašnjenje po označenoj putanji bude minimalno, ako je faktor dimenzionisanja prvog invertora u lancu jednak 1.
  - c) [20] Odrediti ukupno kašnjenje od ulaza do izlaznog priključka. Obrazložiti da li se kašnjenje može smanjiti dodavanjem baferskih struktura i ako može, izračunati minimalno kašnjenje.
  - d) [10] Realizovati funkciju  $F$  u CPL familiji logičkih kola. Kolo realizovati sa invertorom na izlazu za restauraciju logičkih nivoa.



Slika 1. – Logička struktura uz zadatak 1

2. a) [10] Zbog čega se javlja neuparenost karakteristika komponenta sa istim lejtautom? Ukratko objasniti jednu tehniku projektovanja lejauta kojom se taj problem može umanjiti.
- b) [10] Koja realizacija flipflopa je prikazana na slici 2? Navesti prednosti i ograničenja ove realizacije. Objasniti šta se dešava u slučaju preklapanja "1-1" takta i njegovog komplementa.
- c) [5] Kako se razvodi globalni signal takta u integrisanim kolima korišćenjem tehnike "stabla" i koja je prednost te tehnike?
- d) [5] Procenite koliko bi kolo iz vašeg projekta bilo brže kada biste ga projektovali sa parametrima za 65nm CMOS tehnološki proces? Obrazložiti.



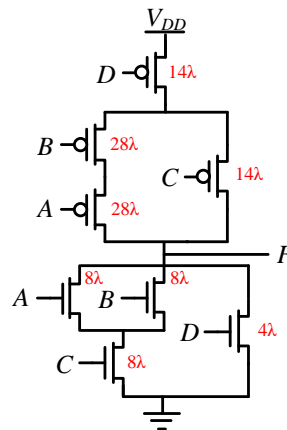
Slika 2.

3. [5] Napišite 5 komentara za predavanja/vežbe/projekat/ispit/ocenjivanje/opremu/... Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.

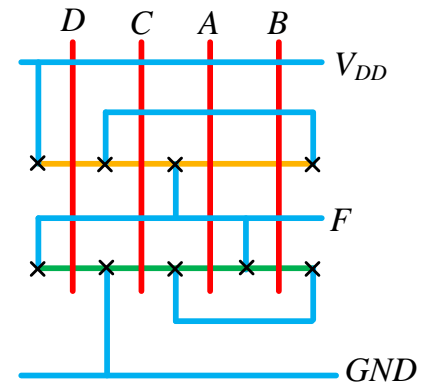
**Rešenje zadatka:**

1.

a) Električna šema koja realizuje funkciju  $F = \overline{(A+B)C} + D$  sa odgovarajućim dimenzijama tranzistora koje odgovaraju invertoru dimenzionisanom za minimalno kašnjenje je prikazana na slici 1.2. Kako je kritična putanja na signalu A, to su tranzistori pobuđeni signalom A postavljeni najbliže izlazu. Postoji zajednička Ojelerova putanja za PUN i PDN i to putanja: D-C-A-B. Na osnovu toga se dobija stik dijagram sa slike 1.3.



Slika 1.2 – CMOS realizacija tražene funkcije



Slika 1.3 – Stik dijagram

b) Kapacitivnost izlaznih priključaka iznosi  $C_L = C_{A,m1-sub} W_p L_p = 38 \text{ aF}/\mu\text{m} \cdot (200 \mu\text{m})^2 = 1,52 \text{ pF}$ . Odnos širina tranzistora za minimalno kašnjenje invertora je  $7\lambda/4\lambda$ , pa je ulazna kapacitivnost prvog invertora  $C_{in,1} = (CGDO_n + CGSO_n)W_n + C_{ox}W_nL + (CGDO_p + CGSO_p)W_p + C_{ox}W_pL = 2,92 \text{ fF}$ . Ukupan električni trud je na osnovu toga:  $F = \frac{C_L}{C_{in,1}} = \frac{1,52 \text{ pF}}{2,92 \text{ fF}} = 520,55$ . Ukupan trud grananja iznosi

$$B = \prod_{i=1}^4 b_i = 2 \cdot 1 \cdot 4 \cdot 1 = 8. \text{ Logički trud svakog od logičkih kola je: } g_1 = 1, g_2 = \frac{23}{11}, g_{3,A} = \frac{36}{11}, g_4 = 1,$$

a na osnovu toga je logički trud putanje  $G = \prod_{i=1}^4 g_i = \frac{828}{121}$ . Ukupan trud putanje je

$$H = \prod_{i=1}^4 h_i = \prod_{i=1}^4 g_i f_i = GFB = 28496,9. \text{ Trud svakog od kola pri kome se dobija minimalno kašnjenje}$$

je  $h = \sqrt[4]{H} = \sqrt[4]{28496,9} = 13$ . Za kola u zadatku se dobija električni trud:  $f_1 = \frac{h}{g_1} = 13$ ,

$$f_2 = \frac{h}{g_2} = \frac{13}{23/11} = 6,22, f_3 = \frac{h}{g_3} = \frac{13}{36/11} = 3,97 \text{ i } f_4 = \frac{h}{g_4} = 13, \text{ a kako je po uslovima zadatka } s_1 = 1,$$

za faktore dimenzionisanja ostalih kola se dobija:  $s_2 = \frac{g_1 s_1 f_1}{g_2 b_1} = \frac{11}{23} \cdot \frac{13}{2} = 3,11$ ,

$$s_3 = \frac{g_1 s_1 f_1 f_2}{g_3 b_1 b_2} = \frac{1}{36/11} \cdot \frac{13}{2} \cdot \frac{6,22}{1} = 12,35, \quad s_4 = \frac{g_1 s_1 f_1 f_2 f_3}{g_4 b_1 b_2 b_3} = \frac{1}{1} \cdot \frac{13}{2} \cdot \frac{6,22}{1} \cdot \frac{3,97}{4} = 40,13. \text{ Širine}$$

tranzistora logičkih kola su:  $W_{1n} = 4\lambda, W_{1p} = 7\lambda; W_{2n} = s_2 \cdot 4W_{1n} = 50\lambda, W_{2p} = s_2 W_{1p} = 22\lambda; W_{3n,A,B,C} = s_3 \cdot 8\lambda = 99\lambda, W_{3n,D} = s_3 \cdot 4\lambda = 49\lambda, W_{3p,A,B} = s_3 \cdot 28\lambda = 346\lambda, W_{3p,C,D} = s_3 \cdot 14\lambda = 173\lambda; W_{4n} = s_4 W_{1n} = 161\lambda, W_{4p} = s_4 W_{1p} = 281\lambda$ .

c) Ukupno kašnjenje je  $t_p = t_{p0} \sum_{j=1}^4 \left( p_j + \frac{h_j}{\gamma} \right) = t_{p0} \left( 1 + 4 + \frac{62}{11} + 1 + 4 \cdot 13 \right) = 63,63 t_{p0}$ , gde je

$$t_{p0} = \frac{R_n + R_p}{2} C_L \ln 2 = \left( R_{N/sq} \frac{L}{W_n} + R_{P/sq} \frac{L}{W_p} \right) C_L \frac{\ln 2}{2} = \frac{\ln 2}{2} \cdot (4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot 2,92 \text{ pF} = 12,77 \text{ ps},$$

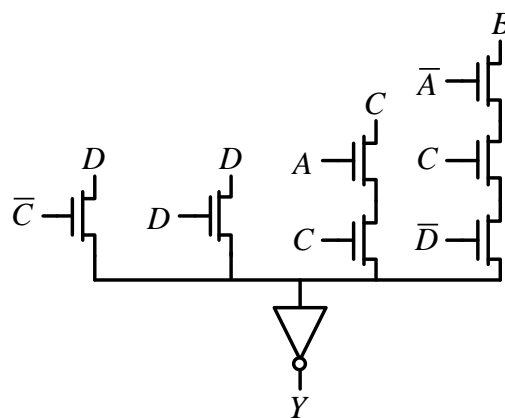
pa je  $t_p = 63,63 t_{p0} = 812,98 \text{ ps}$ .

Kašnjenje se može smanjiti dodavanjem baferskog stepena (dva invertora) jer je tada  $h = \sqrt[6]{H} = \sqrt[6]{28496,9} = 5,53$ , a minimalno kašnjenje se dobija dodavanjem 2 baferska stepena (4 invertora) jer je tada  $h = \sqrt[8]{H} = \sqrt[8]{28496,9} = 3,6$ , što daje minimalno kašnjenje  $t_p = t_{p0} \left( 1 + 4 + \frac{62}{11} + 1 + 4 \cdot 1 + 8 \cdot 3,6 \right) = 44,44 t_{p0} = 567,5 \text{ ps}$ .

d) Karnoova karta koja odgovara komplementiranoj funkciji  $\bar{F}$  je prikazana na slici 1.4, a CPL kolo koje realizuje funkciju  $F$  je prikazano na slici 1.5.

		AB			
		00	01	11	10
CD	00	0	0	0	0
	01	1	1	1	1
	11	1	1	1	1
	10	0	1	1	1

Slika 1.4 – Karnoova karta i konture za CPL kolo



Slika 1.5 – CPL realizacija funkcije F