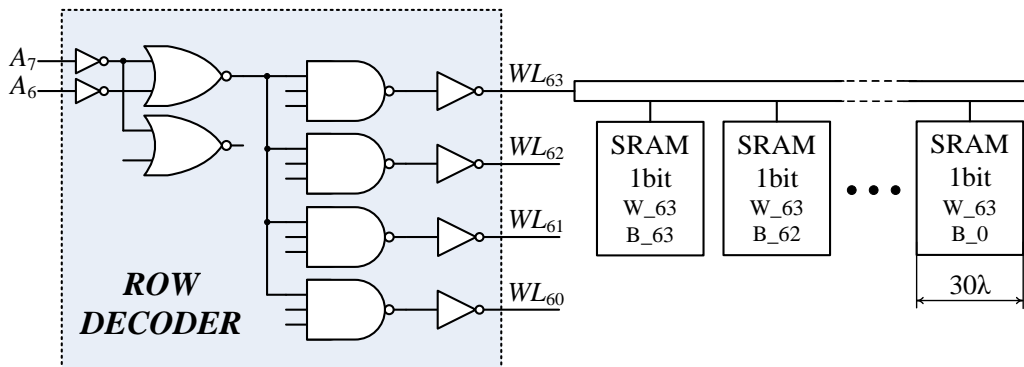


Parametri 180 nm CMOS tehnološkog procesa: $\lambda=0,09 \mu\text{m}$, $V_{DD}=1,8 \text{ V}$, $R_{eq,N/sq}=9,88 \text{ k}\Omega/\square$, $R_{eq,P/sq}=27,1 \text{ k}\Omega/\square$, $C_{ox}=8,42 \text{ fF}/\mu\text{m}^2$, $CGDO_n=CGSO_n=0,791 \text{ fF}/\mu\text{m}$, $CGDO_p=CGSO_p=0,674 \text{ fF}/\mu\text{m}$, $C_{A,poly-sub}=98 \text{ aF}/\mu\text{m}^2$, $C_{A,m1-sub}=38 \text{ aF}/\mu\text{m}^2$, $C_{A,m2-sub}=19 \text{ aF}/\mu\text{m}^2$, $C_{A,m3-sub}=13 \text{ aF}/\mu\text{m}^2$, $C_{A,m4-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{A,m5-sub}=8 \text{ aF}/\mu\text{m}^2$, $C_{F,m1-sub}=14 \text{ aF}/\mu\text{m}$, $C_{F,m2-sub}=59 \text{ aF}/\mu\text{m}$, $C_{F,m3-sub}=53 \text{ aF}/\mu\text{m}$, $C_{F,m4-sub}=42 \text{ aF}/\mu\text{m}$, $C_{F,m5-sub}=24 \text{ aF}/\mu\text{m}$

1. Na slici 1. je prikazan deo dekodera reda koji selektuje jednu od 64 linije reči SRAM matrice 64×64 . Na svakom od izlaza dekodera reda se nalazi linija reči realizovana u metalu 2 širine 4λ na koju su priključene 64 jednobitne 6T SRAM ćelije. Širine kanala prekidačkih NMOS tranzistora u jednoj SRAM ćeliji iznose 6λ . Dužine kanala svih tranzistora su minimalne. Sve veze u dekodera se mogu tretirati kao kratke. Sva kola su realizovana u 180 nm CMOS tehnološkom procesu.

- a) [10] Odrediti ukupnu kapacitivnost koja opterećuje dekodera reda na izlazu WL_{63} .
- b) [20] Odrediti veličine tranzistora u logičkim kolima od adresnog ulaza A_7 do izlaza WL_{63} u dekodera sa slike 1, tako da kašnjenje po toj putanji bude minimalno. Faktor dimenzionisanja prvog invertora u lancu je jednak 1.
- c) [10] Odrediti ukupno kašnjenje od ulaza A_7 do izlaza WL_{63} za dimenzije određene u tački b). Obrazložiti da li se kašnjenje može smanjiti dodavanjem baferskih struktura na izlazu adresnog dekodera i ako može, izračunati minimalno kašnjenje u tom slučaju.



Slika 1 – Dekoder reda i deo SRAM matrice uz zadatak 1

- 2. Potrebno je realizovati logičko kolo sa funkcijom $F = \overline{(A+B)CD}$ u 180 nm CMOS tehnologiji.
 - a) [10] Nacrtati električnu šemu logičkog kola koje realizuje funkciju F u komplementarnoj logici tako da kašnjenje bude minimalno za ulaz D . Odrediti dimenzije svih tranzistora u kolu ako ekvivalentne otpornosti p i n mreže odgovaraju invertoru dimenzionisanom za minimalno kašnjenje. Nacrtati stik dijagram korišćenjem metode Ojlerovih putanja i proceniti površinu realizovanog lejauta.
 - b) [15] Izračunati sopstveno kašnjenje i logički trud kola za ulaz D . Objasniti zbog čega se kašnjenje za ulaz C razlikuje od kašnjenja za ulaz D na osnovu ekvivalentne šeme n mreže. Koriteći *Elmore*-ovu formulu proceniti tu razliku.
 - c) [5] Realizovati funkciju F u *PE* familiji logičkih kola.
- 3. Za *PE* kolo iz zadatka 2.c):
 - a) [5] objasnite da li može doći do pojave "*clock feedthrough*" i zašto,
 - b) [5] modifikujte kolo tako da se redukuju struje curenja,
 - c) [5] modifikujte kolo tako da se eliminiše preraspodela naelektrisanja.
- 4. a) [10] Šta je skin efekat i kako utiče na performanse linija veza? Kako se izborom materijala i dimenzija provodnika može smanjiti uticaj skin efekta?
 - b) [10] Šta određuje "*uglove tehnologije*"? Koje uslove treba postaviti u simulacijama da bi se proverilo da li postoji "*trka signala*"?

Ispit traje tri sata.

Rešenja zadataka:

1.

a) Dužina linije u metalu 2 je $L_w = 64 \cdot 30\lambda = 1920 \cdot 0,09 \mu\text{m} = 172,8 \mu\text{m}$, a kapacitivnost iznosi $C_w = C_{A,m2-sub} W_w L_w + C_{F,m2-sub} \cdot 2L_w = 19 \text{ aF}/\mu\text{m}^2 \cdot 172,8 \mu\text{m} \cdot 0,36 \mu\text{m} + 59 \text{ aF}/\mu\text{m} \cdot 2 \cdot 172,8 \mu\text{m} = 21,57 \text{ fF}$.

Na liniju reči su vezana po dva NMOS tranzistora širine 6λ za svaku SRAM ćeliju, pa je kapacitivnost jedne ćelije: $C_{SRAM} = 2((CGDO_n + CGSO_n)W_n + C_{ox}W_nL) = 3,35 \text{ fF}$. Ukupno opterećenje je $C_L = C_w + 64C_{SRAM} = 235,68 \text{ fF}$.

b) Odnos širina tranzistora za minimalno kašnjenje invertora je $7\lambda/4\lambda$, pa je ulazna kapacitivnost prvog invertora $C_{in,1} = (CGDO_n + CGSO_n)W_n + C_{ox}W_nL + (CGDO_p + CGSO_p)W_p + C_{ox}W_pL = 2,92 \text{ fF}$. Ukupan električni trud je na osnovu toga: $F = \frac{C_L}{C_{in,1}} = \frac{235,68 \text{ fF}}{2,92 \text{ fF}} = 80,71$. Ukupan trud grananja iznosi

$B = \prod_{i=1}^4 b_i = 2 \cdot 4 \cdot 1 \cdot 1 = 8$. Logički trud svakog od logičkih kola je: $g_1 = 1$, $g_2 = \frac{18}{11}$, $g_3 = \frac{19}{11}$, $g_4 = 1$, a na

osnovu toga je logički trud putanje $G = \prod_{i=1}^4 g_i = \frac{342}{121}$. Ukupan trud putanje je

$H = \prod_{i=1}^4 h_i = \prod_{i=1}^4 g_i f_i = GFB = 1824,98$. Trud svakog od kola pri kome se dobija minimalno kašnjenje je

$h = \sqrt[4]{H} = \sqrt[4]{1824,98} = 6,54$. Za kola u zadatku se dobija električni trud: $f_1 = \frac{h}{g_1} = 6,54$,

$f_2 = \frac{h}{g_2} = \frac{13}{18/11} = 3,99$, $f_3 = \frac{h}{g_3} = \frac{13}{19/11} = 3,78$ i $f_4 = \frac{h}{g_4} = 6,54$, a kako je po uslovima zadatka $s_1 = 1$, za

faktore dimenzionisanja ostalih kola se dobija: $s_2 = \frac{g_1 s_1 f_1}{g_2 b_1} = \frac{11 \cdot 6,54}{18 \cdot 2} = 2$,

$s_3 = \frac{g_1 s_1 f_1 f_2}{g_3 b_1 b_2} = \frac{1 \cdot 6,54 \cdot 3,99}{19/11 \cdot 2 \cdot 4} = 1,89$, $s_4 = \frac{g_1 s_1 f_1 f_2 f_3}{g_4 b_1 b_2 b_3} = \frac{1 \cdot 6,54 \cdot 3,99 \cdot 3,78}{1 \cdot 2 \cdot 4 \cdot 1} = 12,33$. Širine

tranzistora logičkih kola su: $W_{1n} = 4\lambda$, $W_{1p} = 7\lambda$; $W_{2n} = s_2 W_{1n} = 8\lambda$, $W_{2p} = s_2 \cdot 2W_{1p} = 28\lambda$; $W_{3n} = s_3 \cdot 3W_{1n} = 23\lambda$, $W_{3p} = s_3 W_{1p} = 13\lambda$; $W_{4n} = s_4 W_{1n} = 49\lambda$, $W_{4p} = s_4 W_{1p} = 86\lambda$.

c) Ukupno kašnjenje je $t_p = t_{p0} \sum_{j=1}^4 \left(p_j + \frac{h_j}{\gamma} \right) = t_{p0} (1 + 2 + 3 + 1 + 4 \cdot 6,54) = 33,16 t_{p0}$, gde je

$t_{p0} = \frac{R_n + R_p}{2} C_L \ln 2 = \left(R_{N/sq} \frac{L}{W_n} + R_{P/sq} \frac{L}{W_p} \right) C_L \frac{\ln 2}{2} = \frac{\ln 2}{2} \cdot (4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot 2,92 \text{ pF} = 12,77 \text{ ps}$, pa je

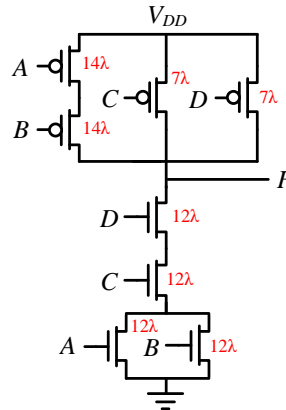
$t_p = 33,16 t_{p0} = 423,45 \text{ ps}$.

Kašnjenje se može smanjiti dodavanjem baferskog stepena (dva invertora) jer je tada $h = \sqrt[6]{H} = \sqrt[6]{1824,98} = 3,5$, što daje minimalno kašnjenje

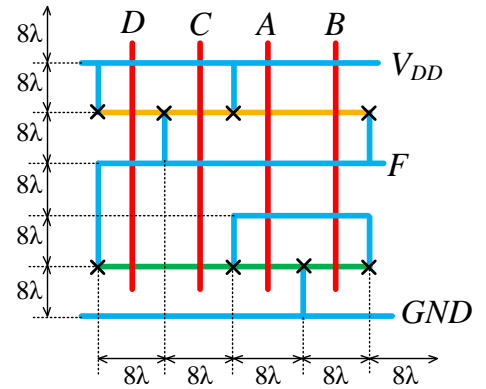
$t_p = t_{p0} (1 + 2 + 3 + 1 + 2 \cdot 1 + 6 \cdot 3,5) = 30 t_{p0} = 383,1 \text{ ps}$.

2.

a) Električna šema koja realizuje funkciju $F = \overline{(A + B)CD}$ sa odgovarajućim dimenzijama tranzistora koje odgovaraju invertoru dimenzionisanom za minimalno kašnjenje je prikazana na slici 2.1. Kako je kritična putanja na signalu D , to su tranzistori pobuđeni signalom D postavljeni najbliže izlazu. Postoji zajednička Ojelerova putanja za PUN i PDN i to putanja: $D-C-A-B$. Na osnovu toga se dobija stik dijagram sa slike 2.2.



Slika 2.1 – CMOS realizacija tražene funkcije

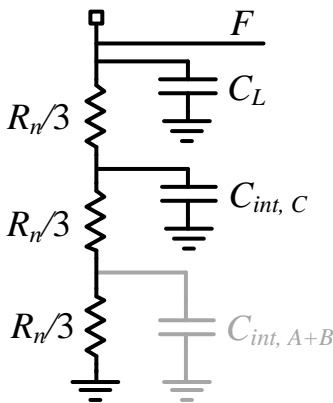


Slika 2.2 – Stik dijagram

Širina ćelije je $5 \cdot 8\lambda = 40\lambda$. Najširi tranzistor u p mreži je širok 14λ , a u n mreži 12λ , pa je visina ćelije $6 \cdot 8\lambda + 14\lambda - 4\lambda + 12\lambda - 4\lambda = 66\lambda$, a površina ćelije je $2640\lambda^2$.

b) Ako se menja ulaz D , na kašnjenje utiču samo kapacitivnosti tranzistora koji su najbliži izlazu, pa je odnos izlazne kapacitivnosti kola i izlazne kapacitivnosti invertora dimenzionisanog za minimalno kašnjenje $p = \frac{12 + 14 + 7 + 7}{4 + 7} = \frac{40}{11}$. Sopstveno kašnjenje je $t_p = pt_{p0} = \frac{40}{11} \cdot 12,77 \text{ ps} = 46,44 \text{ ps}$.

Logički trud za ulaz D je $g_D = \frac{19}{11}$.



Slika 2.3 – Ekvivalentno kolo n mreže

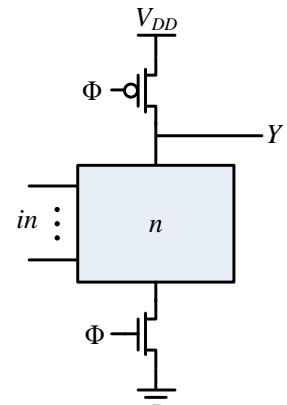
Ako se posmatra kašnjenje prilikom promene signala C , t_{pLH} je isto kao pri promeni signala D jer je ista konfiguracija p mreže za C i za D ulaz. Međutim t_{pHL} se razlikuje i to za uticaj unutrašnje kapacitivnosti NMOS tranzistora na koji je vezan signal C . Na slici 2.3 je prikazan ekvivalentni model n mreže prilikom uključenja tranzistora na koji je vezan signal C , a kada su uključeni tranzistori na koje su vezani signali D i A (ili B), pošto se jedino tad prazne izlazne kapacitivnosti. R_n je ekvivalentna otpornost NMOS tranzistora referentnog invertora. Interna kapacitivnost tranzistora na koje su vezani signali A i B je već ispražnjena, pa ona nema uticaja. Kašnjenje silazne ivice je prema *Elmore*-ovoj formuli u ovom slučaju jednako $t_{pHL} = \left(\frac{R_n}{3} + \frac{R_n}{3} \right) C_{int,C} \ln 2 + R_n C_L \ln 2$, a $C_{int,C}$ je

približno $\frac{24}{40} C_L$, pa je $t_{pHL} = \frac{2}{3} \cdot \frac{24}{40} R_n C_L \ln 2 +$

$$+ R_n C_L \ln 2 = 1,4 R_n C_L \ln 2, \text{ pa je } t_p = \frac{t_{pHL} + t_{pLH}}{2} = \frac{1,4 R_n C_L \ln 2 + R_p C_L \ln 2}{2} =$$

$$= \frac{\ln 2}{2} \cdot (1,4 \cdot 4,94 \text{ k}\Omega + 7,74 \text{ k}\Omega) \cdot \frac{40}{11} \cdot 2,92 \text{ pF} = 53,69 \text{ ps}. \text{ Razlika je } 7,25 \text{ ps}.$$

c) Realizacija je data na slici 2.4.



Slika 2.4 – PE realizacija funkcije F