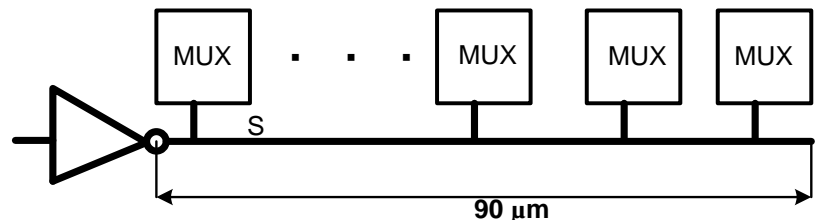


Tehnološki podaci za 250 nm rezoluciju: $\lambda = 0,12 \mu\text{m}$; $V_{DD} = 2,5 \text{ V}$; $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$; $C_{ndiff} = 1,7 \text{ fF}/\mu\text{m}^2$;
 $C_{pdiff} = 2 \text{ fF}/\mu\text{m}^2$; $C_{m1} = 35 \text{ aF}/\mu\text{m}^2$; $C_{m2} = 15 \text{ aF}/\mu\text{m}^2$; $R_{ndiff} = 5 \Omega/\square$; $R_{pdoff} = 4 \Omega/\square$; $R_{poly} = 4 \Omega/\square$;
 $R_{m1\square} = R_{m2\square} = 70 \text{ m}\Omega/\square$; $|V_T| = 0,5 \text{ V}$; $k'_n = 125 \mu\text{A}/\text{V}^2$; $k'_p = -25 \mu\text{A}/\text{V}^2$; $C_{Apoly-sub} = 101 \text{ aF}/\mu\text{m}^2$

- U 250nm CMOS tehnološkom postupku sa n-jamama potrebno je projektovati jednostepeno kolo koje implementira funkciju $\overline{(A+B)G+CD(E+F+A)}$ u zadatom obliku.
 - [10] Nacrtajte električnu šemu statičkog CMOS kola, odgovarajuće grafove za to kolo i nađite zajedničku Ojlerovu putanju.
 - [10] Nacrtajte stik dijagram, odredite veličine tranzistora i procenite površinu lejauta tog kola.
 - [10] Nacrtajte električnu šemu pseudo NMOS logičkog kola, predložite veličine tranzistora ako se zahteva da napon logičke nule bude manji od $0.1 V_T$
- Na čipu se nalazi grupa od 8 ćelija multipleksera 2 u 1 projektovanih u tehnici transmisionih gejtova (Slika 2.) do kojih se dovodi selekcionni signal S preko pobudnog invertora minimalnih dimenzija. Signal S se razvodi u polisilicijumu. Ukupna dužina S linije je $100 \mu\text{m}$. Dužina S linije unutar ćelije multipelksera je $7 \mu\text{m}$ do tranzistora do kojih se dovodi neinvertovani signal odnosno $5 \mu\text{m}$ do odgovarajućeg invertora. Dimenzije tranzistorta unutar ćelije multipleksera i invertora su $0,48 \mu\text{m} \times 0,24 \mu\text{m}$. Širina S linije je $0,48 \mu\text{m}$.
 - [10] Izračunati kapacitivno opterećenje S linije.
 - [5] Na osnovu RC konstante kašnjenja proceniti kašnjenje S signala. Smatrati da je ukupno kapacitivno opterećenje skoncentrisano na kraju linije. Zanemariti otpornosti unutar ćelije multipleksera.
 - [20] Projektovati baferski stepen koji će pobuđivati selekcionu liniju S. Odrediti optimalan broj invertora u baferskom stepenu kao i njihove dimenzije tako da se ostvari minimalno kašnjenje.
 - [5] Koliko je to minimalno kašnjenje dobijeno modifikacijom pod c).



Slika 2. Raspored ćelija multipleksera na čipu

- [5] Čemu služe lambda pravila i koje su osnovne prednosti i mane ovih pravila (nemojte da nabrajate pravila)?
 - [5] Nacrtati lejaut dva otpornika čije su otpornosti u odnosu 1:2 (što preciznije). Kratko obrazložiti.
- [5] Nacrtajte električnu šemu jednostepenog PE logičkog kola koje ostvaruje funkciju definisanu u prvom zadatku, a zatim:
 - [5] objasnite da li u tom kolu može doći do pojave "clock feedthrough" i zašto,
 - [5] modifikujte kolo tako da se redukuju struje curenja,
 - [5] modifikujte kolo tako da se eliminiše preraspodela naelektrisanja.