

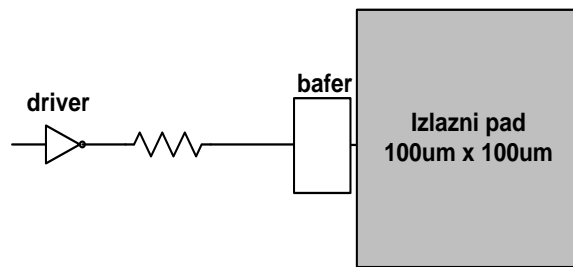
Tehnološki podaci za 250 nm rezoluciju: $\lambda = 0,12 \mu\text{m}$; $V_{DD} = 2,5 \text{ V}$; $C_{ox} = 6 \text{ fF}/\mu\text{m}^2$; $C_{m1} = 35 \text{ aF}/\mu\text{m}^2$;
 $C_{m2} = 15 \text{ aF}/\mu\text{m}^2$; $R_{m1\Box} = R_{m2\Box} = 70 \text{ m}\Omega/\Box$; $R_{poly} = 3,5 \Omega/\Box$; $|V_T| = 0,5 \text{ V}$;
 $k'_n = 115 \mu\text{A}/\text{V}^2$; $k'_p = -30 \mu\text{A}/\text{V}^2$; $V_{DSSatn} = 0,63 \text{ V}$; $V_{DSSap} = -1 \text{ V}$; $C_{Apoly-sub} = 101 \text{ aF}/\mu\text{m}^2$

1. U 250nm CMOS tehnološkom postupku sa n-jamama potrebno je projektovati jednostepeno kolo koje implementira funkciju $\overline{A(BC+D)+CD}$ u zadanom obliku.

- a) [10] Nacrtajte električnu šemu statičkog CMOS kola, odgovarajuće grafove za to kolo i nađite zajedničku Ojlerovu putanju.
- b) [10] Nacrtajte stik dijagram, odredite veličine tranzistora tako da kolo ima minimalno kašnjenje. Procenite površinu lejauta tog kola (sa uračunatim dimenzijama tranzistora).
- c) [10] Nacrtajte električnu šemu CPL logičkog kola. Kolo realizovati sa invertorom na izlazu za restauraciju logičkih nivoa.

2. Na slici 2. je prikazan izlazni deo nekog integrisanog čipa koji pobuđuje pad za bondovanje dimenzija $100\mu\text{m} \times 100\mu\text{m}$ izrađenog u sloju metala 1. Izlazni pad se pobuđuje pomoću drajvera unutrašnje otpornosti $R_d = 10\text{k}\Omega$ preko linije dužine 1cm i širine $1\mu\text{m}$ izrađene u sloju metala 2. Kapacitivnost drajvera je zanemarljiva u odnosu na kapacitivnost linije.

- a) [5] Odrediti kašnjenje signala na izlaznom pad-u ukoliko ne postoji baferski stepen.
- b) [20] Projektovati izlazni baferski stepen sastavljen od lanca invertora tako da se dobije minimalno kašnjenje.
- c) [10] Koliko iznosi kašnjenje po dodavanju baferskog stepena?
- d) [5] Proceniti dimenzije projektovanog baferskog stepena.



Slika 2. Izlazni deo integrisanog čipa

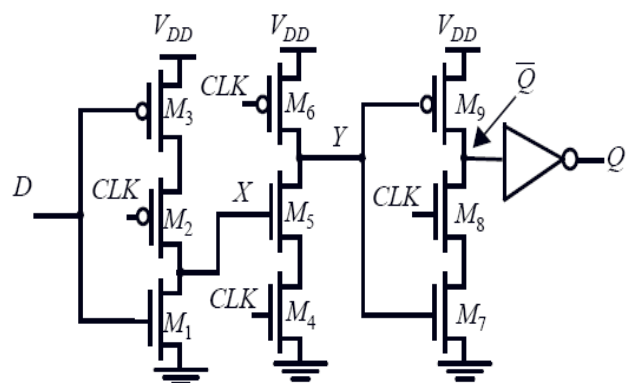
3. [5 x 2] Odgovorite kratko (1 rečenica) šta je: a) *Full Custom* projektovanje lejauta?

- b) CIF datoteka? c) DRC program?
- d) IRSIM? e) *Cadence*?

4. a) [6] Nacrtati lejaut dva kondenzatora čije su kapacitivnosti u odnosu 1:2 (što preciznije). Kratko obrazložiti.

b) [7] Koja realizacija flipflopa je prikazana na slici 4? Objasniti prednosti ove realizacije.

c) [7] Navesti kako se izvodi skaliranje prema modelu konstantnih polja, a zatim objasniti kakav je uticaj takvog skaliranja na kapacitivnosti veza u integrisanom kolu.



Slika 4.

4. [5] Napišite 5 komentara za predavanja/vežbe/projekat/ispit/ocenjivanje/opremu/... Minimalan broj kritika je 2, minimalan broj pohvala je 1, maksimalan broj redova po komentaru je 2.

Ispit traje tri sata.