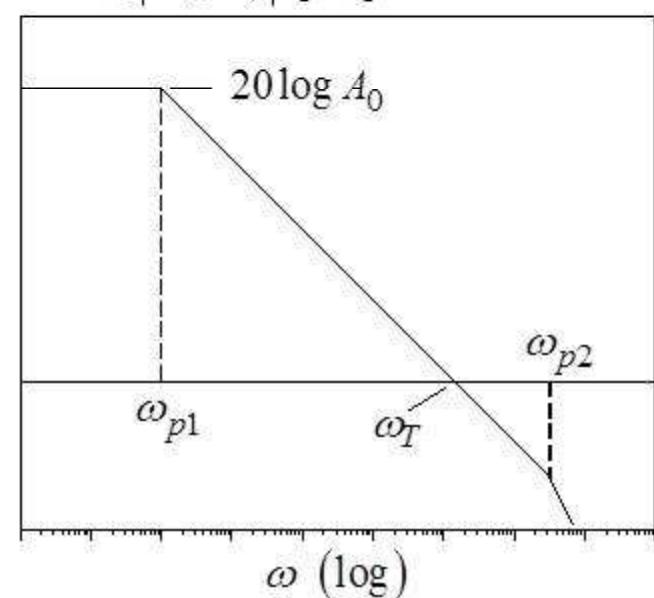


Operacioni pojačavač [1/6]

- Karakteristike realnog OP:
 - 1) pojačanje (diferencijalnog signala) $v_i = A(v^+ - v^-)$ $A \uparrow$ (što veće)
 - 2) $R_{ul} \uparrow$ - obično se posebno definiše za diferencijalni i za signal srednje vrednosti
 $R_{izl} \downarrow$
 - 3) naponski ofset $V_{OS} \downarrow$ napon koji treba dovesti između ulaznih priključaka tako da bude $V_I = 0$
 - 4) ofset struja $I_{OS} \downarrow$ i ulazna struja polarizacije $I_B \downarrow$ (razlika i srednja vrednost struja ulaznih priključaka)
 - 5) naponski i strujni drift - zavisnost ofseta od temperature
 - 6) opseg promene srednje vrednosti ulaznih signala CMR \uparrow (Common - Mode Input Range) određuje se tako da pojačavač ostaje u linearnom režimu rada
 - 7) faktor potiskivanja srednje vrednosti signala CMRR \uparrow (Common - Mode Rejection Ratio) $CMRR = |A_d/A_s| = |A/A_s|$

- 8) potiskivanje promena napona napajanja PSRR \uparrow (Power Supply Rejection Ratio) $v_i = A \cdot v_u + A^+ \cdot v_{dd} + A^- \cdot v_{ss}$ $PSRR^+ = A/A^+ \uparrow$
 $PSRR^- = A/A^- \uparrow$ najčešće se preslikava u odgovarajući naponski offset na ulazu
- 9) opseg promena izlaznog signala \uparrow (output swing) - izlazni tranzistori na granici linearног režima
- 10) frekventne karakteristike - propusni opseg \uparrow

$$20\log|A(j\omega)| [\text{dB}]$$

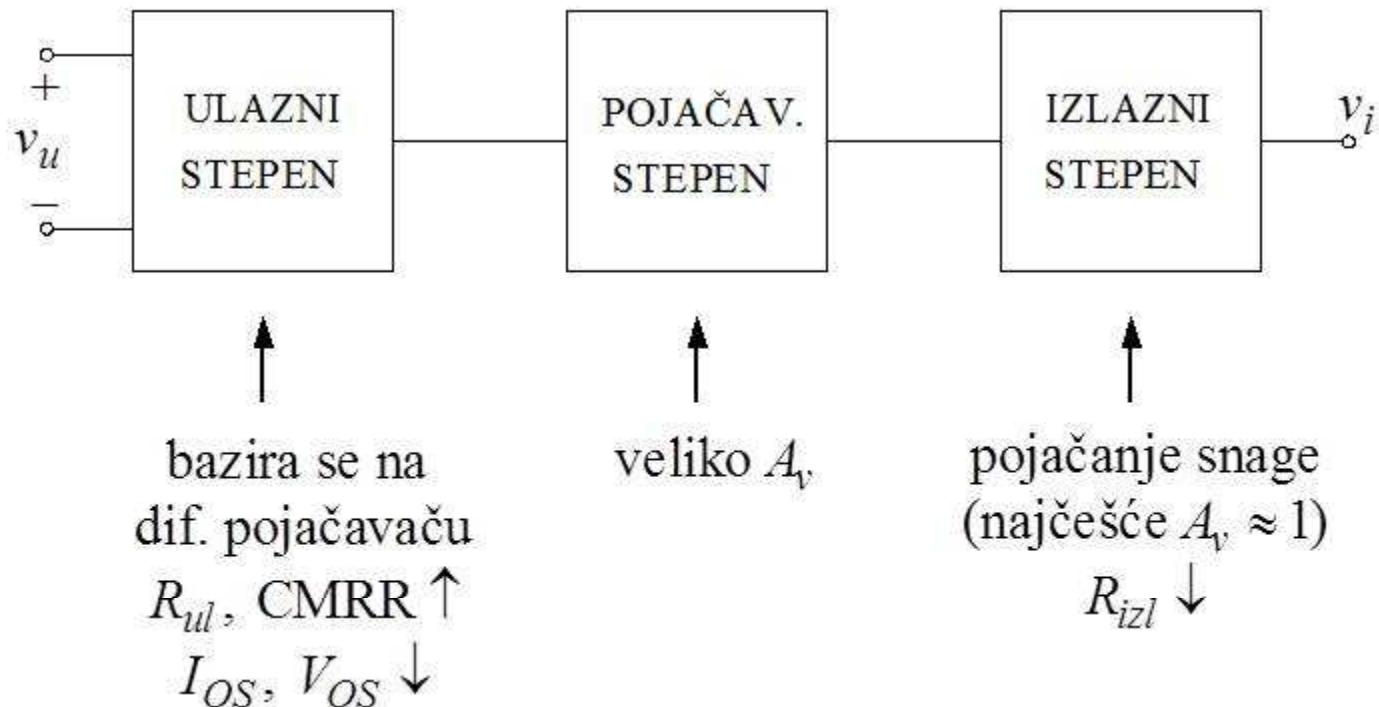


$$\underbrace{A_0 \omega_d}_{\text{AB proizvod}} = 1 \cdot \omega_T$$

AB proizvod (Gain - Bandwidth) \uparrow ($\omega_T \uparrow$)

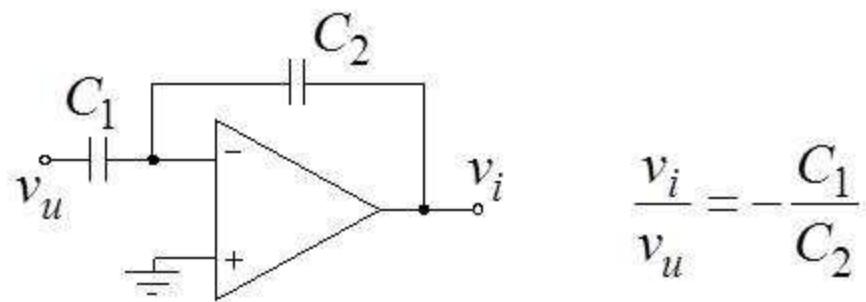
- 11) maksimalna brzina promene izlaznog signala SR \uparrow (Slew - Rate)

- Struktura OP

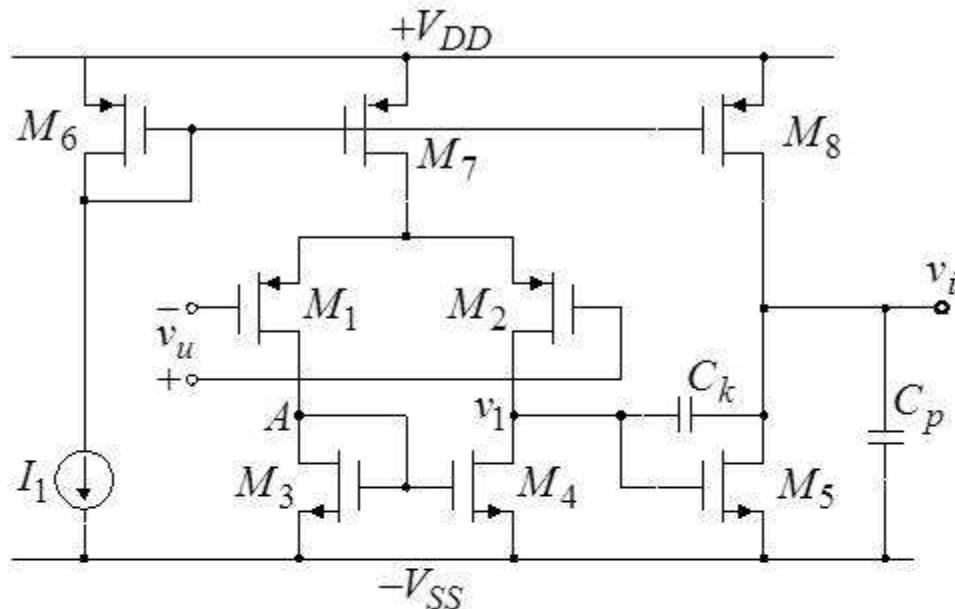


- kod OP koji su integrirani u složenje int. kolo poslednji stepen se najčešće izostavlja, jer su opterećenja uglavnom mala pa pojačanje snage nije potrebno
- kod ovakvog MOS OP su opterećenja kapacitivna \Rightarrow nije neophodno malo R_{izl}

\uparrow "unutrašnji" ili "interni" OP



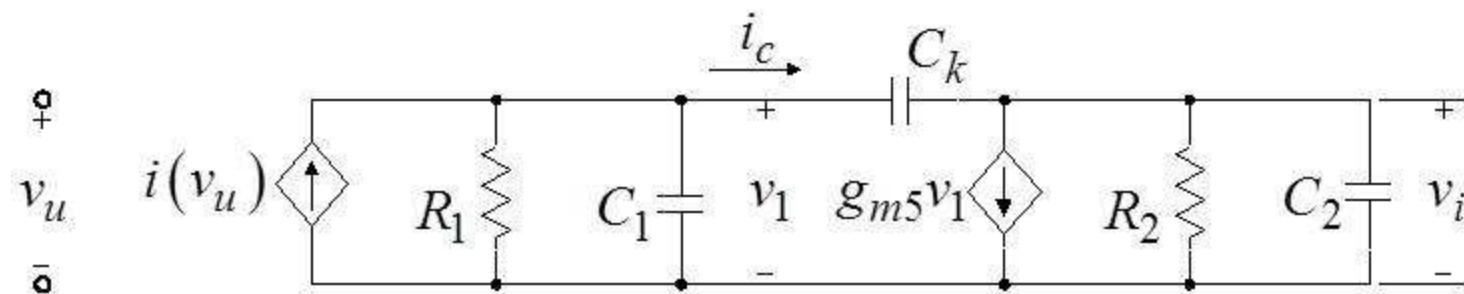
Dvostepeni CMOS operacioni (transkonduktansni) pojačavač [1/6]



$$1) \quad A = \frac{v_i}{v_u} = \frac{v_1}{v_u} \cdot \frac{v_i}{v_1}$$

dif.pojačavač
sa strujnim
ogledalom

ZS sa
aktivnim
opterećenjem



$$A = \frac{v_i}{v_u} = \frac{i}{v_u} \cdot \frac{v_i}{i}$$

određeno u kompenzaciji razdvajanjem polova

$$R_1 = r_{ds2} \parallel r_{ds4}$$

$$C_1 \cong C_{gs5} + C_{gd5}(1 + g_{m5}R_2)$$

$$R_2 = r_{ds5} \parallel r_{ds8}$$

$$C_2 \cong C_p$$

$$C_A \cong C_{gs3} + C_{gs4} + C_{db3} + C_{gd1}$$

$$v_{gs4} = -g_{m1}v_{gs1} \left(\cancel{r_{ds1}} \parallel \cancel{r_{ds3}} \parallel \frac{1}{g_{m3}} \parallel \frac{1}{sC_A} \right) = g_{m1,2} v_u / 2 \frac{1/g_{m3,4}}{1 + sC_A/g_{m3,4}}$$

$$i(v_u) = -g_{m2}v_{gs2} - g_{m4}v_{gs4} = -g_{m1,2} v_u / 2 - \cancel{g_{m3,4}} g_{m1,2} v_u / 2 \frac{1/g_{m3,4}}{1 + sC_A/g_{m3,4}}$$

$$i(v_u) = -g_{m1,2}v_u \left[\frac{1/2}{1 + sC_A/g_{m3,4}} \right] = -g_{m1,2}v_u \frac{1 + sC_A/(2g_{m3,4})}{1 + sC_A/g_{m3,4}}$$

ako je jedan od polova dominantan:

$$A(s) \cong g_{m1,2}R_1g_{m5}R_2 \cdot \frac{1 + sC_A/(2g_{m3,4})}{1 + sC_A/g_{m3,4}}.$$

$$\frac{1 - sC_k/g_{m5}}{1 + s[(\cancel{C_2 + C})R_2 + (\cancel{C_1 + C})R_1 + g_{m5}R_2R_1C]} \cdot \frac{1}{1 + s[\cancel{R_1R_2(C_2C_1 + CC_2 + CC_1)} \\ [(\cancel{C_2 + C})R_2 + (\cancel{C_1 + C})R_1 + g_{m5}\cancel{R_2R_1C}]}$$

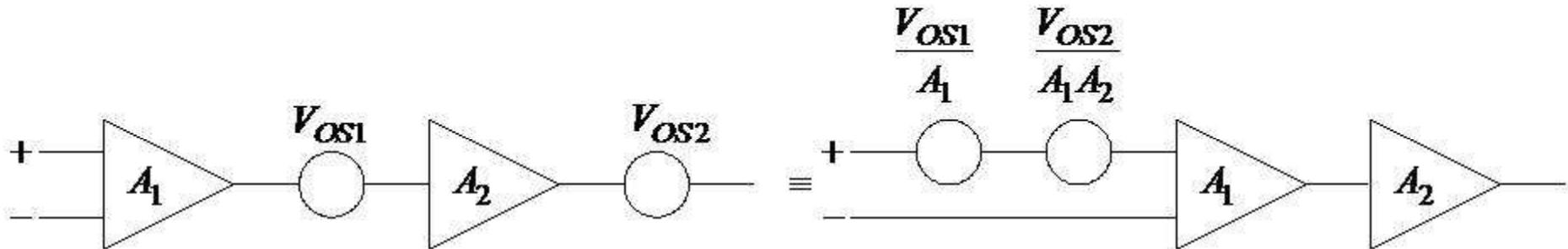
$$A_0 = g_{m1,2}R_1g_{m5}R_2 \cong [-g_{m1}(r_{ds2} \parallel r_{ds4})] \cdot [-g_{m5}(r_{ds5} \parallel r_{ds8})] \quad \omega_{p2} \cong \frac{g_{m5}}{C_2} \cong \frac{g_{m5}}{C_p}$$

ako su p i n - kanalni tranzistori upareni $\Rightarrow A_0 \sim (g_m r_{ds})^2$

$$g_m r_{ds} = \frac{2I_D}{V_{GS} - V_t} \cdot \frac{V_A}{I_D} = \frac{2V_A}{V_{GS} - V_t} \Rightarrow \begin{cases} 1^{\circ} V_A \propto L_{eff} \Rightarrow L_{1,2} \nearrow; L_5 \nearrow; (L_{3,4} \nearrow; L_8 \nearrow) \\ 2^{\circ} (V_{GS} - V_t) \searrow \Rightarrow I_1 \searrow \Rightarrow \text{manja brzina OP} \end{cases}$$

2) $R_{ul} = \infty \quad R_{izl} = r_{ds5} \parallel r_{ds8} \leftarrow \text{zadovoljava za "unutrašnji" OP}$

3), 4) offset



\Rightarrow Pri projektovanju se podešava da potrebna vrednost V_{GS5} bude jednaka $V_{GS5} = V_{DS4} = V_{DS3} = V_{GS3,4}$, što daje $V_{OS1} = 0$. V_{OS2} je obično $\neq 0$, ali njegova ekvivalentna vrednost na ulazu je manja

- ovo se odnosi na sistemski offset (nesimetrija u projektovanju) i on je veći kod MOS pojačavača nego kod bipolarnih jer je pojačanje manje

Random offset postoji usled slučajnih razlika:

Random offset napon diferencijalnog pojačavača sa strujnim ogledalom (ulaznog stepena)

$$V_{GS} = V_t + V_{OV} = V_t + \sqrt{2I_D/K}$$

$$K = \mu C_{ox} \cdot \frac{W}{L}$$

$$dV_{GS} = dV_t + d\left(\sqrt{2I_D/K}\right) = dV_t + \frac{\sqrt{2}}{2\sqrt{I_D/K}} \cdot \frac{KdI_D - I_DdK}{K^2}$$

$$dV_{GS} = dV_t + \frac{\sqrt{2I_D/K}}{2} \cdot \left(\frac{dI_D}{I_D} - \frac{dK}{K} \right)$$

$$\Delta V_{GS} = \Delta V_t + \frac{V_{OV}}{2} \cdot \left(\frac{\Delta I_D}{I_D} - \frac{\Delta(W/L)}{(W/L)} \right)$$

Ovde Δ predstavlja razliku između leve i desne grane dif. pojačavača

$$\Delta V_{GS(3-4)} = V_{GS3} - V_{GS4} = 0 = \Delta V_{t(3-4)} + \frac{V_{OV3,4}}{2} \cdot \left(\frac{\Delta I_{D(3-4)}}{I_{D(3-4)}} - \frac{\Delta(W/L)_{(3-4)}}{(W/L)_{(3-4)}} \right)$$

$$-\frac{2\Delta V_{t(3-4)}}{V_{OV3,4}} + \frac{\Delta(W/L)_{(3-4)}}{(W/L)_{(3-4)}} = \frac{\Delta I_{D(3-4)}}{I_{D(3-4)}} = \frac{\Delta I_{D(1-2)}}{I_{D(1-2)}}$$

$$V_{OS} = V_{G1} - V_{G2} = \Delta V_{GS(1-2)} \cong \Delta V_{t(1-2)} + \frac{V_{OV1,2}}{2} \cdot \left(\frac{\Delta I_{D(1-2)}}{I_{D(1-2)}} - \frac{\Delta(W/L)_{(1-2)}}{(W/L)_{(1-2)}} \right)$$

$$V_{OS} \simeq \Delta V_{t(1-2)} + \frac{V_{OV1,2}}{2} \cdot \left(-\frac{2\Delta V_{t(3-4)}}{V_{OV3,4}} + \frac{\Delta(W/L)_{(3-4)}}{(W/L)_{(3-4)}} - \frac{\Delta(W/L)_{(1-2)}}{(W/L)_{(1-2)}} \right)$$

$$\frac{-V_{OV1,2}}{V_{OV3,4}} = \frac{\sqrt{2I_D/K_{1,2}}}{\sqrt{2I_D/K_{3,4}}} = \frac{\sqrt{2I_D K_{3,4}}}{\sqrt{2I_D K_{1,2}}} = \frac{g_{m3,4}}{g_{m1,2}}$$

$$V_{OS} \simeq \Delta V_{t(1-2)} + \Delta V_{t(3-4)} \left(\frac{g_{m3,4}}{g_{m1,2}} \right) + \frac{V_{OV1,2}}{2} \cdot \left(\frac{\Delta(W/L)_{(3-4)}}{(W/L)_{(3-4)}} - \frac{\Delta(W/L)_{(1-2)}}{(W/L)_{(1-2)}} \right)$$

Treći član se smanjuje smanjenjem $V_{OV1,2}$.

Drugi član se smanjuje izborom $g_{m3,4} \ll g_{m1,2}$, odnosno $(W/L)_{3,4} \ll (W/L)_{1,2}$, tj. $L_{3,4} \gg L_{1,2}$.

Obično je $L_5 = L_{3,4} \Rightarrow$ sporiji stepen ($f_T \searrow$). suprotno zahtevu za pojačanje \nearrow

9) output swing - izlazni tranzistori na ivici zasićenja

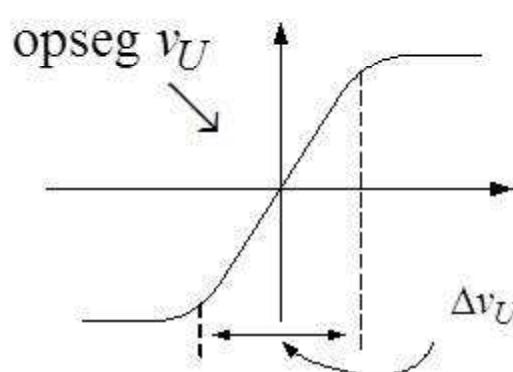
$$v_{I\min} = -V_{SS} + v_{DS5\min} = -V_{SS} + v_{GS} - V_t$$

$$v_{I\max} = V_{DD} - |v_{DSM_8}|_{\min}$$

$$V_{OV} = (V_{GS} - V_t) \searrow \Rightarrow \text{opseg promene } v_I \nearrow$$

pored pomenutog utiče na CMRR, CMR, PSRR \nearrow

loše: $f_T \text{ MOS} \searrow$ (pošto je $\propto (V_{GS} - V_t)$)



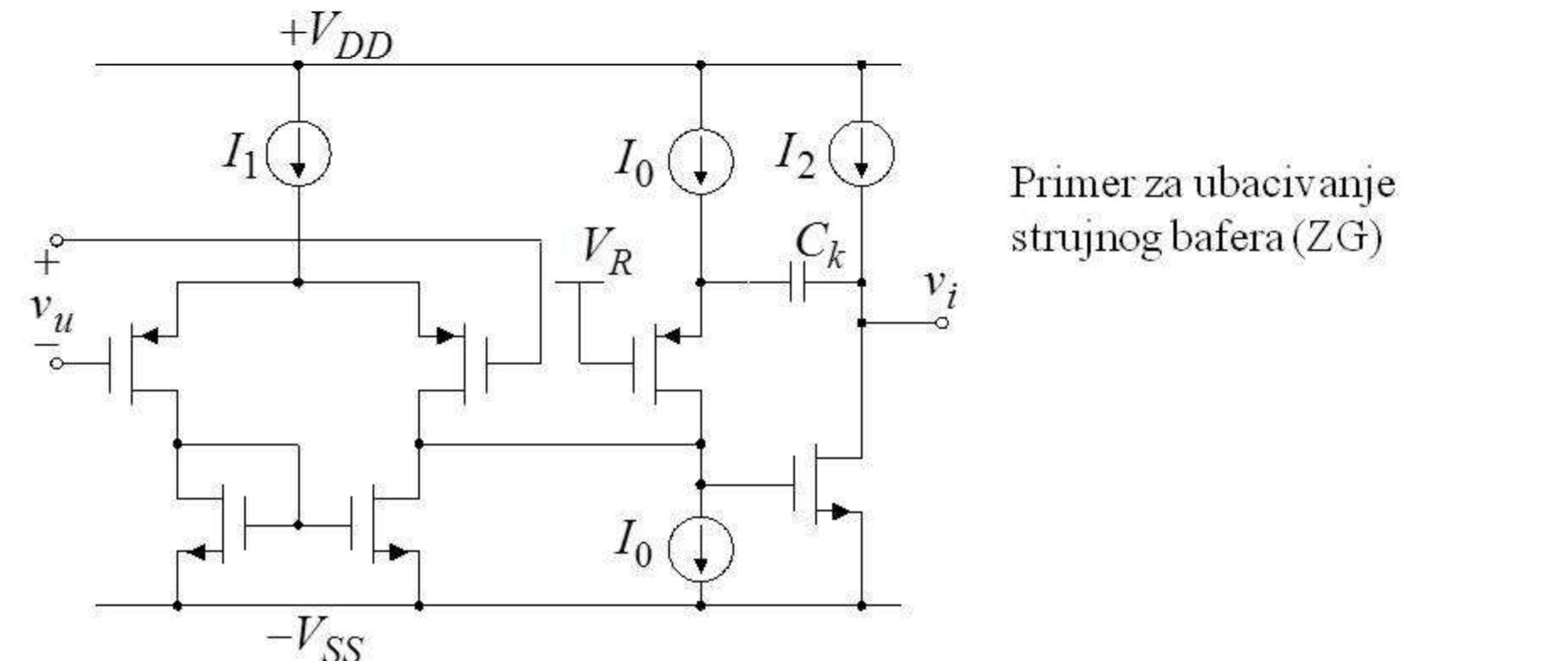
$f_T \text{ MOS} \propto 1/L^2$ tako da porast L (A_0 , CMRR, PSRR \nearrow) utiče na drastično lošije frekventne karakteristike



$$f_T \approx \frac{1}{2\pi} \cdot \frac{g_m}{C_{gs}} = \frac{1}{2\pi} \cdot \frac{\frac{K'}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)}{\frac{2}{3} W \cdot L \cdot C_{OX}} = \frac{1}{2\pi} \cdot \frac{3}{2} \cdot \frac{\mu_n \cdot (V_{GS} - V_t)}{L^2}$$

10) Frekventne karakteristike

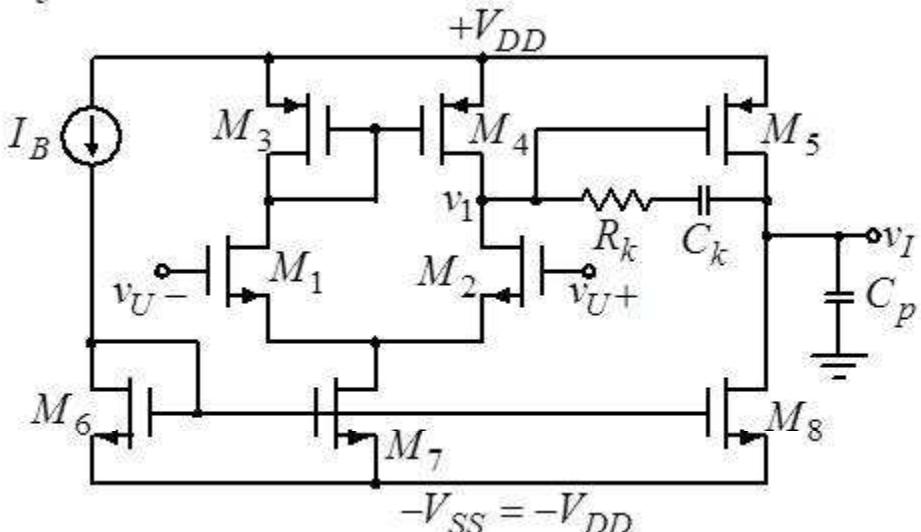
- važe rezultati za dvestepeni MOS pojačavač – uvodi se komp. kondenzator C_k koji razdvaja polove
- da bi se ostvarila $FM > 45^\circ$ → $\frac{g_m}{g_{mu}} \cdot \frac{C_k}{C_1 + C_2} > 1$
- povećanjem C_k se smanjuje $\omega_T = g_{mu}/C_k$ i nula postaje dominantnija
- dodaju se odgovarajuća kola za eliminaciju nule



Procedura projektovanja* dvostepenog CMOS operacionog (transkonduktansnog) pojačavača

Procedura se zasniva na sledećim specifikacijama OTA:

- šum (termički)
- fazna margina
- proizvod pojač. i propusnog opsega, $f_{A \cdot B}$
- kapacitivnost potrošača
- "slew rate"
- opseg srednje vrednosti ulaznih napona
- opseg izlaznog napona
- ulazni offset napon



Procedurom nisu obuhvaćeni važni parametri koji zavise od r_{ds} (A_0 , CMRR, PSRR), pošto bi njihovo izračunavanje bilo suviše komplikovano za ručnu analizu.

Procedura se odnosi na standardni dvostepeni OTA kompenzovan razdvajanjem polova, kod kojeg je konačna nula u desnoj poluravni poništena primenom rednog otpornika.

*G. Palmisano, G. Palumbo and S. Pennisi, *Design Procedure for Two-Stage CMOS Transconductance Operational Amplifiers: A Tutorial*, Analog Integrated Circuits and Signal Processing, 27, 179–189, 2001.

Procedura počinje od specifikacije šuma.

Ekvivalentan termički šum usled otpornosti kanala MOS tranzistora je

$$i_{nD}^2(f) = 4kT \frac{2}{3} g_m$$

Zanemarujući fliker šum, spektralna gustina ulaznog napona šuma koji potiče samo od izvora (termičkog) šuma prvog pojačavačkog stepena je

$$e_{nT}^2(f) = 2 \cdot 4kT \cdot \frac{2}{3} \cdot \frac{g_{m1,2} + g_{m3,4}}{g_{m1,2}^2} = 2 \cdot 4kT \cdot \frac{2}{3} \cdot \frac{1}{g_{m1,2}} \left[1 + \frac{g_{m3,4}}{g_{m1,2}} \right]$$

U cilju minimizacije šuma projektuje se $g_{m3,4} < g_{m1,2}$, pa sledi

$$g_{m1,2} \approx \frac{16}{3} \frac{kT}{e_{nT}^2(f)}$$

Na osnovu izračunate vrednosti $g_{m1,2}$ i specifikacije za $f_{A \cdot B}$ određuje se kompenzaciona kapacitivnost

$$C_k = \frac{1}{2\pi} \frac{g_{m1,2}}{f_{A \cdot B}}$$

“slew rate” usled ograničene struje kroz C_k : $SR_1 = \frac{2I_{D1,2}}{C_k}$

“slew rate” usled ograničene struje kroz C_p : $SR_I = \frac{I_{D8} - 2I_{D1,2}}{C_p}$

Usvajanjem vrednosti iz specifikacije $SR_1 = SR_I = SR$
mogu da se izračunaju struje:

$$I_{D1,2} = \frac{SR}{2} C_k$$

$$I_{D8} = SR \left(C_k + C_p \right) = 2 \left(1 + \frac{C_p}{C_k} \right) I_{D1,2}$$

a zatim geometrija ulaznih tranzistora

$$g_m = \sqrt{2I_D K'_{n,p} W/L} \quad K'_{n,p} = \mu_{n,p} C_{ox}$$

$$\left(\frac{W}{L} \right)_{1,2} = \frac{g_{m1,2}^2}{2K'_n I_{D1,2}}$$

Učestanost višeg pola je približno $f_{p2} = \frac{g_{m5}}{2\pi C_p}$

Korišćenjem specificirane vrednosti za $\text{FM} = 90^\circ - \arctan \frac{f_T}{f_{p2}}$

ako je $\text{FM} > 45^\circ$ ($f_T = f_{A \cdot B}$) dobija se $g_{m5} = 2\pi f_T C_p \tan(\text{FM})$

a zatim geometrija tranzistora M₅ $\left(\frac{W}{L} \right)_5 = \frac{g_{m5}^2}{2K_p I_{D8}}$

Komp. otpornost za poništavanje nule u desnoj poluravni je $R_k = \frac{1}{g_{m5}}$

$\text{FM} > 45^\circ$ ($f_T = f_{A \cdot B}$): Za projektovane veličine važi relacija

$$C_k = \frac{f_{p2}}{f_{A \cdot B}} \cdot \frac{g_{m1,2}}{g_{m5}} C_p = \tan(\text{FM}) \cdot \frac{g_{m1,2}}{g_{m5}} C_p$$

U cilju simetrije, potrebne zbog ofseta i CMRR, treba da bude $V_{GS3} = V_{DS4}$. Da se ne bi uveo sistematski offset treba da bude $V_{GS5} = V_{DS4} = V_{GS3}$, pa se projektuje:

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_{D3,4}}{I_{D5}} \left(\frac{W}{L}\right)_5$$

Tada je $V_{DSsat3,4} = V_{DSsat5}$, a zbog $V_{GS7} = V_{GS8}$ je $V_{DSsat7} = V_{DSsat8}$, gde je

$$V_{DSsat} = V_{OV} = \sqrt{2I_D \left[K'_{n,p} W/L \right]}$$

Opseg izlaznog napona je

$$OS^+ = V_{DD} - V_{DSsat5}, \quad OS^- = V_{SS} - V_{DSsat8} = V_{DD} - V_{DSsat8}$$

a opseg srednje vrednosti ulaznih napona je

$$CMR^+ = V_{DD} - (|V_{TP}| + V_{DSsat3,4,5}) + V_{TN}$$

$$CMR^- = V_{SS} - V_{GS1,2} - V_{DSsat7,8} = V_{DD} - V_{DSsat1,2} - V_{TN} - V_{DSsat7}$$

Da bi specifikacije za oba opsega bila zadovoljene, za V_{DSsat} se usvajaju manje vrednosti iz ovih uslova, tj.

$$V_{DSsat3,4,5} = \min \left\{ \left(V_{DD} - |V_{TP}| + V_{TN} - CMR^+ \right), \left(V_{DD} - OS^+ \right) \right\}$$

$$V_{DSsat7,8} = \min \left\{ \left(V_{DD} - V_{TN} - V_{DSsat1,2} - CMR^- \right), \left(V_{DD} - OS^- \right) \right\}$$

$V_{DSsat3,4,5}$ je prethodno određeno uslovima za "slew rate", FM, $f_{A,B}$ i simetriju, ali ako izračunata geometrija ne zadovoljava uslove za opsege napona na izlazu i ulazu, treba povećati $(W/L)_{3,4,5}$, što daje veću FM ali i veću površinu i šum. Na osnovu već određenih vrednosti za I_{D7} i I_{D8} , iz uslova za $V_{DSsat7,8}$ određuje se geometrija tranzistora 7 i 8. Takođe, pošto je $V_{DSsat6} = V_{DSsat7,8}$ može da se izabere geometrija tranzistora 6 i vrednost za I_B uz uslov

$$I_B = \frac{(W/L)_6}{(W/L)_7} I_{D7}$$

Rezime procedure projektovanja:

Specif. parametri	određeni su	projektnim parametrom		
Šum	→	$g_{m1,2}$		
f_{A-B}	→	C_k		$(W/L)_{1,2}$
SR_1	→	$I_{D1,2}$		I_{D7}
SR_I	→	I_{D8}		I_{D5}
FM	→	g_{m5}		$(W/L)_5$
Sistematski ofset	→	$V_{GS3} = V_{DS4} = V_{GS5}$		$(W/L)_{3,4}$
Opseg izl. napona	→	V_{DSsat7}		$(W/L)_7$
Opseg ul. napona	→	V_{DSsat8}		$(W/L)_8$
				$I_B / (W/L)_6$

Poboljšanje karakteristika projektovanog dvostepenog CMOS OTA

Nekoliko načina kojima se, pored eliminacije konačne nule u desnoj poluravni, uvodi nula u levoj poluravni kojom se poništava nedominantni pol f_{p2} , predstavljaju osnovne mogućnosti za povećanje $A \cdot B$ proizvoda projektovanog pojačavača.

Redni otpornik

Nula u levoj poluravni je:

$$f_z = \frac{g_{m5}}{2\pi(g_{m5}R_k - 1)C_k}$$

Uslov za poništavanje nedominantnog pola f_{p2} je: $\frac{g_{m5}}{C_p} = \frac{g_{m5}}{(g_{m5}R_{kR} - 1)C_{kR}}$
gde su C_{kR} i R_{kR} nove vrednosti kompenzacionog kondenzatora i otpornika.

Nedominantni pol koji je nastao uvođenjem R_{kR} postaje novi drugi pol pojačavača:

$$f_{p2R} = \frac{1}{2\pi R_{kR} C_1}$$

Novi drugi pol ne zavisi od C_p , što omogućava veću vrednost $A \cdot B$ proizvoda.

Korišćenjem izraza za f_{p2R} i $C_k = \frac{1}{2\pi} \frac{g_{m1,2}}{f_{A \cdot B}}$ uz $f_T = f_{A \cdot B}$ za $\text{FM} > 45^\circ$, dobija se

$$\tan(\text{FM}) = \frac{f_{p2R}}{f_T} = \frac{C_{kR}}{g_{m1,2} R_{kR} C_1}$$

Iz prethodnih izraza sledi

$$C_{kR} = \tan(\text{FM}) \frac{g_{m1,2}}{2g_{m5}} C_1 \left(1 + \sqrt{1 + 4 \frac{g_{m5}}{g_{m1,2}} \cdot \frac{C_p}{C_1}} \right) \cong \tan(\text{FM}) \sqrt{\frac{g_{m1,2}}{g_{m5}} C_1 C_p}$$

$$R_{kR} = \frac{1}{2g_{m5}} \left(1 + \sqrt{1 + 4 \frac{g_{m5}}{\tan(\text{FM}) \cdot g_{m1,2}} \cdot \frac{C_p}{C_1}} \right) \cong \sqrt{\frac{C_p}{\tan(\text{FM}) g_{m1,2} g_{m5} C_1}}$$

Aproksimacije važe za $C_p > C_1$.

Naponski bafer (ovaj metod smanjuje opseg promene izlaznog napona)

Izlazna otpornost naponskog bafera npr. M_{9V} (ZD; $R_{izl} \approx 1/g_{m9V}$) zajedno sa C_k formira pol i nulu u levoj poluravni. Nulom

$$f_{zV} = \frac{g_{m9V}}{2\pi C_{kV}}$$

može da se poništi prvi obitni nedominantni pol f_{p2} :
i tada novoformirani pol postaje drugi pol pojačavača

$$\frac{g_{m9V}}{2\pi C_{kV}} = \frac{g_{m5}}{2\pi C_p}$$

$$f_{p2V} = \frac{g_{m9V}}{2\pi C_{1V}}$$

gde C_{1V} uključuje i C_{gs9V} .

Sada je $\tan(\text{FM}) = \frac{f_{p2V}}{f_T} = \frac{g_{m9V}}{g_{m1,2}} \cdot \frac{C_{kV}}{C_{1V}}$

Ako je M_{9V} malih dimenzija (da bi se dobila velika vrednost f_{p2V}), C_{gs9V} može da se zanemari, pa je približno

$$C_{kV} \cong \tan(\text{FM}) \sqrt{\frac{g_{m1,2}}{g_{m5}} C_1 C_p}; \quad g_{m9V} \cong \sqrt{\frac{\tan(\text{FM}) g_{m1,2} g_{m5} C_1}{C_p}}$$

Strujni bafer

Ulagana otpornost strujnog bafera, npr. M_{9I} , ($ZG, R_{ul} \approx 1/g_{m9I}$) zajedno sa C_k formira nulu u levoj poluravni:

$$f_{zI} = \frac{g_{m9I}}{2\pi C_{kI}}$$

Pored ove nule i dominantnog pola, pojačanje ima i dva nedominantna pola.

Kompenzacija sa maksimalnim $A \cdot B$ proizvodom se ostvaruje zadovoljavanjem uslova (kada je ovaj uslov zadovoljen, nedominantni polovi su konjugovano kompleksni)

$$g_{m9I} = 2g_{m1,2} i$$

$$C_{kI} = \sqrt{\frac{g_{m1,2}}{g_{m5}} \left(\frac{2 \tan(FM) - 1}{2 + \tan(FM)} + \frac{1}{2} \right) \frac{C_p}{C_1}}$$

Kada se primenjuje ovakva kompenzacija, ako je strujno ogledalo ulaznog diferencijalnog stepena kaskodno, jedan od kaskodnih ZG tranzistora može da se koristi kao strujni bafer.

U slučaju velikih vrednosti $f_{A \cdot B}$, dublet pol-nula koji potiče od strujnog ogledala (učestanost nule u dubletu je dvostruko veća od učestanosti pola) može da smanji faznu marginu, zbog čega je potrebno povećati vrednost kompenzacionog kondenzatora, tj. smanjiti vrednost $A \cdot B$ proizvoda.