

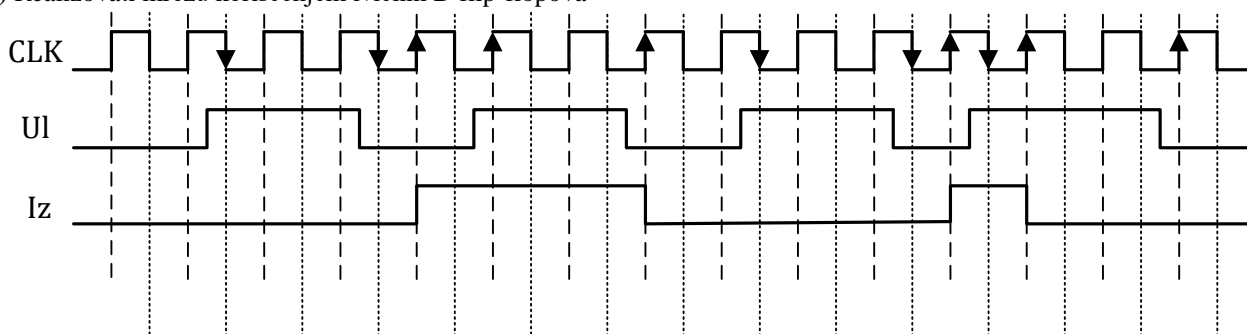
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

### Zadatak 1 U1

(18 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Izlaz se postavlja na odgovaraču vrednost na prvu ulaznu ivicu taktnog signala posle promene ulaznog signala. U slučaju da je prva ivica signala takta, koja se pojavila nakon promene nivoa ulaznog signala, uzlazna, vrednost izlaznog signala je jednaka ulaznom signalu. U slučaju da je prva ivica signala takta, koja se pojavila nakon promene ulaznog signala, silazna, vrednost izlaznog signala je komplementirana vrednost ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od  $T_{clk}$ . Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

### Sadatak 2 U1

(17 poena)

Projektovati nestandardno SR leč kolo koje za  $S=0$  i  $R=0$ , zadržava prethodno stanje; za  $S=1$  i  $R=0$  je setovano; za  $S=0$  i  $R=1$  je resetovano; za promenu  $S$  sa logičke 0 na logičku 1 se setuje bez obzira kakav je ulaz  $R$ ; za promenu  $R$  sa logičke 0 na logičku 1 se resetuje bez obzira na stanje ulaza  $S$ . Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard. Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard.

### Zadatak 3 U1

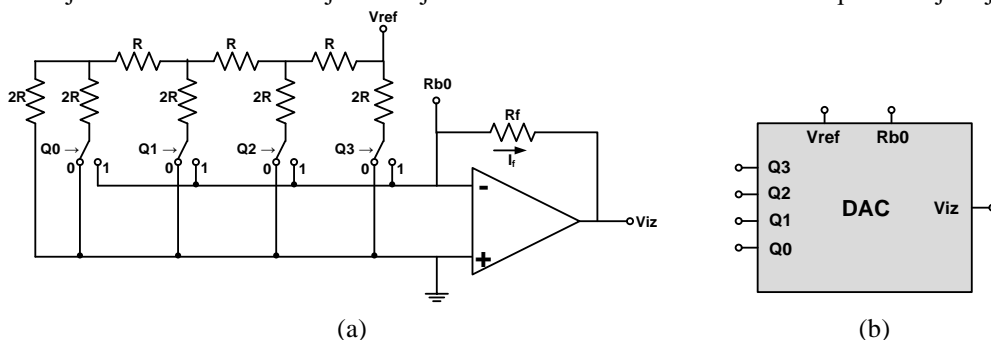
(a-5, b-7, c-3 poena)

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona  $|V_{ref}| = 20V$ , D/A konvertora sa slike 3, tako da bude zadovoljeno  $V_{iz}(0000) = 0V$  i  $V_{iz}(1111) = 3.75V$  ako je  $R_f = 5 k\Omega$ .

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 3 b). Korišćenjem gotovih konvertora projektovati mrežu kojom se generiše izlazni analogni napon čija je vrednost  $V_{iz}(X,Y) = \frac{XY}{16} [V]$ , gde su  $X$  i  $Y$  dva 5-bitna označena

broja u predstavi znak plus apsolutna vrednost. Na raspolaganju su otpornici proizvoljnih vrednosti, idealni operacioni pojačavači i proizvoljna logička kola.

(c) Ako se konvertor projektovan u tački a), poveže na izlaz brojača i ako prekidači, kontrolisani signalima  $Q_2$  i  $Q_3$ , prilikom uključanja unose kašnjenje  $t_d = 0.5T_{CLK}$ , nacrtati dijagram zavisnosti izlaznog napona konvertora od vrednosti izlaza brojača ukoliko se izlaz brojača menja od 0000 do 1111. Perioda taktnih impulsa brojača je  $T_{CLK}$ .



Slika 3. Blok šema D/A konvertora sa brzim vremenom postavljanja

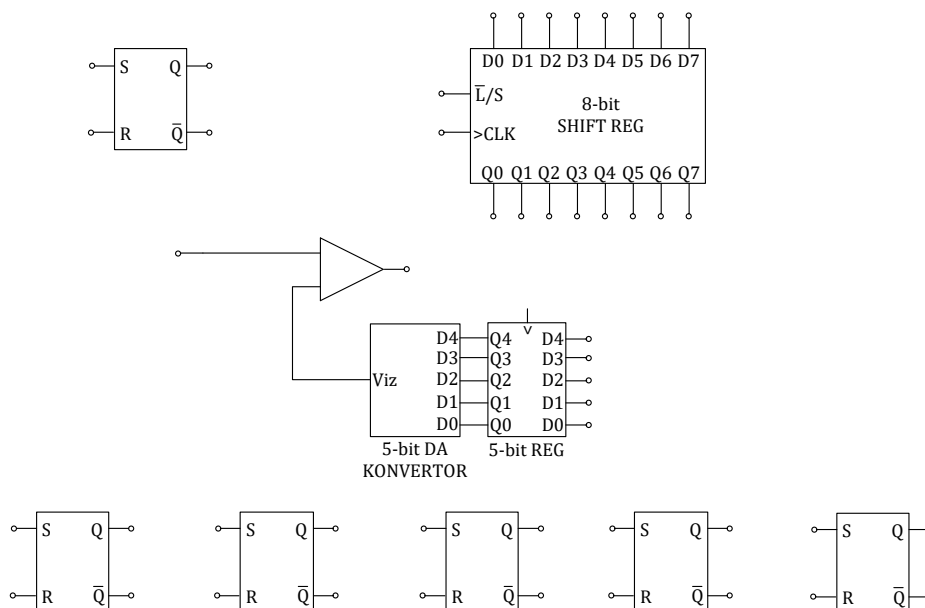
**Zadatak 4 U2****(a-7, b-2, c-5, d-6 poena)**

(a) Dovršiti šemu 5-bitnog A/D konvertora sa sukcesivnim aproksimacijama sa slike 4 ako je opseg ulaznog napona od 0 do 3.2V. Početak konverzije se zadaje signalom *START* (trajanja  $1T_{CLK}$ ). Kraj konverzije se označava signalom *EOC*. 5-bitni DA konvertor je sa opsegom napona od 0 do 3.1V. Na raspolaganju su samo dodatna logička kola (nema S/H kola).

(b) Odrediti vreme trajanja konverzije od zadavanja starta konverzije, signalom *START* (trajanja  $1T_{CLK}$ ), do završetka konverzije i generisanja signala *EOC* (trajanja  $1T_{CLK}$ ).

(c) Ako je odnos impuls/perioda *CLK* impulsa  $1/4$  odrediti maksimalnu učestanost signala takta pod uslovom da je vreme postavljanja izlaza D/A konvertora  $t_{DAC}=50ns$ , dok vreme propagacije signala kroz logička kola, SR leč kola, registar i komparator, iznosi 10ns. Označiti kriričnu putanju.

(d) Ako je perioda simetričnog takta jednaka  $10\mu s$  i ako je na početku konverzije ulazni napon jednak 2.42V, nacrtati vremenski oblik napona na izlazu D/A konvertora i na izlazu komparatora *V<sub>k</sub>*, kao i trenutnu digitalnu vrednost tokom konverzije, u odnosu na taktni signal, ako se ulazni signal u trenutku  $22\mu s$  od početka konverzije promeni na 0.22V. Od trenutka starta konverzije *START* signalom, prva usponska ivica taktnog signala pojavljuje se posle  $10\mu s$ . Označiti vremensku osu.



Slika 4. A/D konvertor sa sukcesivnim aproksimacijama

**Zadatak 5 U2****(a-5, b-3 poena)**

(a) Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.

(b) Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovima pojedinih tranzistora prilikom čitanja?

**Zadatak 6 U2****(a-3, b-4, c-5 poena)**

(a) Nacrtati standardni 1T memorijski element DDR2 SDRAM komponente. Prilikom čitanja memorijske ćelije na koji napon se postavlja bitska linija?

(b) Zašto je neophodan ciklus osvežavanja memorijskog sadržaja i kada i kako se on izvršava?

(c) Objasniti ulogu senzorskih pojačavača kod očitavanja sadržaja memorijskih elemenata; napraviti pregled i opisati najčešće korišće arhitekture za DRAM memorije.

**Zadatak 7 U2****(10 poena)**

Objasniti razloge za uvođenje „Carry-Select” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.