

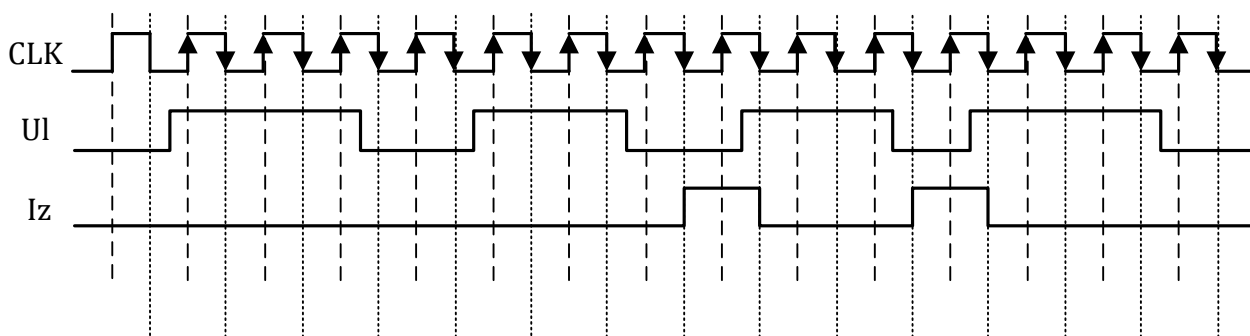
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

(18 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk ako je trenutnim impulsom ulaznog signala broj obuhvaćenih uzlaznih ivica jednak broju obuhvaćenih silaznih ivica. Izlaz se generiše po završetku impulsa ulaznog signala na prvu sledeću silaznu ivicu. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-floпова



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

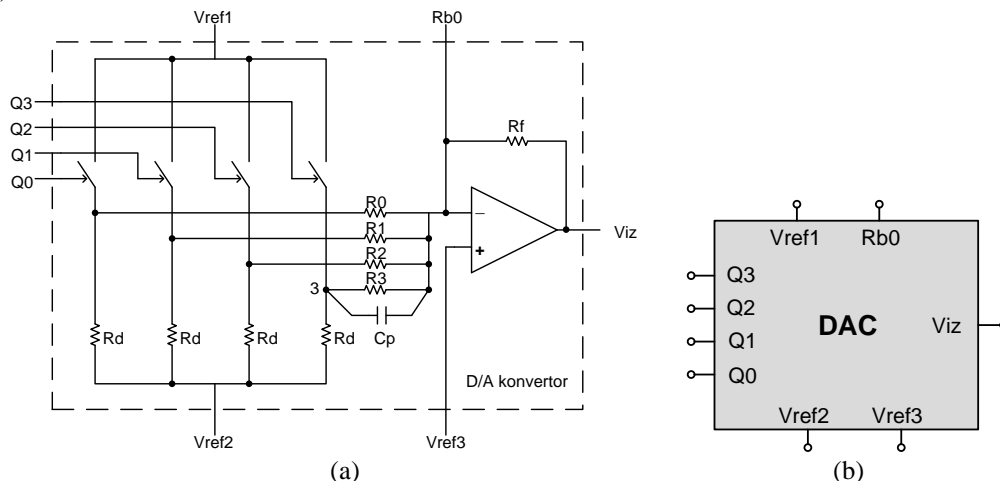
(a-6, b-3, c-6 poena)

(a) Na slici 2 data je blok šema D/A konvertora sa težinskom otpornom mrežom. Odrediti vrednosti težinskih otpornosti R_3 , R_2 , R_1 , R_0 kao i vrednosti referentnih napona V_{ref1} , V_{ref2} i V_{ref3} tako da bude ispunjeno $V_{iz}(D) = \frac{D}{3}[V]$, gde D

predstavlja vrednost ulaznog neoznačenog binarnog broja ($Q_3 Q_2 Q_1 Q_0$). Poznato je $R_d = 2k\Omega$, $R_f = 5k\Omega$. Na raspolaganju su referentni naponi 0, 20V, -20V.

(b) Ako ekvivalentna paralelna parazitna kapacitivnost otpornika R_3 ima vrednost $10pF$, odrediti izraz za oblik izlaznog napona konvertora, pri promeni ulaznog koda sa vrednosti $Q_3 Q_2 Q_1 Q_0 = 1100$ na vrednost 0000.

(c) Konvertor projektovan u tački a) je prikazan kao blok na slici 2 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati bipolarni 8 bitni DA konvertor tako da važi $V_{iz}(00000000) = -2.5V$ i $V_{iz}(11111111) = 5V$.



Slika 2. Blok šema D/A konvertora sa težinskom otpornom mrežom

Zadatak 3 U1**(17 poena)**

Projektovati nestandardno SR leč kolo koje za $S=1$ i $R=1$, zadržava prethodno stanje; za $S=0$ i $R=1$ je setovano; za $S=1$ i $R=0$ je resetovano; za promenu S sa logičke 1 na logičku 0 se setuje bez obzira kakav je ulaz R ; za promenu R sa logičke 1 na logičku 0 se resetuje bez obzira na stanje ulaza S . Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard. Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard.

Zadatak 4 U2**(a-4, b-5, c-3, d-4, e-4 poena)**

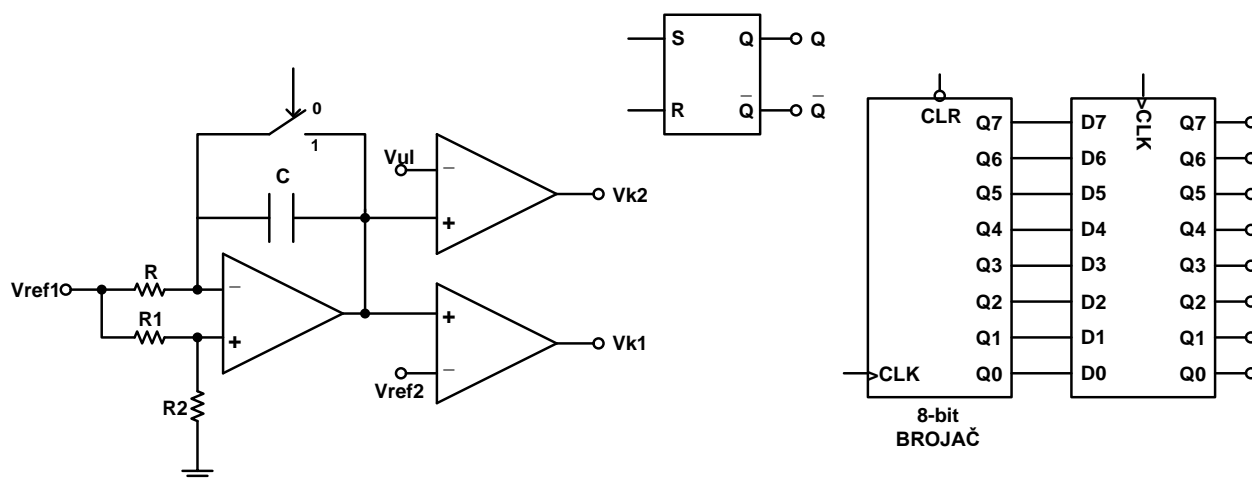
(a) Dovršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 4, tako da se ulazni napon V_{ul} konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom $START$ čije je trajanje najviše $1 T_{CLK}$.

(b) Odrediti polaritet referentnog napona $|V_{ref1}|=10V$, vrednost referentnog napona V_{ref2} , kao i vrednosti otpornika R_1 , ukoliko je opseg ulaznog napona konvertora $0 \leq V_{ul} \leq 5V$ a najveće dozvoljeno kašnjenje od pojave signala $START$ do generisanja signala početka brojanja iznosi $20\mu s$. Prekidači se mogu smatrati idealnim dok je $R=1k\Omega$ i $R_2=1k\Omega$. Perioda takta iznosi $T_{CLK}=10\mu s$.

(c) Odrediti vremensku konstatnu integratora A/D konvertora.

(d) Nacrtati vremenske dijagrame signala V_{int} , V_{k1} , V_{k2} , kao i signala Q izlaza SR leč kola sa slike 4, ako se konvertuje napon $V_{ul}=2V$.

(e) Kolika će biti konvertovana vrednost (digitalni broj na izlazu) ako se na ulaz dovede napon $V_{ul}=3V$ započne konverzija i nakon $1.2 ms$ od početka konverzije ulazni napon postane $V_{ul}=1V$, i ostaje na toj vrednosti do kraja konverzije?



Slika 4. A/D Konvertor sa jednostrukim nagibom

Zadatak 5 U2**(a-5, b-3 poena)**

(a) Nacrtati logičku šemu NAND MOS ROM komponente veličine $1k \times 4$. Detaljno nacrtati izgled memorijske ćelije i objasniti programiranje njenog sadržaja ako je EPROM tipa.

(b) Korišćenjem komponenta iz tačke a realizovati ROM memoriju veličine $2k \times 8$.

Zadatak 6 U2**(a-3, b-5, c-4 poena)**

(a) Nacrtati standardni 6T memorijski element SRAM komponente.

(b) Objasniti postupke upisa i čitanja memorijskog elementa, i postaviti uslove za dimenzije tranzistora.

(c) Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je *uobičajeni* naponski nivo? Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

Zadatak 7 U2**(10 poena)**

Objasniti razloge za uvođenje „Carry-Select“ višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.