

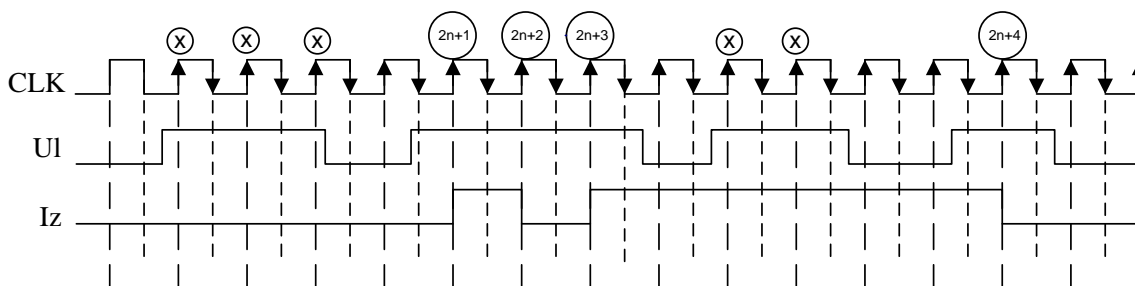
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

---

**Zadatak 1 U1****(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Izlazni signal Iz se postavlja na logičku jedinicu ako je ulaznim signalom U1 (logičkom jedinicom) ukupan broj „obuhvaćenih“ uzlaznih ivica signala CLK neparan, a na logičku nulu ako je ukupan broj „obuhvaćenih“ uzlaznih ivica paran, računajući od trenutka uključenja napajanja. (Nula je paran broj). Uzlazne ivice signala CLK se broje samo ako je posle postavljanja signala U1 (na logičku jedinicu) prva ivica signala CLK koja se pojavljuje silazna. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od  $T_{clk}$ .

- (a) Odrediti tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže.
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flopova.



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

---

**Zadatak 2 U1****(20 poena)**

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima tri ulaza A i B i C, i jedan izlaz Y. Ako je ulaz C na visokom nivou, aktivan, stanje izlaza Y je logička nula bez obzira na stanja i promene ulaza A i B. Posle deaktiviranja signala C stanje izlaza se postavlja saglasno ulazima A i B. Ako su ulazi B i C na niskom nivou, stanje ulaza A se preslikava na izlaz Y. Ako je ulaz C na niskom nivou i ulaz B promeni stanje sa niskog na visoki nivo na izlazu Y se nalazi zapamćeno stanje ulaza A koji je bio nepredno pre prelaska signala B sa niskog na visoki nivo.

---

**Zadatak 3 U1****(10 poena)**

- (a) Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
- (b) Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovim pojedinih tranzistora prilikom čitanja.

---

**Zadatak 4 U2****(10 poena)**

- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa, i postaviti uslove za dimenzije tranzistora.
- (c) Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo? Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

**Zadatak 5 U2****(5 poena)**

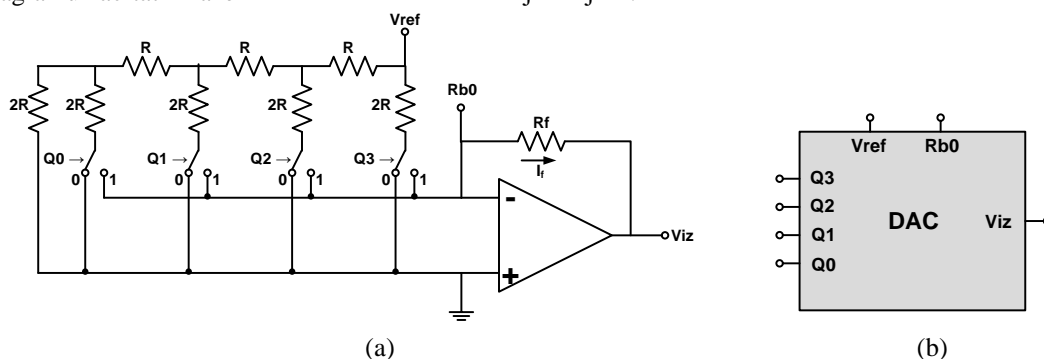
Objasniti razloge za uvođenje „Carry Bypass” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača realizovanog u ovoj arhitekturi.

**Zadatak 6 U2****(a-5, b-7, c-3 poena)**

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona  $|V_{ref}| = 20V$ ,  $D/A$  konvertora sa slike 6, tako da bude zadovoljeno  $V_{iz}(0000)=0V$  i  $V_{iz}(1111)=7.5V$  ako je  $R_f = 5 k\Omega$ .

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati bipolarni 8 bitni DA konvertor tako da važi  $V_{iz}(D) = D/80[V]$ . Označeni 8-bitni digitalni podatak  $D$  je zadat u drugom komplementu.

(c) Ako se konvertor sa slike 6, poveže na izlaz brojača i ako prekidač, kontrolisan signalom  $Q_2$ , samo prilikom uključivanja (prelaska sa 0 na 1) unosi kašnjenje  $t_d = 0.5T_{CLK}$ , nacrtati dijagram zavisnosti izlaznog napona konvertora od vrednosti izlaza brojača ukoliko se izlaz brojača menja od 1111 do 0000. Perioda taktnih impulsa brojača je  $T_{CLK}$ . Na jednom dijagramu nacrtati izlaze DA konvertora za sva stanja brojača.



Slika 6. Blok šema D/A konvertora sa brzim vremenom postavljanja

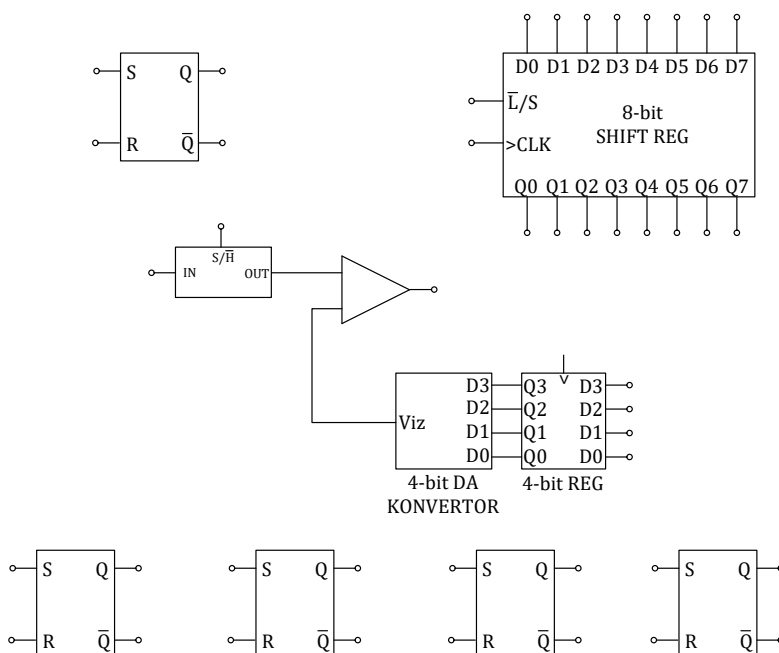
**Zadatak 7 U2****(a-5, b-2, c-8, d-5 poena)**

(a) Dovršiti šemu 4-bitnog  $A/D$  konvertora sa sukcesivnim aproksimacijama sa slike 7 ako je opseg ulaznog napona od 0 do 3.2V. Početak konverzije se zadaje signalom  $START$  proizvoljne dužine trajanja. Kraj konverzije se označava signalom  $EOC$ . Odrediti opseg 4-bitnog  $D/A$  konvertora.

(b) Odrediti vreme trajanja konverzije od zadavanja starta konverzije, signalom  $START$  (proizvoljne dužine trajanja), do završetka konverzije i generisanja signala  $EOC$  (trajanja  $1T_{CLK}$ ).

(c) Ako je vreme postavljanja izlaza  $D/A$  konvertora  $t_{DAC}=20ns$ , vreme propagacije signala kroz logička kola,  $SR$  leč kola, registar i komparator jednako i iznosi 10ns odrediti odnos impuls/perioda  $CLK$  tako da se postigne maksimalna učestanost signala takta. Koliko iznosi ta učestanost? Pri proračunu naznačiti koje kašnjenje potiče od koje komponente.

(d) Nacrtati vremenski oblik napona na izlazu  $D/A$  konvertora, na izlazu komparatora  $V_k$ , promene vrednosti konvertovanog signala  $Q_3Q_2Q_1Q_0$  ako se konvertuje ulazni napon  $V_{ul}=2.02V$ . Na dijagramu prikazati i ulazne signal  $START$  i  $CLK$ .



Slika 7. A/D konvertor sa sukcesivnim aproksimacijama