

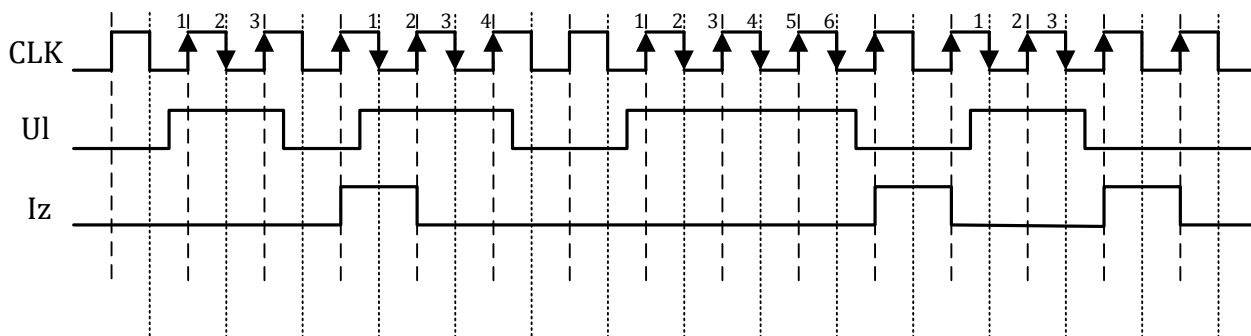
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

(18 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk ako je prethodnim impulsom ulaznog signala ukupan broj obuhvaćenih ivica (uzlaznih i silaznih) deljiv sa 3. Izlaz se generiše na prvu uzlaznu ivicu po završetku impulsa ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flopova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

(17 poena)

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima tri ulaza A i B i C, i jedan izlaz Y. Ako je ulaz C na niskom nivou, stanje izlaza Y se ne menja bez obzira na stanje i promene ulaza A i B. Ako je ulaz C na visokom nivou stanje izlaza se postavlja saglasno ulazima A i B: prilikom svake promene signala B na izlaz Y se preslikava stanje signala A. Kodovati mašinu tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard.

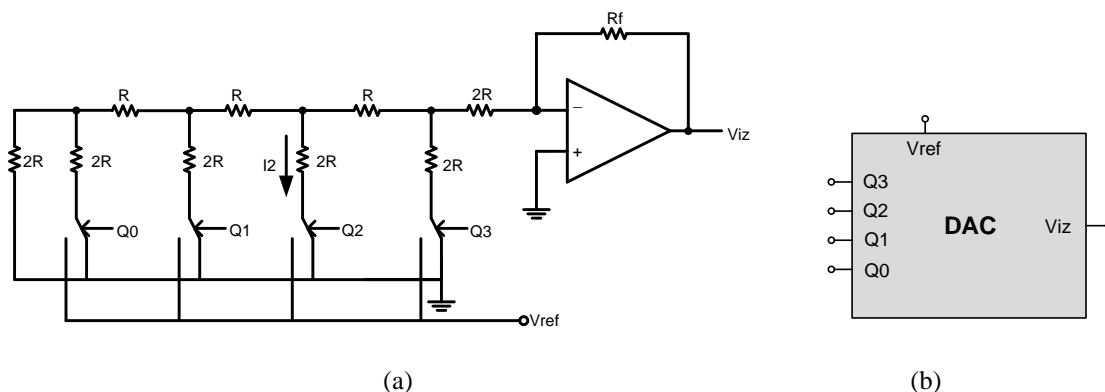
Zadatak 3 U1

(a-5, b-7, c-3 poena)

(a) Odrediti vrednosti svih otpornika i polaritet referentnog napona $|V_{ref}| = 20V$, D/A konvertora sa slike 3, tako da bude zadovoljeno $V_{iz}(0000) = 0V$ i $V_{iz}(1111) = -7.5V$ ako je $R_f = 5 k\Omega$.

(b) Konvertor projektovan u tački a) je prikazan kao blok na slici 3 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati bipolarni 8 bitni DA konvertor tako da važi $V_{iz}(D) = D/80[V]$. Označeni 8-bitni digitalni podatak D je zadat u drugom komplementu.

(c) Izračunati struju I_2 ako je na ulazu konvertora $Q_3Q_2Q_1Q_0 = 1101$.



Slika 3. DA konvertor sa lestvičastom otpornom mrežom

Zadatak 4 U2**(a-7, b-2, c-3, d-4, e-4 poena)**

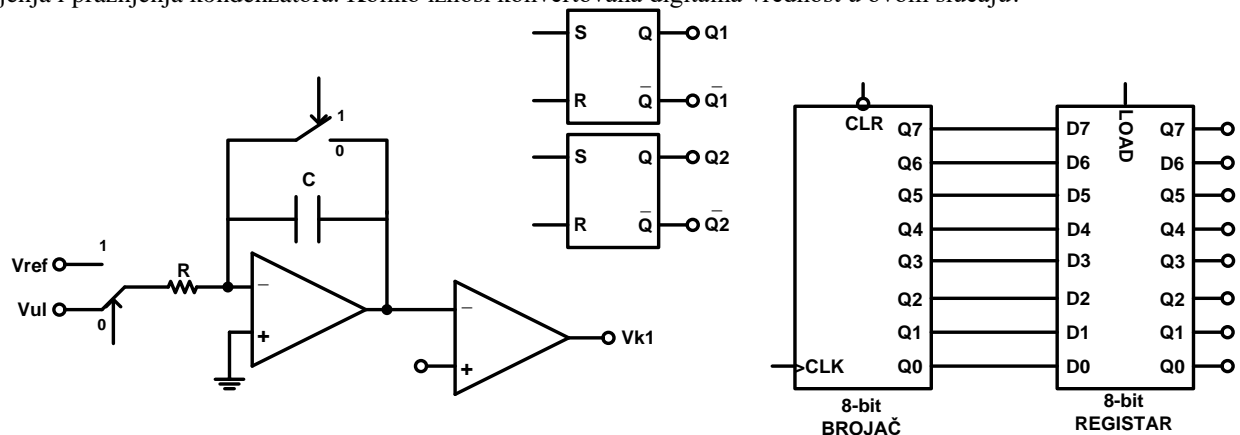
(a) Dovršiti šemu A/D konvertora sa dvojnim nagibom sa slike 4. tako da se ulazni napon V_{ul} iz opsega $[0V, 8V]$ konvertuje u 5 bitni binarni broj. Početak konverzije se zadaje signalom $START$ proizvoljno dugog vremena trajanja. Obezbediti detekciju kraja konverzije pomoću signala EOC . Odrediti polaritet i vrednost referentnog napona V_{ref} . Otpornost uključenog prekidača je $r_{on}=10\Omega$ a $R=100k\Omega$. Kapacitivnost kondenzatora je $C = 10\text{ nF}$. Operacioni pojačavači su „rail to rail“ i napajanje im je $\pm 20V$. Označiti na izlazu registra koji signali se uzimaju za izlazni digitalni podatak.

(b) Odrediti minimalno vreme koje protekne od aktiviranja signala $START$ do početka brojanja. Zanimariti kašnjenja kroz logička kola.

(c) Odrediti minimalnu učestanost signala takta tako da konvertor radi ispravno.

(d) Ako se na ulaz konvertora dovede napon od 10 V kolika će biti konvertovana vrednost ako je učestanost takta 1 MHz ? Kojoj vrednosti analognog napona odgovara ova digitalna vrednost u slučaju regularnog rada konvertora. U kom opsegu se kreće napon na izlazu integratora u ovom slučaju?

(e) Nacrtati vremenske dijagrame signala $START$, V_{int} (na izlazu integratora), V_{k1} , EOC kao i signala $Q1$ i $Q2$ izlaza SR leč kola sa slike 4, ako se konvertuje napon $V_{ul}=3V$. Označiti vrednosti napona na integratoru kao i vremena punjenja i pražnjenja kondenzatora. Koliko iznosi konvertovana digitalna vrednost u ovom slučaju?



Slika 4. A/D Konvertor sa dvojnim nagibom

Zadatak 5 U2**(a-5, b-3 poena)**

(a) Nacrtati logičku šemu NOR MOS ROM komponente veličine $1k \times 4$. Detaljno nacrtati izgled memorijske ćelije i objasniti programiranje njenog sadržaja ako je EPROM tipa.

(b) Korišćenjem komponenta iz tačke a realizovati ROM memoriju veličine $2k \times 8$.

Zadatak 6 U2**(a-3, b-5, c-4 poena)**

(a) Nacrtati standardni 6T memorijski element SRAM komponente.

(b) Objasniti postupke upisa i čitanja memorijskog elementa, i postaviti uslove za dimenzije tranzistora.

(c) Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo? Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

Zadatak 7 U2**(10 poena)**

Objasniti razloge za uvođenje „Carry Bypass“ višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.