

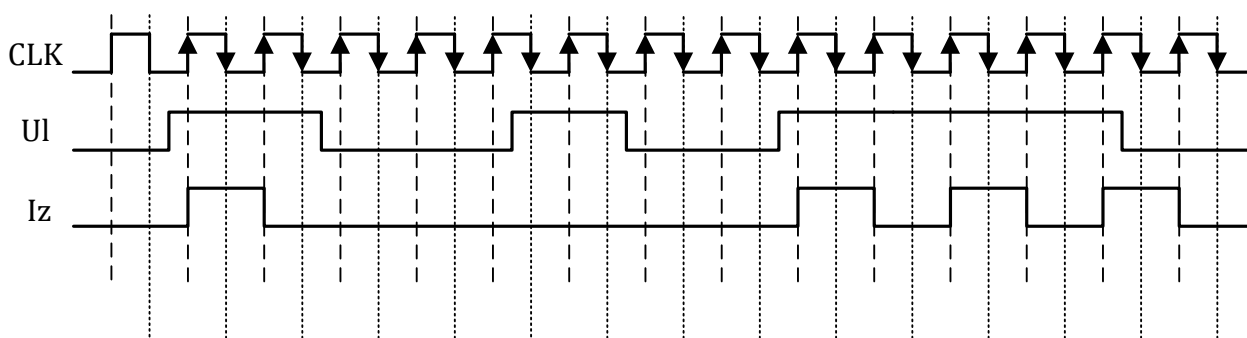
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

(18 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se za vreme aktivne vrednosti ulaznog signala (aktivna logička jedinica) generiše periodični signal dvostruko veće periode od signala takta. U slučaju da je prva obuhvaćena ivica signala takta silazna zabranjuje se generisanje izlaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže.
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova.

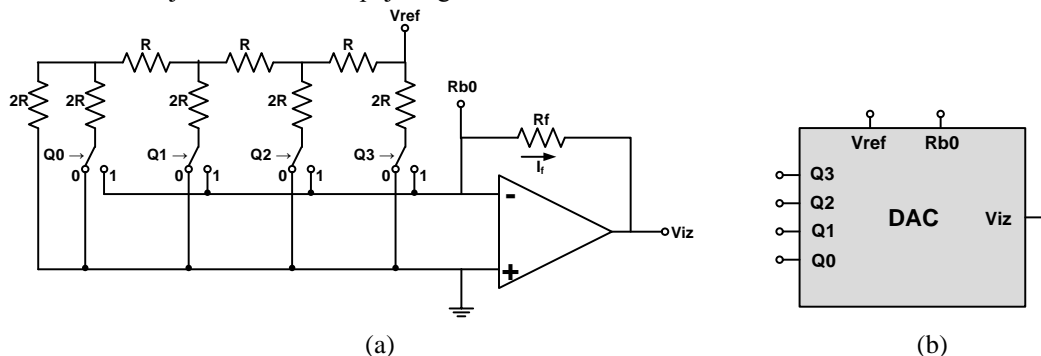


Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

(a-6, b-6, c-3 poena)

- (a) Odrediti vrednosti svih otpornika i polaritet referentnog napona $|V_{ref}| = 20V$, D/A konvertora sa slike 2, tako da bude zadovoljeno $V_{iz}(0000) = 0V$ i $V_{iz}(1111) = 7.5V$ ako je $R_f = 5 k\Omega$.
- (b) Konvertor projektovan u tački a) je prikazan kao blok na slici 2 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati 8 bitni DA konvertor tako da važi $V_{iz}(D) = D/80[V]$, pri čemu D predstavlja neoznačeni 8-bitni binarni broj.
- (c) Ako se konvertor sa slike 2, poveže na izlaz brojača i ako prekidač, kontrolisan signalom Q_2 , samo prilikom isključenja (prelaska sa 1 na 0) unosi kašnjenje $t_d = 0.5T_{CLK}$, nacrtati dijagram zavisnosti izlaznog napona konvertora od vrednosti izlaza brojača ukoliko se izlaz brojača menja od 0000 do 1111. Perioda taktnih impulsa brojača je T_{CLK} . Na dijagramu nacrtati sva stanja kada dolazi do pojave gličeva.

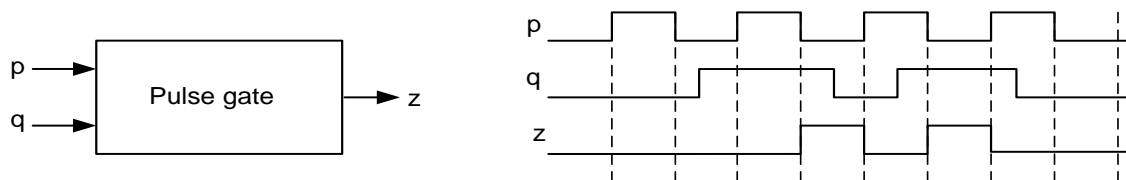


Slika 2. Blok šema D/A konvertora sa brzim vremenom postavljanja

Zadatak 3 U1

(17 poena)

Projektovati asinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznih signala p i q, i izlaznog signala z prikazani na Slici 3. Izlazni signal z je jednak ulaznom signalu p ako se promena signala p sa logičke jedinice na logičku nulu (silazna ivica) desila za vreme kada je signal q bio na visokom nivou. U ostalim slučajevima signal z je na logičkoj nuli. Promene signala p i q se ne dešavaju istovremeno.



Slika 3

Kodovati stanja tako da ne postoji problem trke. Proveriti da li postoji esencijalni hazard i objasniti. Realizovati mašinu stanja tako da ne postoji statički hazard.

Zadatak 4 U2

(a-8, b-2, c-2, d-5, e-3 poena)

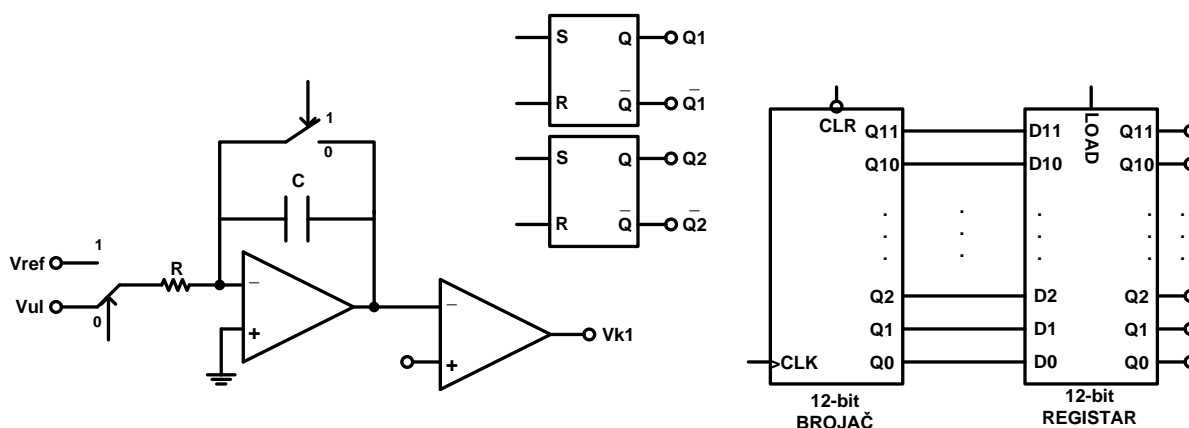
(a) Dovršiti šemu A/D konvertora sa dvojnim nagibom sa slike 4. tako da se ulazni napon V_{ul} iz opsega $[0V, 5V]$ konvertuje u 12 bitni binarni digitalni podatak. Izlaz konvertora je 000000000000 za ulazni napon 0V i 111111111111 za ulazni napon 5V. Početak konverzije se zadaje signalom START proizvoljno dugog vremena trajanja. Obezbediti detekciju kraja konverzije pomoću signala EOC. Otpornost uključenog prekidača je $r_{on}=10\Omega$ a $R=100k\Omega$. Kapacitivnost kondenzatora je $C = 10\text{ nF}$. Operacioni pojačavači su „rail to rail“ i napajanje im je $\pm 20V$. Na raspolaganju su otpornici proizvoljnih vrednosti, idealni operacioni pojačavači i izvori konstantog napona $+20V$ i $-20V$.

(b) Odrediti polaritet i vrednost referentnog napona V_{ref} .

(c) Odrediti minimalnu učestanost signala takta tako da konvertor radi ispravno.

(d) Nacrtati vremenske dijagrame signala V_{int} (na izlazu integratora), V_{k1} , EOC kao i signala $Q1$ i $Q2$ izlaza SR leč kola sa slike 4, ako se konvertuje napon $V_{ul}=3V$. Smatrati da konvertor radi na minimalnoj učestanosti takta određenoj u tački c).

(e) Ako se na ulaz konvertora dovede napon od 7V kolika će biti konvertovana vrednost pod uslovom da je učestanost takta dovoljno niska da operacioni pojačavači ne ulaze u zasićenje? Kojoj vrednosti analognog napona odgovara ova digitalna vrednost u slučaju regularnog rada konvertora.



Slika 4. A/D Konvertor sa dvojnim nagibom

Zadatak 5 U2

(a-5, b-3 poena)

(a) Nacrtati logičku šemu NAND MOS ROM komponente veličine $1k \times 4$. Detaljno nacrtati izgled bitske linije i objasniti način čitanja i programiranje sadržaja memorisjke ćelije ako je EPROM tipa.

(b) Korišćenjem komponenta iz tačke a realizovati ROM memoriju veličine $2k \times 8$.

Zadatak 6 U2

(a-2 b-5, c-5 poena)

(a) Objasniti principске разлике u brzini rada SRAM i DRAM memorije.

(b) Objasniti postupke upisa i čitanja SRAM memorijskog elementa, i postaviti uslove za dimenzije tranzistora.

(c) Objasniti ulogu senzorskih pojačavača kod ROM, SRAM i DRAM memorija i nacrtati njihove principске šeme.

Zadatak 7 U2

(10 poena)

Objasniti razloge za uvođenje „Carry-Select“ višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.