

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

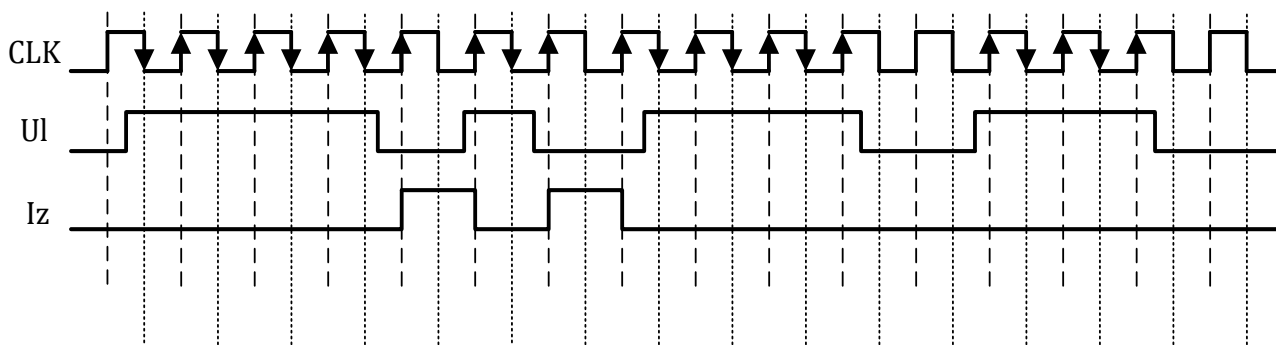
(20 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja 1 Tclk u slučaju da je zadovoljen neki od dva uslova:

- 1) prva obuhvaćena ivica signala takta je uzlazna i ukupan broj obuhvaćenih ivica signala takta je paran
- 2) prva obuhvaćena ivica signala takta je silazna i ukupan broj obuhvaćenih ivica signala takta je neparan

Izlazni impuls se generiše na prvu uzlaznu ivicu signala takta po završetku impulsa ulaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flopova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

(20 poena)

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima tri ulaza A i B i C, i jedan izlaz Y. Ako je ulaz C na visokom nivou, stanje izlaza Y je logička nula bez obzira na stanja i promene ulaza A i B. Ako je ulaz C na niskom nivou stanje izlaza se postavlja saglasno ulazima A i B: ako je ulaz B na niskom nivou, stanje ulaza A se preslikava na izlaz Y; ako je ulaz B na visokom nivou na izlazu Y se nalazi zapamćeno stanje ulaza A koji je bio neporedno pre prelaska signala B sa niskog na visoki nivo.

Zadatak 3 U1

(10 poena)

- (a) Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
- (b) Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovima pojedinih tranzistora prilikom čitanja.

Zadatak 4 U2

(10 poena)

- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa, i postaviti uslove za dimenzije tranzistora.
- (c) Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo? Navesti „principske“ razlike upotrebe (ne zašto, nego kako) senzorskih pojačavača kod SRAM memorija sa jedne strane i ROM, DRAM memorija sa druge strane.

Zadatak 5 U2

(5 poena)

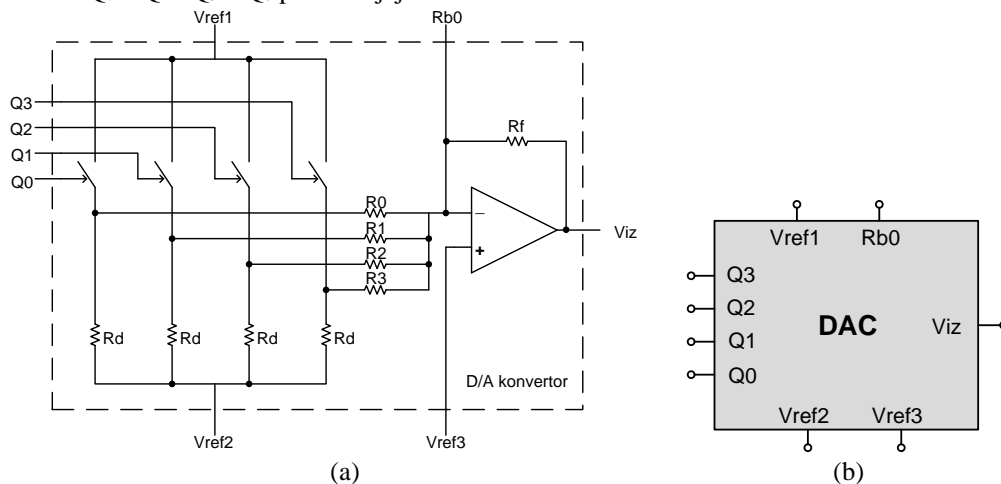
Objasniti razloge za uvođenje „Carry Bypass“ višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača realizovanog u ovoj arhitekturi.

Zadatak 6 U2**(a-6, b-4, c-5 poena)**

(a) Na slici 6 data je blok šema D/A konvertora sa težinskom otpornom mrežom. Odrediti vrednosti težinskih otpornosti R_3, R_2, R_1, R_0 kao i vrednosti referentnih napona V_{ref1}, V_{ref2} i V_{ref3} tako da bude ispunjeno $V_{iz}(D) = -\frac{D}{5}[V]$, gde D predstavlja vrednost ulaznog neoznačenog binarnog broja ($Q_3Q_2Q_1Q_0$). Poznato je $R_d=2k\Omega, R_f=5k\Omega$. Na raspolaganju su referentni naponi 0, 20V, -20V.

(b) Ako je otpornost zatvorenih prekidača $R_{ON}=10\Omega$ odrediti najveću apsolutnu grešku ovog konvertora.

(c) Konvertor projektovan u tački a) je prikazan kao blok na slici 6 b). Korišćenjem gotovih konvertora, operacionih pojačavača i otpornika, projektovati 8 bitni BCD D/A konvertor tako da važi $V_{iz}(0000\ 0000) = 0$ i $V_{iz}(1001\ 1001) = 9.9V$. Smatrati da biti $Q_7...Q_4$ i $Q_3...Q_0$ predstavljaju validne BCD cifre.



Slika 6. Blok šema D/A konvertora sa težinskom otpornom mrežom

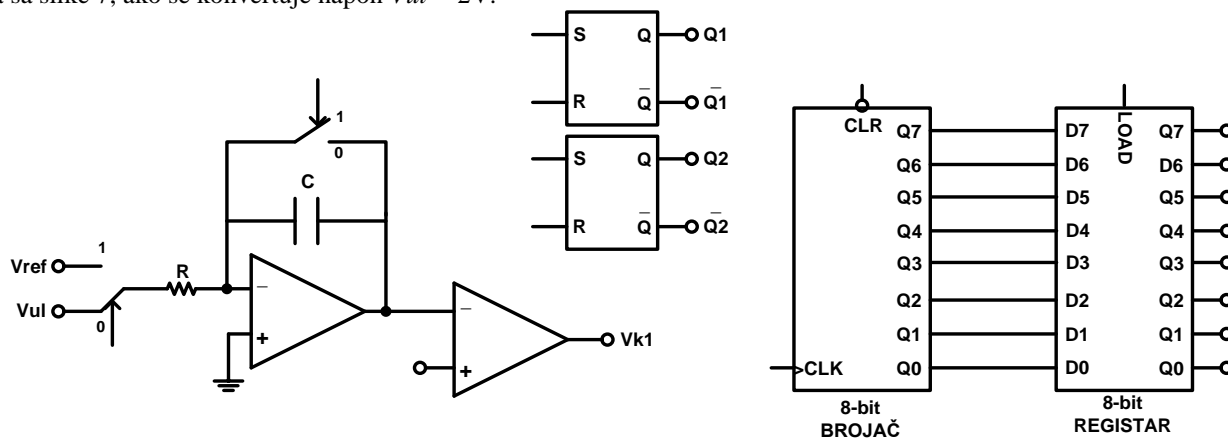
Zadatak 7 U2**(a-9, b-3, c-4, d-4 poena)**

(a) Dopršiti šemu A/D konvertora sa dvojn timer nagibom sa slike 7. tako da se ulazni napon V_{ul} iz opsega [-5V, 5V] konvertuje u 5 bitni binarni broj u predstavi znak plus apsolutna vrednost. Početak konverzije se zadaje signalom START proizvoljno dugog vremena trajanja. Obezbediti detekciju kraja konverzije pomoću signala EOC. Odrediti polaritet i vrednost referentnog napona V_{ref} . Otpornost uključenog prekidača je $r_{on}=10\Omega$ a $R=100k\Omega$. Kapacitivnost kondenzatora je $C = 10\text{ nF}$. Operacioni pojačavači su „rail to rail“ i napajanje im je $\pm 20V$. Na raspolaganju su otpornici proizvoljnih vrednosti, idealni operacioni pojačavači i izvori konstantnog napona +20V i -20V..

(b) Odrediti minimalnu učestanost signala takta tako da konvertor radi ispravno. Čime je ograničena maksimalna učestanost rada ovog konvertora?

(c) Ako se na ulaz konvertora dovede napon od 8V kolika će biti konvertovana vrednost pod uslovom da je učestanost takta dovoljno niska da operacioni pojačavači ne ulaze u zasićenje? Kojoj vrednosti analognog napona odgovara ova digitalna vrednost u slučaju regularnog rada konvertora.

(d) Nacrtati vremenske dijagrame signala V_{int} (na izlazu integratora), V_{kl} , EOC kao i signala $Q1$ i $Q2$ izlaza SR leč kola sa slike 7, ako se konvertuje napon $V_{ul} = -2V$.



Slika 7. A/D Konvertor sa dvojn timer nagibom