

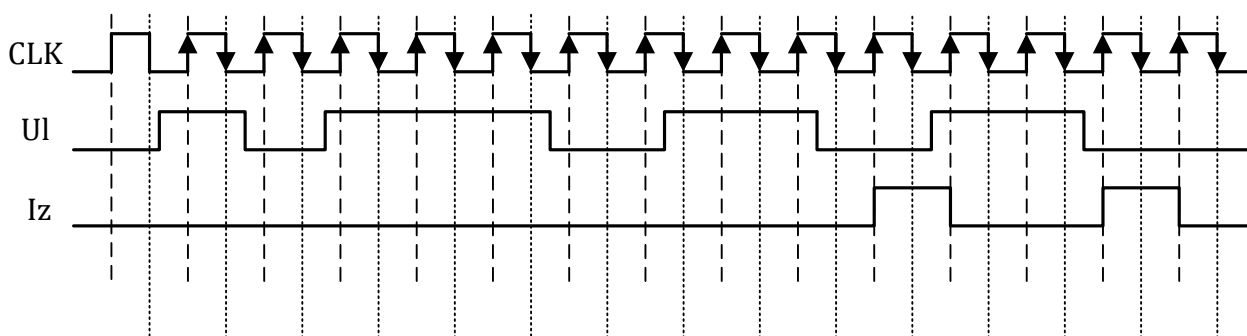
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani **obavezno** zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1

(20 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Na izlazu se generiše impuls trajanja $1 T_{CLK}$ u slučaju da su se za vreme visoke vrednosti ulaznog signala pojavile tačno dve silazne ivice signala takta. Izlazni signal se, u slučaju da je ispunjen uslov, generiše na prvu uzlaznu ivicu signala takta nakon promene vrednosti ulaznog signala sa visokog na niski naponski. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od T_{CLK} . Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1

(20 poena)

Asinhrona sekvencijalna mreža ima tri ulaza A, B, C i izlaz Y. Ako je signal C na nivou logičke nule mašina na izlazu Y zadržava prethodno stanje. Ako se za vreme kada je signal C na nivou logičke jedinice pojavi stanje A=1, B=0, izlaz Y postaje logička jedinica. Ako se za vreme kada je signal C na nivou logičke jedinice pojavi stanje A=0, B=1, izlaz Y postaje logička nula. Ako se za vreme kada je signal C na nivou logičke jedinice pojavi stanje A=1, B=1, izlaz Y zadržava prethodno stanje. Realizovati mašinu stanja tako da ne postoji problem trke i da ne postoji statički hazard.

Zadatak 3 U1

(10 poena)

- (a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.
- (b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?

Zadatak 4 U2

(7 poena)

- (a) Nacrtati standardni 1T memorijski element DDR2 SDRAM komponente. Zašto je neophodan ciklus osvežavanja memorijskog sadržaja i kada i kako se on izvršava?
- (b) Objasniti ulogu senzorskih pojačavača kod očitavanja sadržaja memorijskih elemenata; napraviti pregled i opisati najčešće korišćene arhitekture za DRAM memorije.

Zadatak 5 U2

(8 poena)

Objasniti razloge za uvođenje „Carry-Select” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača.

Zadatak 6 U2**(a-6, b-3, c-5, d-3 poena)**

(a) Na slici 6 a) data je blok šema D/A konvertora sa težinskom otpornom mrežom. Definirati način rada prekidača i odrediti vrednosti težinskih otpornosti R_3, R_2, R_1, R_0 kao i vrednosti referentnih napona V_{ref1}, V_{ref2} i V_{ref3} tako da bude ispunjeno $V_{iz}(D) = \frac{D}{2}[V]$, gde D predstavlja vrednost ulaznog digitalnog signala $Q_3Q_2Q_1Q_0$. Poznato je $R_d=2k, R_f=5k$.

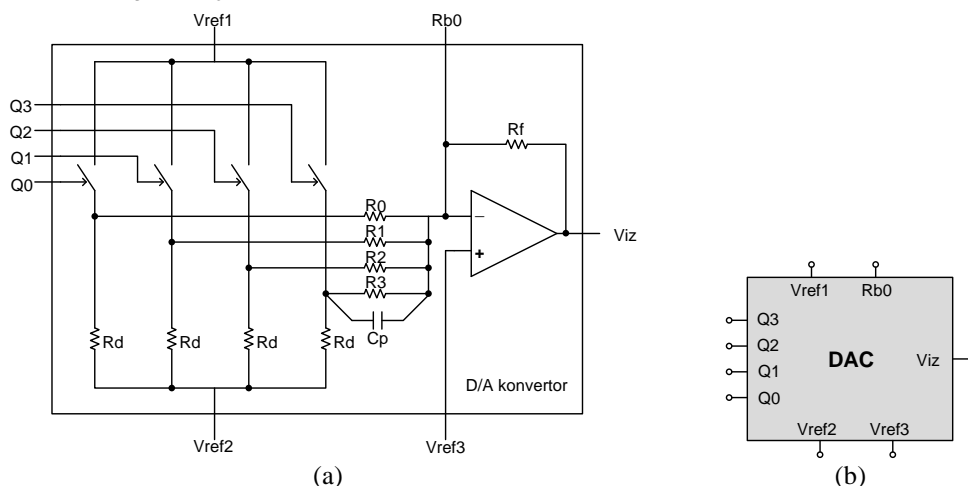
Na raspolaganju su naponi napajanja $\pm 20V$ i $0V$.

(b) Ukoliko je otpornost uključenih prekidača je $r_{on} = 10\Omega$ izračunati grešku ofseta ovog konvertora.

(c) Ako je na raspolaganju blok konvertora projektovanog u tački a) prikazan na slici 6 b) projektovati mrežu kojom se vrši konverzija 8-bitnog podatka D koji predstavlja dvocifreni broj u BCD kodu u odgovarajuću vrednost analognog napona tako da je $V_{iz}(D) = \frac{D}{10}[V]$. Na raspolaganju su otpornici proizvoljnih vrednosti, operacioni pojačavači i logička

kola niskog stepena integracije.

(d) Ukoliko je ukupna parazitna kapacitivnost u čvoru 3 jednaka C_p , odrediti oblik izlaznog napona konvertora pri promeni ulaza konvertora $Q_3Q_2Q_1Q_0$ sa 1101 na 0000.



Slika 6. Blok šema D/A konvertora sa težinskom otpornom mrežom

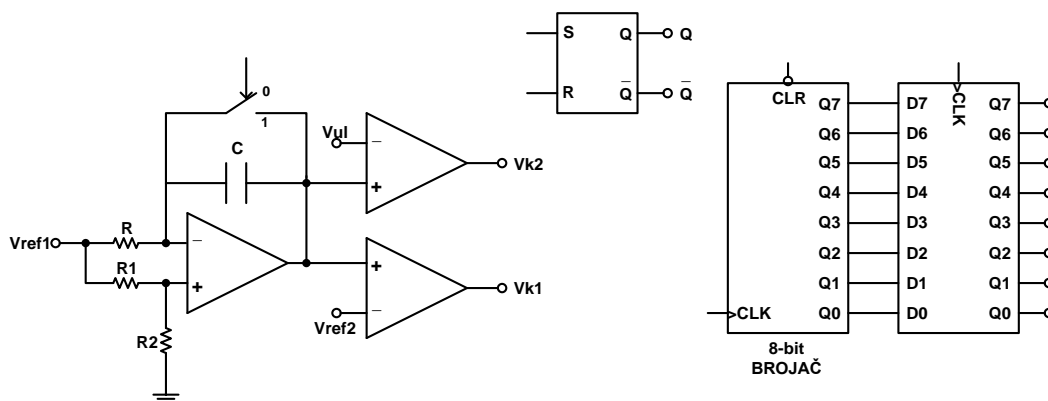
Zadatak 7 U2**(a-4, b-6, c-4, d-4 poena)**

(a) Dopršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 7. tako da se ulazni napon V_{ul} konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom START čije je trajanje najviše $1 T_{CLK}$.

(b) Odrediti polaritet referentnog napona $|V_{ref1}|=10V$, vrednost referentnog napona V_{ref2} , vrednosti otpornika R_1 i vrednost kondenzatora C ukoliko je opseg ulaznog napona konvertora $-3V \leq V_{ul} \leq 5V$ a najveće dozvoljeno kašnjenje od pojave signala START do generisanja signala početka brojanja iznosi $20\mu s$. Prekidači se mogu smatrati idealnim dok je $R=1k\Omega$ i $R_2=1k\Omega$. Perioda takta iznosi $T_{CLK}=10\mu s$.

(c) Nacrtati vremenske dijagrame signala V_{int} , V_{k1} , V_{k2} , kao i signala Q izlaza SR leč kola sa slike 7, ako se konvertuje napon $V_{ul}=2V$.

(d) Kolika će biti konvertovana vrednost (digitalni broj na izlazu) ako se na ulaz dovede napon $V_{ul}=3V$ započne konverzija i nakon $1.2 ms$ od početka konverzije ulazni napon postane $V_{ul}=1V$, i ostaje na toj vrednosti do kraja konverzije?



Slika 7. A/D Konvertor sa jednostrukim nagibom