

1. Trajanje kolokvijuma 180 minuta.
2. Kolokvijum se radi u vežbanci.

---

**Zadatak 1**

(a-6, b-4, c-2, d-4, e-4 poena)

- (a) Realizovati potpuni binarni sinhroni 3-bitni brojač. Na raspolaganju su ivični D flip flopovi sa asinhronim ulazima za direktan set  $Sd$  i reset  $Rd$  koji su sa aktivnom logičkom nulom.
- (b) Obezbediti mogućnost sinhronog paralelnog upisa. Upis podatka se kontroliše ulaznim signalom  $LOAD$  sa aktivnom logičkom jedinicom.
- (c) Obezbediti mogućnost asinhronog resetu. Brojač se resetuje ulaznim signalom  $CLR$  sa aktivnom logičkom nulom.
- (d) Ako se projektovani brojač koristi kao blok (nije dozvoljena modifikacija unutrašnje strukture), realizovati brojač koji broji u sledećoj sekvenci 15-8-9-12-2-3-15....
- (e) Ako je kašnjenje flip-flopova  $t_{diff} = 10$  ns (u odnosu i na sinhrone i na asinhrone priključke), vreme postavljanja ulaza flip-flopova  $t_{ds} = 4$  ns i kašnjenje kroz logička kola  $t_{dlk} = 5$  ns odrediti maksimalnu učestanost signala takta i kašnjenje izlaznih signala za realizaciju iz tačke d).

---

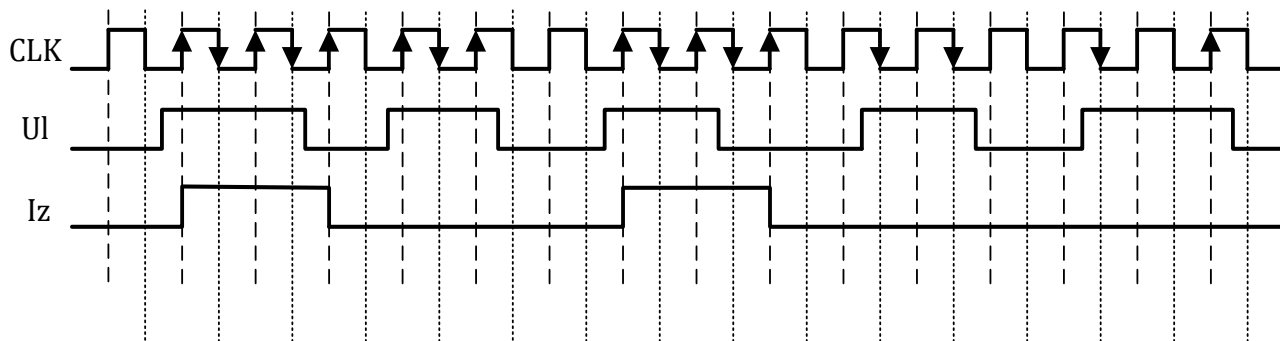
**Zadatak 2**

(a-17, b-2, c-3, d-8 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala  $UI$  i izlaznog signala  $Iz$  prikazani na Slici 2. Na izlazu se generiše impuls trajanja 1  $T_{clk}$  pod uslovom da se između uzlazne i silazne ivice signala  $UI$  pojavi, "obuhvaćena je", uzlazna ivica signala takta. U slučaju da je prva obuhvaćena ivica trenutnim ili poslednja obuhvaćena ivica prethodnim impulsom ulaznog signala silazna, izlaz se ne generiše tokom trenutnog impulsa ulaznog signala. Po resetu mašina se nalazi u stanju koje označava da je prethodnim impulsom ulaznog signala poslednja obuhvaćena ivica uzlazna.

Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od  $T_{clk}$ . Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flopova



Slika 2. Vremenski dijagrami signala sekvencijalne mreže

---

**Zadatak 3****(30 poena)**

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima dva ulaza A i B, i jedan izlaz Y. Prilikom promene ulaza B sa logičke jedinice na logičku nulu, izlaz Y se postavlja na logičku vrednost ulaza A koja je u tom trenutku. U ostalim slučajevima nema promene izlaznog signala.

Voditi računa o problemu trke i statičkom hazardu. Da li postoji problem esencijalnog hazarda?

---

**Zadatak 4****(10 poena)**

Na koji način se najčešće realizuju kombinacione funkcije u okviru pojedinih blokova FPGA komponente veoma visokog stepena integracije? Nacrtati i objasniti.

---

**Zadatak 5****(10 poena)**

- a) Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
- b) Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovima pojedinih tranzistora prilikom čitanja.