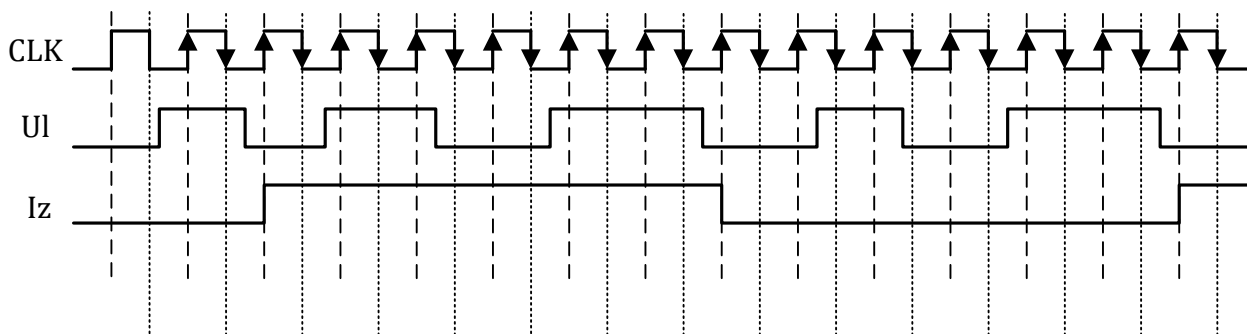


1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.

Zadatak 1 U1 (20 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala U1 i izlaznog signala Iz prikazani na Slici 1. Izlazni signal Iz se **komplementira** ako je prva ivica signala takta, koja se pojavila od prelaska signala U1 sa niskog na visok naponski nivo, uzlazna i poslednja ivica signala takta, pre prelaska signala U1 sa visokog na niski nivo, silazna. Nivo izlaznog signala se menja na prvu uzlaznu ivicu signala takta koja se pojavi od trenutka prelaska signala U1 sa visokog na niski naponski nivo. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-flova



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 2 U1 (20 poena)

Sintetizovati asinhronu mašinu stanja, korišćenjem osnovnih logičkih kola, koja ima tri ulaza A i B i C, i jedan izlaz Y. Ako je ulaz C na visokom nivou, aktivan, stanje izlaza Y je logička nula bez obzira na stanja i promene ulaza A i B. Posle deaktiviranja signala C stanje izlaza se postavlja saglasno ulazima A i B. Ako je ulaz C na niskom nivou, izlaz Y se menja samo prilikom promene ulaza B sa niskog na visoki nivo i tada se na izlazu Y postavlja zapamćeno stanje ulaza A koji je bio nepoređeno pre prelaska signala B sa niskog na visoki nivo.

Zadatak 3 U1 (10 poena)

- (a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.
- (b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?

Zadatak 4 U2 (10 poena)

Objasniti razloge za uvođenje „Carry Bypass” višebitnog sabirača i nacrtati njegovu strukturu. Izvesti izraz za maksimalno kašnjenje višebitnog sabirača realizovanog u ovoj arhitekturi.

Zadatak 5 U2 (10 poena)

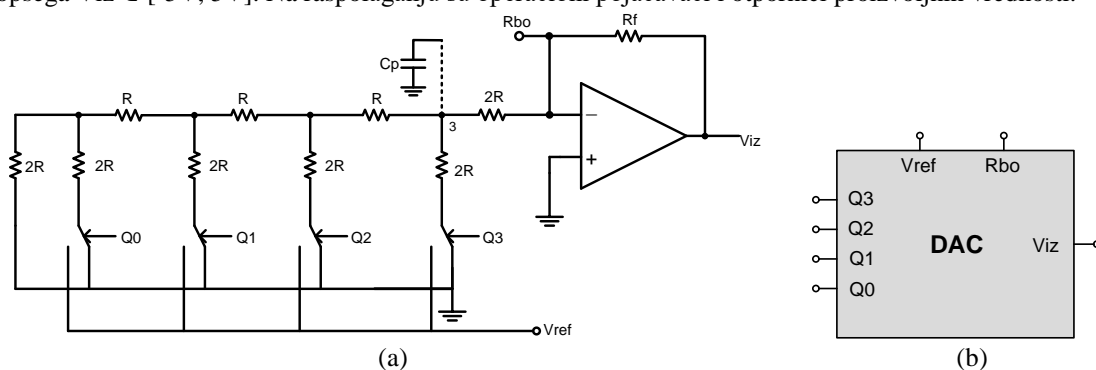
- (a) Nacrtati standardni 1T memorijski element DDR2 SDRAM komponente.
- (b) Zašto je neophodan ciklus osvežavanja memorijskog sadržaja. Kada i kako se on izvršava?
- (c) Objasniti ulogu senzorskih pojačavača kod očitavanja sadržaja memorijskih elemenata; napraviti pregled i opisati najčešće korišće arhitekture za DRAM memorije.

Zadatak 6 U2**(a-5, b-5, c-5 poena)**

(a) Odrediti vrednosti svih otpornika, polaritet referentnog napona $|V_{ref}| = 10V$ i definisati rad prekidača, D/A konvertora sa slike 6, tako da bude zadovoljeno $V_{iz}(1111) = 7.5V$, $R_f = 12k\Omega$.

(b) Ukoliko je ukupna parazitna kapacitivnost u čvoru 3 lestvičaste mreže C_p , odrediti oblik izlaznog napona konvertora pri promeni ulaza konvertora sa 1010 na 0101.

(c) Pomoću blok šeme konvertora iz tačke a) realizovati 8-bitni konvertor koji ulazni binarni broj konvertuje u izlazni napon iz opsega $V_{iz} \in [-5V, 5V]$. Na raspolaganju su operacioni pojačavači i otpornici proizvoljnih vrednosti.



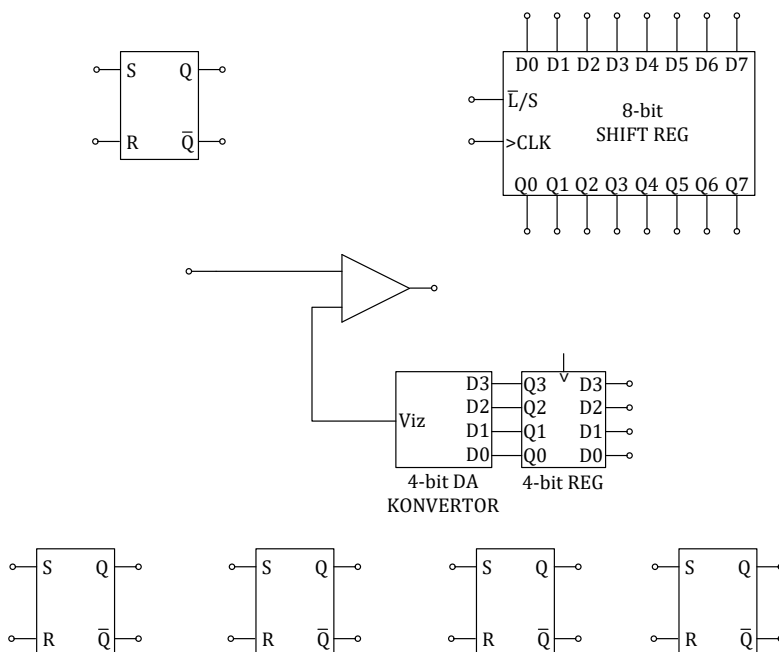
Slika 6. Blok šema D/A konvertora sa lestvičastom otpornom mrežom

Zadatak 7 U2**(a-5, b-6, c-4 poena)**

(a) Dopršiti šemu 4-bitnog A/D konvertora sa sukcesivnim aproksimacijama sa slike 7 ako je opseg ulaznog napona od 0 do 4.8V. Početak konverzije se zadaje signalom *START* proizvoljne dužine trajanja. Kraj konverzije se označava signalom *EOC*. 4-bitni DA konvertor je sa opsegom napona od 0 do 4.5V. Na raspolaganju su samo dodatna logička kola malog stepena integracije.

(b) Ako je vreme postavljanja izlaza D/A konvertora $t_{DAC} = 20ns$, vreme propagacije signala kroz logička kola, SR leč kola, registar i komparator jednako i iznosi 5ns (za svako kolo pojedinačno) odrediti odnos impuls/perioda *CLK* tako da se postigne maksimalna učestanost signala takta. Koliko iznosi ta učestanost? Pri proračunu naznačiti koje kašnjenje potiče od koje komponente.

(c) Nacrtati vremenski oblik napona na izlazu D/A konvertora, na izlazu komparatora *Vk*, promene vrednosti konvertovanog signala $Q_3Q_2Q_1Q_0$ ako se konvertuje ulazni napon $V_{ul} = 1.7V$. Na dijagramu prikazati i ulazne signal *START* i *CLK*.



Slika 7. A/D konvertor sa sukcesivnim aproksimacijama