

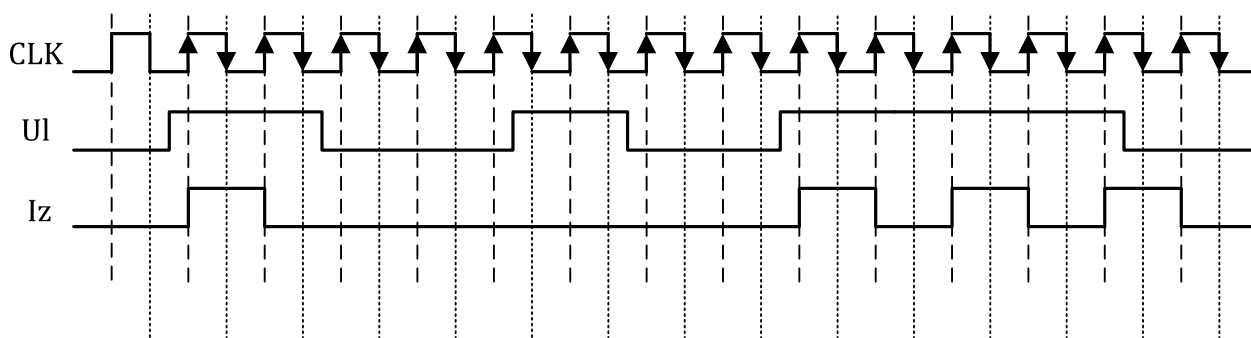
1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.

---

**Zadatak 1****(20 poena)**

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala Ul i izlaznog signala Iz prikazani na Slici 1. Na izlazu se za vreme aktivne vrednosti ulaznog signala (aktivna logička jedinica) generiše periodični signal dvostruko veće periode od signala takta. U slučaju da je prva obuhvaćena ivica signala takta silazna zabranjuje se generisanje izlaznog signala. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od Tclk. Odrediti:

- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični JK flip-flopi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže.
- (d) Realizovati mrežu korišćenjem ivičnih JK flip-floпова.



Slika 1. Vremenski dijagrami signala sekvencijalne mreže

---

**Zadatak 2****(10 poena)**

- (a) Nacrtati strukturu GAL komponente koja ima 4 fiksna ulaza, 4 izlaza/ulaza i mogućnost sabiranja maksimalno do 4 proizvoda po izlazu. GAL komponenta je realizovana u CMOS EPROM tehnologiji.
- (b) Nacrtati logičku šemu komponente ako su 2 izlaza konfigurisana kao logički a 2 izlaza kao registarski. Kako i kada se definiše ovakva konfiguracija? Zašto se prilikom formiranja logičkih proizvoda koristi programabilno EXILI kolo na izlazu?

---

**Zadatak 3****(15 poena)**

Projektovati kolo *Barrel* pomerača koji vrši aritmetičko ili logičko pomeranje, udesno ili ulevo ulaznog broja  $A = a_3a_2a_1a_0$  za broj bita definisan kontrolnim ulazima  $c_1$  i  $c_0$ . Selekcija Aritmetičkog/Logičkog pomeranja, tj. pomeranja *Levo/Desno* vrše se pomoću kontrolnih ulaza  $A/L$ , tj.  $L/D$ . Na raspolaganju su isključivo multiplekseri 2/1.

---

**Zadatak 4****(10 poena)**

- (a) Nacrtati standardni 6T memorijski element SRAM komponente.
- (b) Objasniti postupke upisa i čitanja memorijskog elementa. Zbog čega se pre čitanja memorijskog elementa bitske linije i njihove komplementne vrednosti postavljaju na iste naponske nivoe? Kako se to radi i koji je uobičajeni naponski nivo?

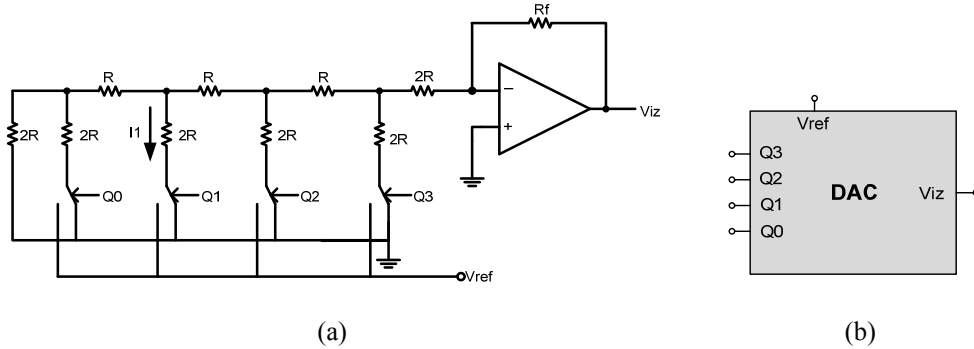
---

**Zadatak 5****(10 poena)**

- (a) Nacrtati šemu unipolarnog fleš AD konvertora i objasniti princip rada.
- (b) Objasniti kako može da se eliminiše ofset koji se pojavljuje kod komparatora.
- (c) Objasniti razloge za uvođenje i princip realizacije *folding* fleš AD konvertora. Uporediti ga sa kaskadnim fleš AD konvertorima.

**Zadatak 6****(15 poena)**

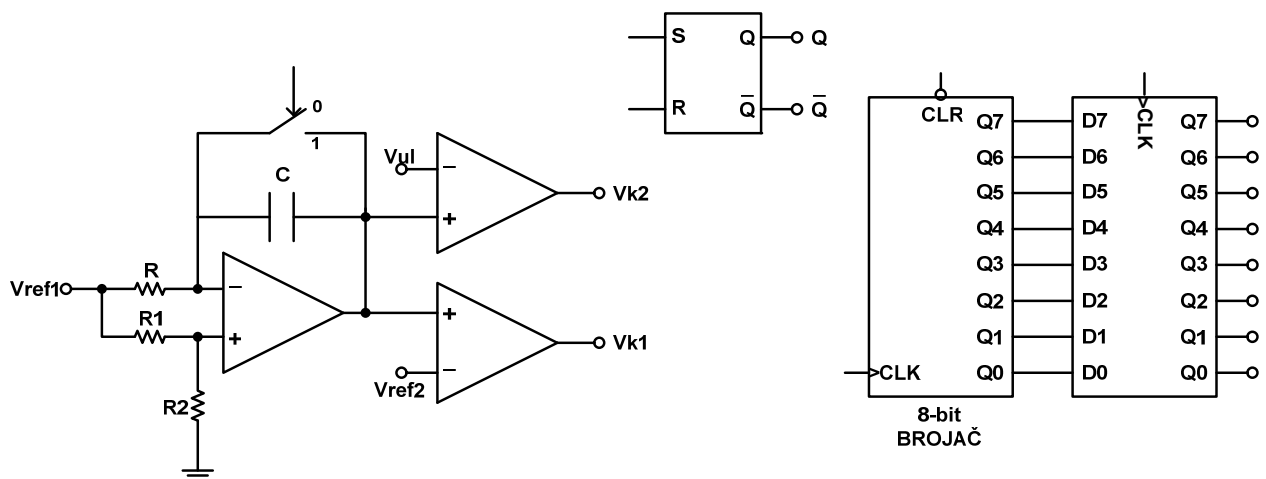
- (a) Odrediti vrednosti svih otpornika i polaritet referentnog napona  $|V_{ref}| = 10V$ , DA konvertora sa slike 6, tako da bude zadovoljeno  $V_{iz}(0000) = 0V$  i  $V_{iz}(1111) = 3.75V$  ako je  $R_f = 5 k\Omega$ .
- (b) Izračunati struju  $I_1$  ako je na ulazu konvertora  $Q_3Q_2Q_1Q_0 = 1011$ .
- (c) Pomoću blok šeme konvertora iz tačke a) koja je prikazana na slici 6 b) realizovati funkciju  $V_{iz} = 0.5DV_{ul}$  gde je D petobitni broj zadat u predstavi znak plus apsolutna vrednost a  $V_{ul} \in [-1V, 1V]$ . Na raspolaganju su operacioni pojačavači, otpornici proizvoljnih vrednosti i prekidači.



Slika 6. DA konvertor sa lestvičastom otpornom mrežom

**Zadatak 7****(20 poena)**

- (a) Dovršiti šemu A/D konvertora sa jednostrukim nagibom sa slike 7. tako da se ulazni napon  $V_{ul}$  konvertuje u 8 bitni binarni broj. Početak konverzije se zadaje signalom START čije je trajanje najviše  $1 T_{CLK}$ .
- (b) Odrediti polaritet referentnog napona  $|V_{ref1}| = 10V$ , vrednost referentnog napona  $V_{ref2}$ , kao i vrednosti otpornika  $R_1$ , ukoliko je opseg ulaznog napona konvertora  $0 \leq V_{ul} \leq 5V$  a najveće dozvoljeno kašnjenje od pojave signala START do generisanja signala početka brojanja iznosi  $20\mu s$ . Prekidači se mogu smatrati idealnim dok je  $R = 1k\Omega$  i  $R_2 = 1k\Omega$ . Perioda takta iznosi  $T_{CLK} = 10\mu s$ .
- (c) Odrediti vremensku konstatnu integratora A/D konvertora.
- (d) Nacrtati vremenske dijagrame signala  $V_{int}$ ,  $V_{k1}$ ,  $V_{k2}$ , kao i signala  $Q$  izlaza SR leč kola sa slike 7, ako se konvertuje napon  $V_{ul} = 2V$ .
- (e) Kolika će biti konvertovana vrednost (digitalni broj na izlazu) ako se na ulaz dovede napon  $V_{ul} = 3V$  započne konverzija i nakon  $1.2 ms$  od početka konverzije ulazni napon postane  $V_{ul} = 1V$ , i ostaje na toj vrednosti do kraja konverzije?



Slika 7. A/D Konvertor sa jednostrukim nagibom