

1. Trajanje kolokvijuma 150 minuta.
2. Kolokvijum se radi u vežbanci.

Zadatak 1

(a-8, b-4; c-3; d-5 poena)

- (a) Realizovati sinhroni, 4-bitni brojač koji broji u Grejovom kodu. Na raspolaganju su ivični JK flip flopovi sa asinhronim ulazima za direktan set Sd i reset Rd koji su sa aktivnom logičkom nulom.
- (b) Obezbediti mogućnost asinhronog paralelnog upisa. Upis podatka se kontroliše ulaznim signalom $LOAD$ aktivnim u logičkoj jedinici.
- (c) Obezbediti mogućnost sinhronog reseta. Brojač se resetuje ulaznim signalom CLR aktivnim u logičkoj nuli.
- (d) Ako se projektovani brojač koristi kao blok (nije dozvoljena modifikacija unutrašnje strukture), realizovati brojač koji broji u Grejovom BCD kodu. Na raspolaganju su logička kola niskog stepena integracije.
-

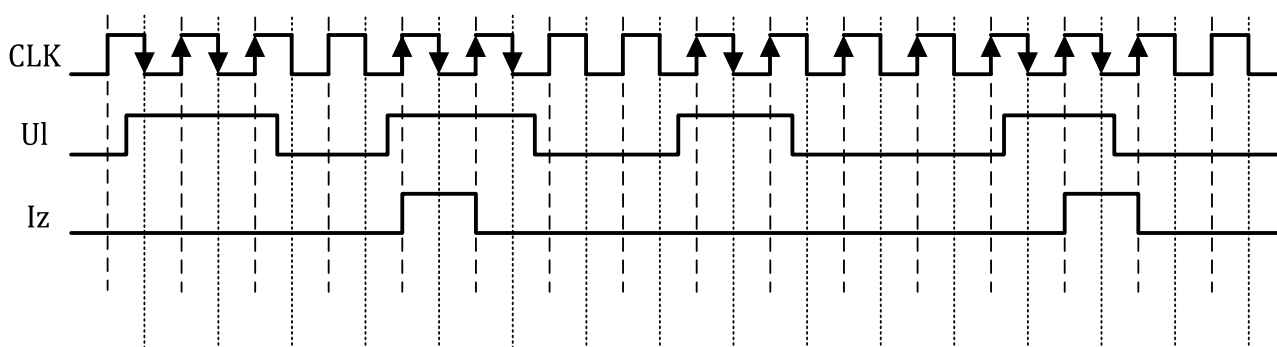
Zadatak 2

(a-20, b-2, c-3, d-10 poena)

Projektovati sinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznog signala UI i izlaznog signala Iz prikazani na Slici 2. Na izlazu se generiše impuls trajanja 1 T_{clk} u slučaju da je prva obuhvaćena ivica trenutnim impulsom ulaznog signala različite vrste od prve obuhvaćene ivice prethodnim impulsom ulaznog signala. Po resetu mašina se nalazi u stanju koje označava da je prethodnim impulsom prva obuhvaćena ivica silazna.

Izlazni impuls se generiše na prvu uzlaznu ivicu signala takta po ispunjenju definisanog uslova. Vreme za koje je ulazni signal na stabilnom logičkom nivou je veće od T_{clk} . Odrediti:

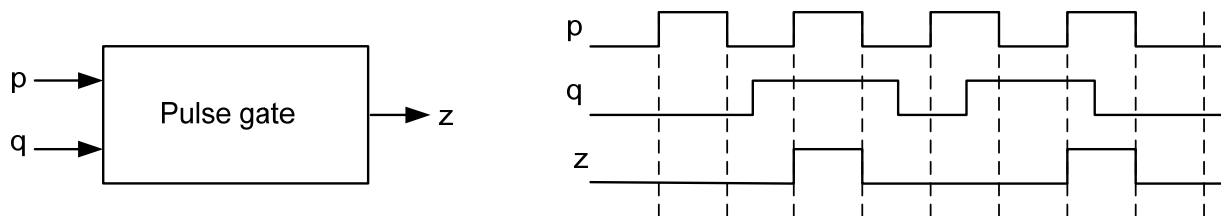
- (a) Tabelu stanja/izlaza, tabelu prelaza/izlaza, i tabelu pobude/izlaza ako su za realizaciju na raspolaganju ivični D flip-flopovi.
- (b) Obeležiti stanja na vremenskim dijagramima, a u tabeli stanja/izlaza naznačiti koji se prelazi ne nalaze na vremenskim dijagramima.
- (c) Nacrtati dijagram stanja ove sekvencijalne mreže
- (d) Realizovati mrežu korišćenjem ivičnih D flip-flova



Slika 2. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 3**(30 poena)**

Projektovati asinhronu sekvencijalnu mrežu čiji su vremenski dijagrami ulaznih signala p i q, i izlaznog signala z prikazani na Slici 3. Izlazni signal z je jednak ulaznom signalu p ako se promena signala p sa logičke nule na logičku jedinicu (uzlazna ivica) desila za vreme kada je signal q bio na visokom nivou. U ostalim slučajevima signal z je na logičkoj nuli. Promene signala p i q se ne dešavaju istovremeno.



Slika 3. Vremenski dijagrami signala sekvencijalne mreže

Zadatak 4**(5 poena)**

Kako se povezuju pojedini blokovi unutar jedne FPGA komponente veoma visokog stepena integracije? Nacrtati i objasniti.

Zadatak 5**(10 poena)**

- Nacrtati jednu bitsku liniju sa 8 memorijskih lokacija NAND fleš memorije.
 - Ako se čita memorijska lokacija na adresi 0 iz bitske linije, koji su signali i naponi na gejtovima pojedinih tranzistora prilikom čitanja.
-