

## ANALIZA RADA 6T\_SRAM I 1T\_DRAM MEMORIJSKE ČELIJE

*NAPOMENA: Prilikom rada na računaru mora se poštovati sledeće:*

- napajanje na radnom stolu i napajanje računara se ne isključuje;
- strogo je zabranjen svaki neovlašćeni rad na računaru;
- svaku neispravnost rada računara prijaviti dežurnom asistentu;
- po završetku rada obavezno obrisati sve generisane datoteke.

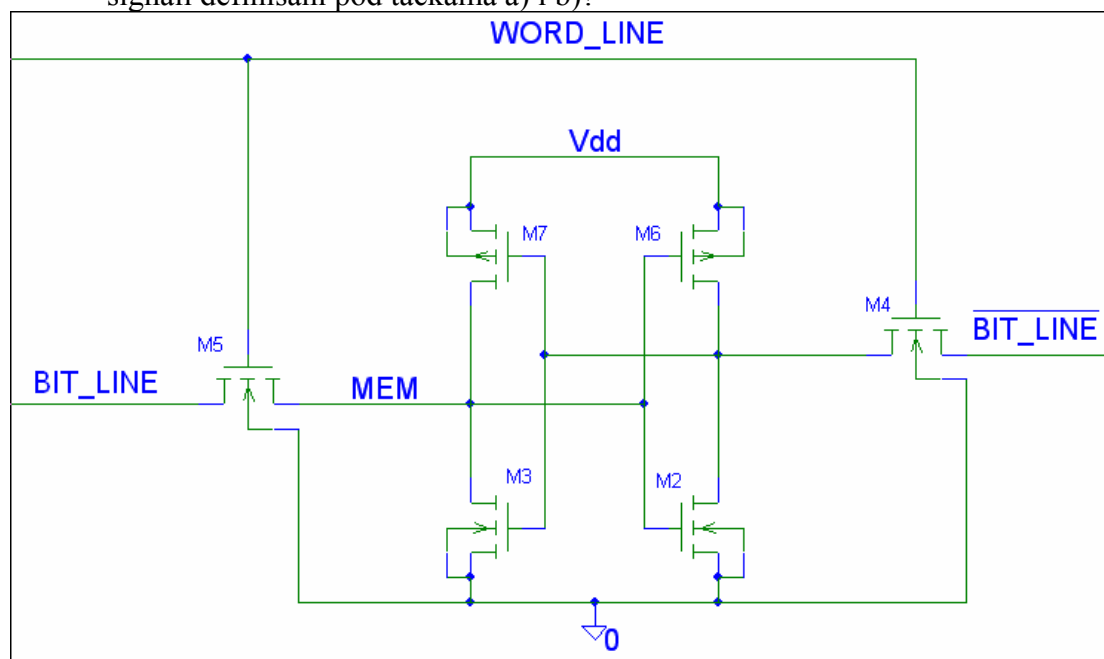
*Modeli korišćenih PMOS i NMOS tranzistora su dati u prilogu 1.*

### Zadatak 1-Analiza rada 6T ćelije statičke RAM memorije (slika 1)

- Odrediti režime rada (provodan, zakočen) za sve tranzistore u slučaju da signali na linijama imaju vrednosti:
  - a) WORD\_LINE = 1, BIT\_LINE = 1.
  - b) WORD\_LINE = 1, BIT\_LINE = 0.

Napomena: Ulazni signali definisani pod tačkama pod a) i b) odgovaraju vrednostima signala tokom ciklusa upisa sadržaja u ćeliju SRAM memorije. Logički nivoi su definisani naponom napajanja.

- Odrediti upisani sadržaj u ćeliju SRAM memorije (MEM) ako su ulazni signali definisani pod tačkama a) i b)?



Slika 1. Čelija SRAM memorije

## Zadatak 2- Simulacija rada 6T ćelije SRAM memorije u PSpice-u.

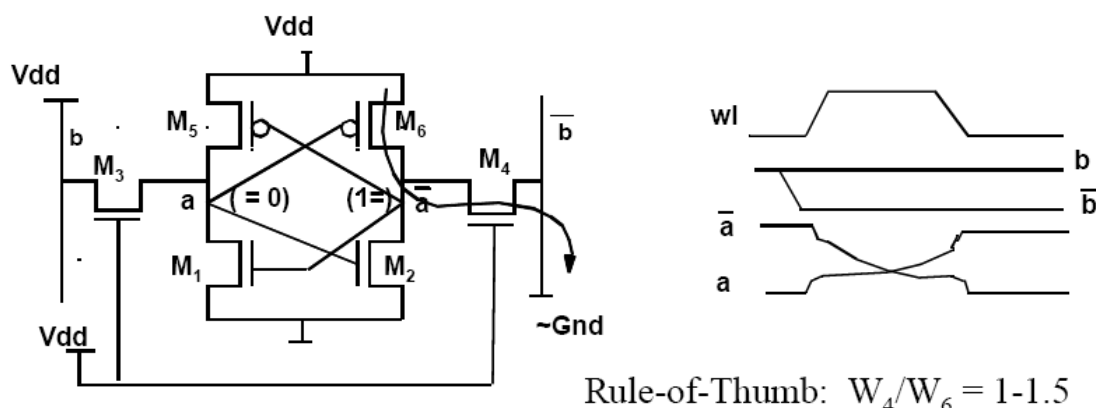
Pomoću programskog paketa PSPICE, simulirati rad 6T ćelije SRAM memorije. Modeli NMOS i PMOS tranzistora su dati u prilogu 1.

- Odrediti geometrije svih korištenih tranzistora ako je poznato:  
 Struja tranzistora M4 treba da bude najmanje 1-1.5 puta veća od struje tranzistora M6.  
 Struja tranzistora M3 treba da bude 1.5-2 puta veća od struje tranzistora M5.

Napomene: Koristiti simetriju kola za određivanje geometrije svih ostalih tranzistora. Modele tranzistora kreirati uz pomoć *PSPICE MODEL EDITOR*-a. Prilikom grafičkog unosa električne šeme kola, za tranzistore odabrati NMOS i PMOS tranzistore *MbreakN* i *MbreakP* koji se nalaze u biblioteci grafičkih simbola *nmos.slb*

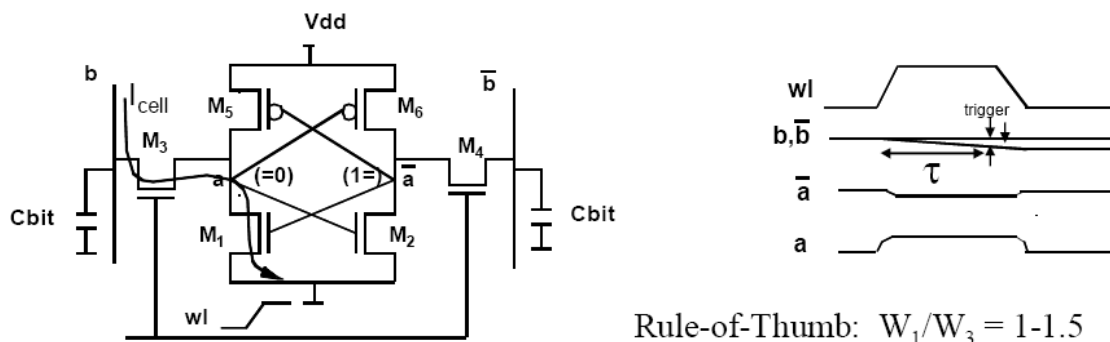
- Izvršiti PSICE simulaciju upisa logičke jedinice i nule u memorijsku lokaciju 6T SRAM ćelije
- Izvršiti PSICE simulaciju čitanja sadržaja memorijske 6T SRAM ćelije.

Relevantni vremenski dijagrami signala ciklusa upisa i čitanja dati su na slikama 2 i 3 respektivno.



Slika 2. Vremenski dijagrami prilikom upisa sadržaja u SRAM ćeliju

Napomena: (Legenda signala sa slike 2) Linija *wl* odgovara liniji *WORD\_LINE*, linije *b* i *b̄* odgovaraju linijama *BIT\_LINE* i *BIT̄\_LINE*, dok liniji *a* odgovara signal *MEM* sa slike 1.



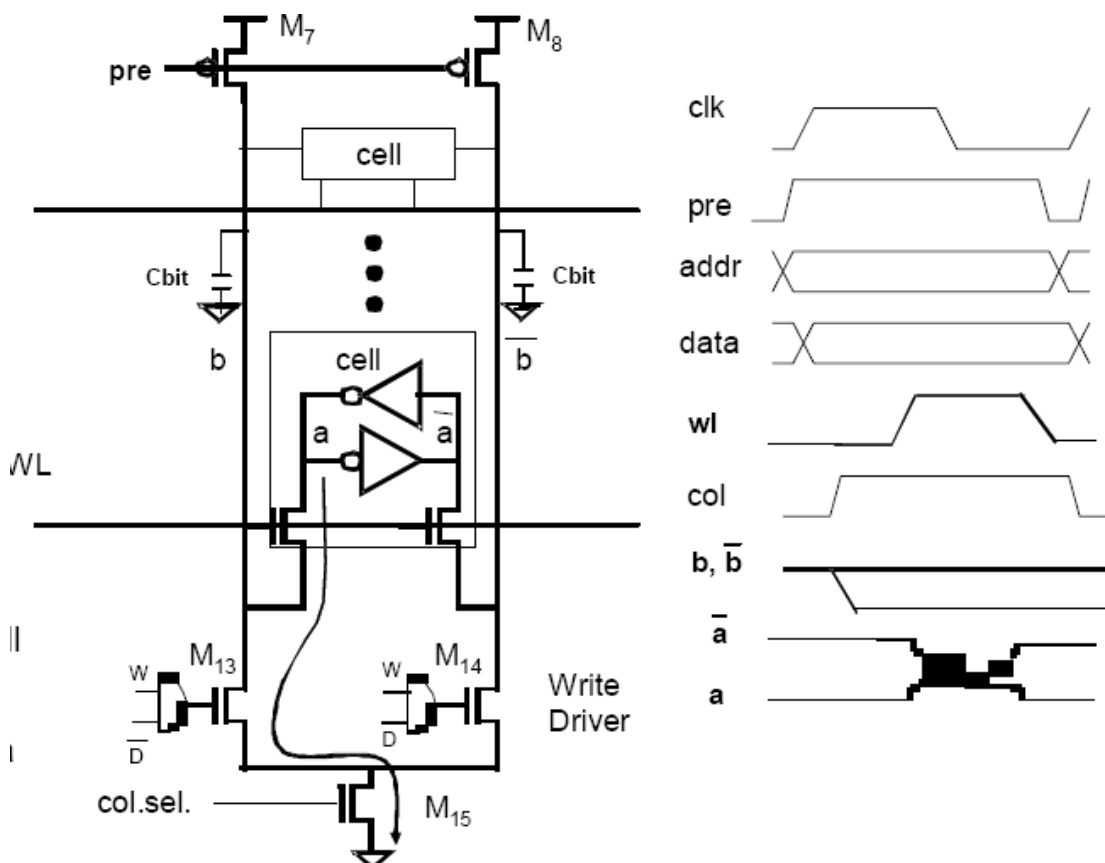
Slika 3. Vremenski dijagrami prilikom čitanja sadržaja SRAM ćelije

Napomena: Prilikom ciklusa čitanja sadržaja memorijske lokacije proveriti da li je obezbeđeno da razlika naponskih nivoa signala  $b$  i  $\bar{b}$  bude veća od 200mV. Posebno obratiti pažnju na oblike signala na linijama  $a$  i  $\bar{a}$  u toku ciklusa čitanja sadržaja memorijske lokacije (slika 3).

- Na osnovu simuliranih vremenskih dijagrama (pomoću STIMULUS EDITOR-a, korišćena komponenta **stimdig**) odrediti vremena upisa i čitanja sadržaja SRAM ćelije u odnosu na signal  $wl$ .

### Zadatak 3- Projektovanje jedne kolone SRAM memorije

- Projektovati jednu kolonu SRAM memorije 4x1 korišćenjem proizvoljnih tipova komponenata (dekoderi, logička kola...) tako da budu zadovoljeni vremenski dijagrami upisa i čitanja sadržaja memorijske lokacije prema slikama 4 i 5.



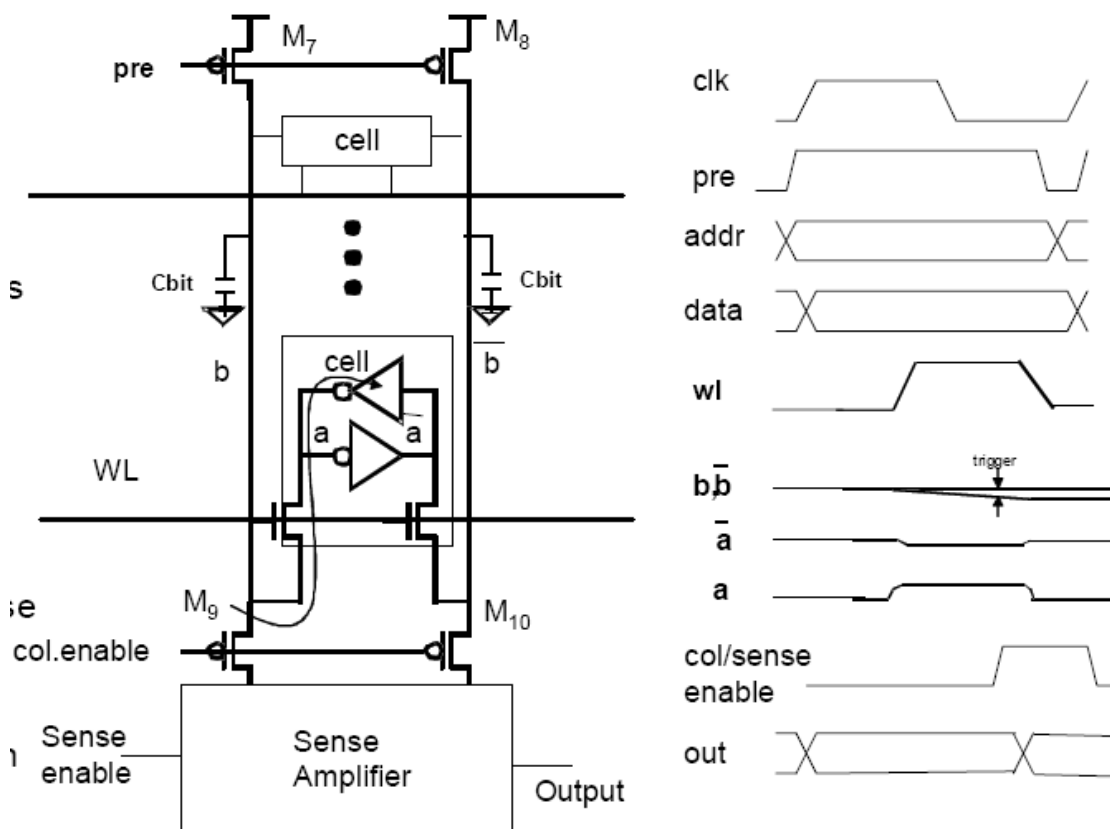
Slika 4. Vremenski dijagrami upisa sadržaja jedne memorijske lokacije

#### LEGENDA:

- $pre$  - Preload signal obezbeđuje da pre početka ciklusa upisa oba signala na linijama  $b$  i  $\bar{b}$  budu na visokom nivou obzirom da NMOS tranzistori M13 i M14 ne vode istovremeno.
- $WL$  - Signal je jedan od izlaza dekodera i selektuje odgovarajuću vrstu SRAM memorije.

- $D$  i  $\bar{D}$  - ( $data\_in$ ) je ulazni podatak koji se upisuje u željenu memorijsku lokaciju.
- $w$ - Signal upisa *write*.
- $col.sel$ - Izlaz dekodera kolone (pogledati sliku 7).

Napomena: Projektovanje podrazumeva definisanje geometrije (obezbediti dovoljnu struju) tranzistora  $M_7$  i  $M_8$ , kao i tranzistora  $M_{13}$ ,  $M_{14}$  i  $M_{15}$  (*write driver*-i) za ispravan ciklus upisa sadržaja memorijske lokacije.

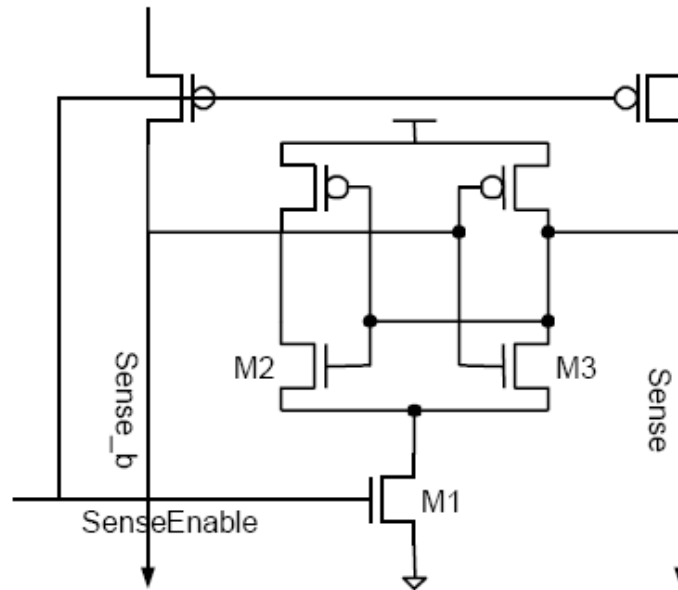


Slika 5. Vremenski dijagrami čitanja sadržaja jedne memorijske lokacije

#### LEGENDA:

- $pre$  - preload signal obezbeđuje da pre početka ciklusa upisa oba signala na linijama  $b$  i  $\bar{b}$  budu na visokom nivou.
- $WL$  - signal je jedan od izlaza dekodera i selektuje odgovarajuću vrstu SRAM memorije.
- $Output$ - ( $data\_out$ ) je izlazni podatak koji je pročitao iz željene memorijske lokacije.
- $w$ - je signal upisa *write*.
- $col.enable$ - (*read*) Signal koji je aktivan kada se vrši čitanje sadržaja memorijske lokacije.
- $Sense.enable$ - Signal uključuje Sense Amplifier koji generiše  $Output$  signal na osnovu naponske razlike na linijama  $b$  i  $\bar{b}$ .

Napomena: Projektovanje podrazumeva definisanje geometrije (obezbediti dovoljnu struju) tranzistora M9 i M10, i tranzistora u *Sense Amplifier-u* koji je dat na slici 6.



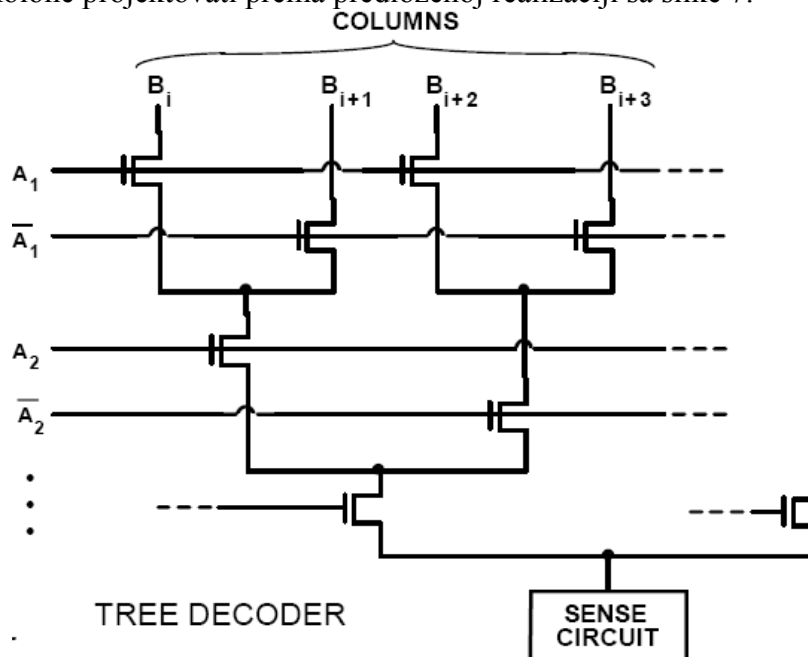
Slika 6. Sense Amplifier

- Izvršiti simulaciju ciklusa upisa i čitanja sadržaja proizvoljne lokacije. Na osnovu vremenskih dijagrama odrediti vreme upisa i čitanja sadržaja SRAM memorije.

#### Zadatak 4 - Projektovanje SRAM memorije kapaciteta 16x1b

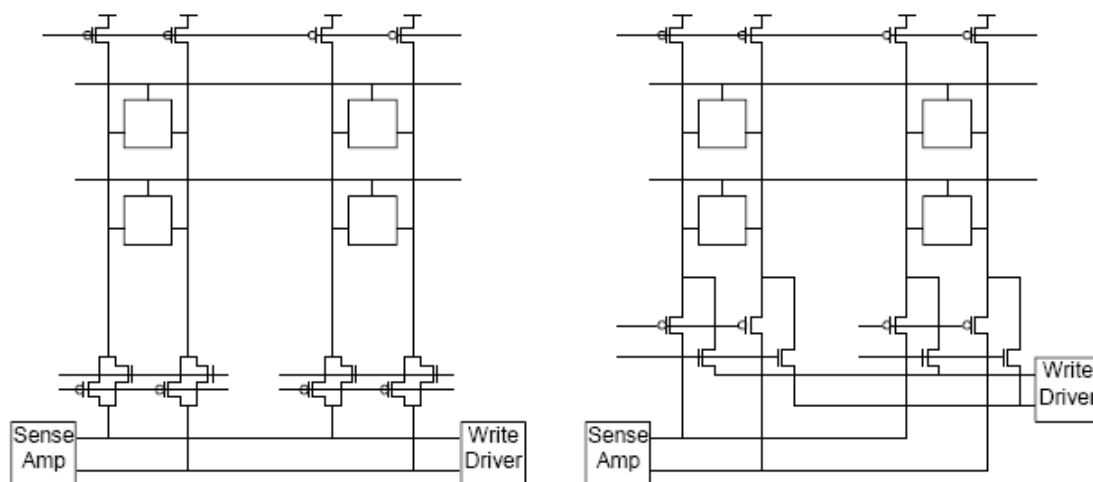
- Projektovati SRAM memoriju kapaciteta 16x1b organizovanu u obliku 4x4 (četiri vrste sa četiri kolone).

Dekoder kolone projektovati prema predloženoj realizaciji sa slike 7.



Slika 7. Realizacija dekodera kolone

Povezivanje Write Driver-a i Sense Amplifier-a izvršiti prema nekoj od sledećih realizacija datih na slici 8.



Slika 8. Realizacija sa multipleksiranim i odvojenim linijama za upis i čitanje

## PRILOG 1

### Model NMOS tranzistora u 1 $\mu$ m tehnologiji:

```
.MODEL NMOS1u3 NMOS LEVEL = 3
+ TOX = 200E-10 NSUB = 1E17 GAMMA = 0.5
+ PHI = 0.7 VTO = 0.8 DELTA = 3.0
+ UO = 650 ETA = 3.0E-6 THETA = 0.1
+ KP = 120E-6 VMAX = 1E5 KAPPA = 0.3
+ RSH = 0 NFS = 1E12 TPG = 1
+ XJ = 500E-9 LD = 100E-9
+ CGDO = 200E-12 CGSO = 200E-12 CGBO = 1E-10
+ CJ = 400E-6 PB = 1 MJ = 0.5
+ CJSW = 300E-12 MJSW = 0.5
```

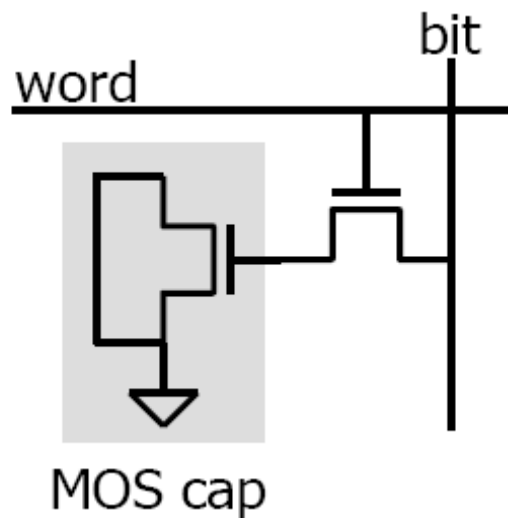
### Model PMOS tranzistora u 1 $\mu$ m tehnologiji:

```
.MODEL PMOS1u3 PMOS LEVEL = 3
+ TOX = 200E-10 NSUB = 1E17 GAMMA = 0.6
+ PHI = 0.7 VTO = -0.9 DELTA = 0.1
+ UO = 250 ETA = 0 THETA = 0.1
+ KP = 40E-6 VMAX = 5E4 KAPPA = 1
+ RSH = 0 NFS = 1E12 TPG = -1
+ XJ = 500E-9 LD = 100E-9
+ CGDO = 200E-12 CGSO = 200E-12 CGBO = 1E-10
+ CJ = 400E-6 PB = 1 MJ = 0.5
+ CJSW = 300E-12 MJSW = 0.5
```

## Zadatak 5 - Analizirati rad 1T ćelije DRAM memorije

- Pomoću PSpice program izvršiti simulaciju rada 1T ćelije DRAM memorije.

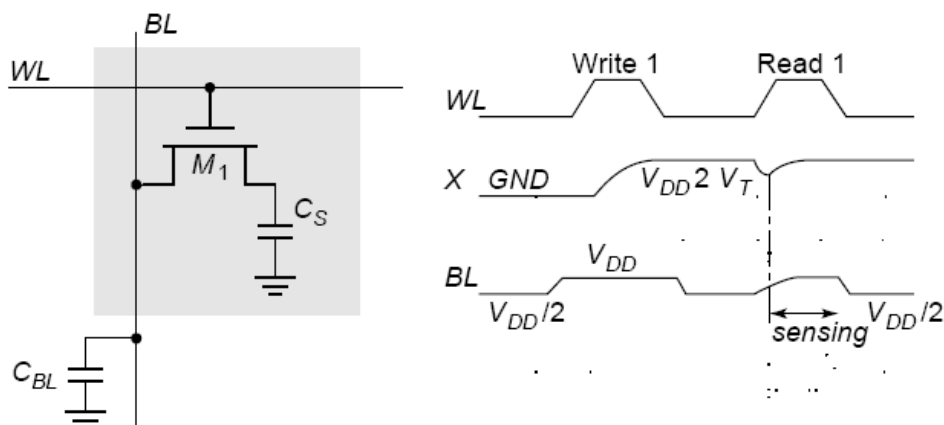
Kapacitivno opterećenje izvesti pomoću NMOS tranzistora prema slici 9. Pomoću PSPICE programa simulirati vremenske dijagrame upisa 1 i 0 u memorijsku DRAM ćeliju. Na osnovu vremenskih dijagrama odrediti neophodno vreme obnavljanja sadržaja memorijske lokacije.



Slika 9.

Vremenski dijagrami upisa i čitanja podatka u/iz ćelije DRAM memorije su dati na slici 10.

## 1-Transistor DRAM Cell

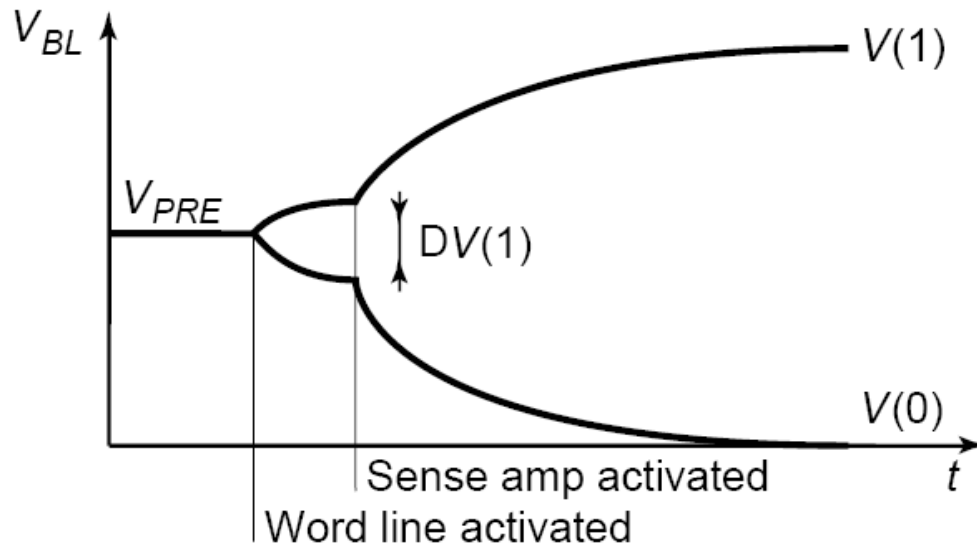


Slika 9. Vremenski dijagram upisa i čitanja sadržaja DRAM ćelije.

Napomena: Prilikom čitanja sadržaja memorijske lokacije dolazi do preraspodele naelektrisanja između kapacitivnosti  $C_{BL}$  i  $C_S$ , tako da dolazi do degradacije upisanog sadržaja lokacije, tako da je nakon svakog ciklusa čitanja potreban ciklus osvežavanja sadržaja DRAM ćelije. Pre početka ciklusa čitanja sadržaja ćelije DRAM memorije signal na liniji BL se postavlja na vrednost  $V_{DD}/2$ . Oblik signala će u zavisnosti od upisane vrednosti imati oblik kao na slici 10. Neophodna promena nivoa signala na

BL liniji koju treba obezbediti je  $>200\text{mV}$ . Za detekciju sadržaja memorijske lokacije koristiti projektovani *Sense Amplifier* iz zadatka 3, slika 6.

## **Sense Amp Operation**



Slika 10. Oblici signala na BL liniji prilikom čitanja sadržaja DRAM ćelije