

3. Na slici 3 je prikazan redni stabilizator napona. Poznato je: $v_U = 18\text{ V}$, $R_1 = 10\text{ k}\Omega$, $R_2 = 5\text{ k}\Omega$, $\beta_1 = 99$, $\beta_2 = \beta \rightarrow \infty$, $V_{BE} = 0.7\text{ V}$, $I_{DSS} = 20\text{ mA}$, $V_P = 3\text{ V}$, za zener diodu važi da je $V_Z = 7.4\text{ V}$ pri $i_Z = 0\text{ mA}$ i $r_Z = 20\ \Omega$.

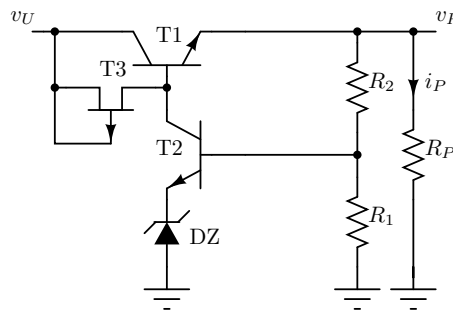
a) [5] Odrediti i nacrtati karakteristiku stabilizatora $v_P(i_P)$.

b) [2] Odrediti najmanji dozvoljeni ulazni napon v_{U1} pri kojem kolo radi na isti način kao u tački a).

c) [3] Odrediti najmanji dozvoljeni ulazni napon v_{U2} pri kojem u kolu još uvek postoji regulacija kada $i_P \rightarrow 0$.

Izrazi za struju drejna JFET-a:

$$\begin{aligned} \text{u zasićenju: } i_D &= I_{DSS} \left(1 - \frac{v_{GS}}{-V_P}\right)^2 \\ \text{u triodnoj oblasti: } i_D &= I_{DSS} \left(2 \left(1 - \frac{v_{GS}}{-V_P}\right) \frac{v_{DS}}{-V_P} - \left(\frac{v_{DS}}{V_P}\right)^2\right) \end{aligned}$$



Slika 3.

a) [5]

Kada vodi zener dioda, važi

$$v_P = \left(1 + \frac{R_2}{R_1}\right) (V_Z + V_{BE} + r_Z(i_D - \frac{i_P}{1+\beta}))$$

Kada ne vodi zener dioda, važi

$$i_P = (1 + \beta)i_D$$

Kada je JFET u zasićenju

$$i_D = I_{DSS} = 20\text{ mA}$$

Kada je JFET u triodnoj oblasti

$$i_D = I_{DSS} \left(2 \frac{v_U - v_P - V_{BE}}{V_P} - \left(\frac{v_U - v_P - V_{BE}}{V_P}\right)^2\right)$$

Granica dva režima JFET-a

$$\begin{aligned} v_{DS} &\leq v_{GS} - V_P \\ v_{SD} &\geq v_{SG} + V_P \\ v_U &\geq v_P + V_{BE} + V_P = v_P + 3.7\text{ V} \end{aligned}$$

Ulazni napon se čini dovoljno visok da JFET bude u zasićenju. Ako jeste i vodi zener dioda (postoji regulacija), tada važi

$$v_P = (1 + \frac{R_2}{R_1})(V_Z + V_{BE} + r_Z(I_{DSS} - \frac{i_P}{1+\beta})) = 12.75 \text{ V} - 0.3i_P$$

Provera postojanja regulacije (zener dioda u probouju):

$$\begin{aligned} i_Z &= I_{DSS} - \frac{i_P}{1+\beta} \geq 0 \\ i_{Pgr} &= (1 + \beta)I_{DSS} = 2 \text{ A} \end{aligned}$$

Nakon što se zener dioda ugasi, kolo radi kao strujni izvor struje $i_P = 2 \text{ A}$
Napon na izlazu u momentu kada struja zener diode padne na nulu je

$$v_{Pgr} = (1 + \frac{R_2}{R_1})(V_Z + V_{BE}) = 12.15 \text{ V}$$

b) [2]

Za režim rada JFET-a najkritičniji je trenutak kada je v_{SD} najmanje, što se dešava za najveće v_P , to jest kada $i_P = 0$:

$$v_U \geq v_P(i_P = 0) + V_{BE} + V_P = 16.45 \text{ V} = v_{U1}$$

c) [2]

I kada je JFET u triodnoj oblasti postoji regulacija, za vreme dok je uključena zener dioda.

$$i_Z = i_D - \frac{i_P}{1+\beta} \geq 0$$

U graničnom slučaju regulacije je

$$\begin{aligned} i_D &= \frac{i_P}{1+\beta} \\ I_{DSS}(2\frac{v_{SD}}{V_P} - (\frac{v_{SD}}{V_P})^2) &= \frac{i_P}{1+\beta} \end{aligned}$$

Što je i_P manje, manje je i v_{SD} u tom trenutku, samim tim je manje i v_U .

Granično, za $i_P \rightarrow 0$ se dobija minimalni ulazni napon za koji još uvek postoji regulacija barem kada nema potrošača:

$$\begin{aligned} v_{SD} &= v_U - v_P(i_P \rightarrow 0) - V_{BE} = 0 \\ v_{U2} &= v_P(i_P \rightarrow 0) + V_{BE} = (1 + \frac{R_2}{R_1})(V_Z + V_{BE}) + V_{BE} = 12.85 \text{ V} \end{aligned}$$

Povećanjem struje regulacija se ukida, a povećanjem v_U bi se regulacija gubila tek za neku struju $i_P > 0$. Još većim povećanjem ulaznog napona bi JFET u jednom trenutku ušao u zasićenje.