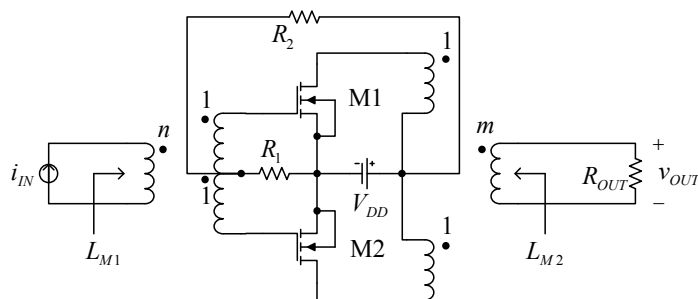


NAPOMENA:

Numerisati svaku stranu sveske u gornjem spoljašnjem uglu. Svaki zadatak početi na novoj strani. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu označiti koji su zadaci rađeni, i pored toga upisati broj strane na kojoj zadatak počinje. Svako nepoštovanje ove napomene povlači oduzimanje jednog poena po zadatku!

1. Na slici 1 je prikazan strujno pobuđen pojačavač snage u klasi A sa n-kanalnim MOSFET-ovima i transformatorskom spregom. Poznato je: $V_{DD} = 12\text{ V}$, $R_1 = R_2 = 6\text{ k}\Omega$, $n = 0.5$, $m = 2$, $L_{M1} = 125\text{ }\mu\text{H}$, $L_{M2} = 20\text{ mH}$, $V_T = 4\text{ V}$, $B = 100\text{ mA/V}^2$, $R_{OUT} = 20\text{ }\Omega$. **Ne koristeći model za male signale:**

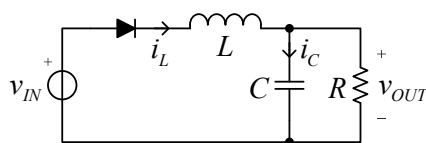
- [2] Odrediti disipaciju u mirnoj radnoj tački.
- [5] Pri ulaznoj struji sinusoidalnog oblika kružne frekvencije $\omega = 100\text{ krad/s}$ odrediti opseg amplitude ulazne struje u kome pojačavač radi u klasi A.
- [8] Za $i_{IN} = 40\text{ mA sin}(200(\text{krad/s})t)$ nacrtati vremenski dijagram trenutne snage koju izvor za napajanje ulaže u kolo i odrediti njenu srednju vrednost.
- [5] Za pobudu pod c) nacrtati vremenski dijagram izlaznog napona i odrediti koeficijent korisnog dejstva pojačavača.



Slika 1

2. Na slici 2 je prikazan jednostrani ispravljač sa L filtrom. Poznato je: $v_{IN} = 15\text{ V sin}(314(\text{rad/s})t)$, $L = 478\text{ mH}$, $R = 1\text{ }\Omega$, $C \rightarrow \infty$. Smatrati da je ugao provođenja diode blizak 2π i da je dioda idealna.

- [7] Nacrtati vremenske dijagrame struje kalema i_L i struje kondenzatora i_C tokom jedne periode ulaznog napona i označiti karakteristične tačke.
- [3] Odrediti jednosmernu komponentu izlaznog napona v_{OUT} .

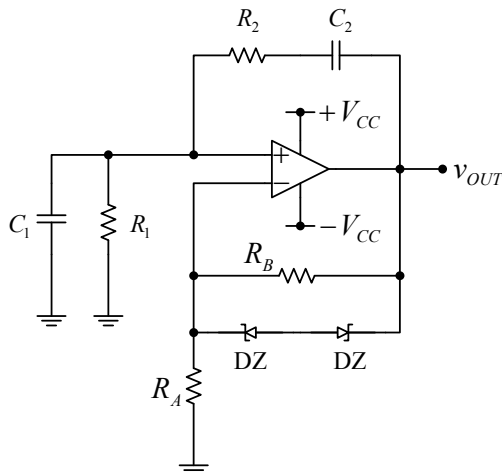


Slika 2

3. [5] Nacrtati šemu stabilizatora napona koji treba da obezbedi napon $V_{OUT} = -15\text{ V}$ u odnosu na masu i ograničenje maksimalne vrednosti struje potrošača na $I_{OUT\text{ max}} = 1\text{ A}$ sa referentnim smerom od potrošača ka stabilizatoru. Koristiti Darlingtonov pnp-npn par kao redni tranzistor i ostale neophodne diskretne komponente. Kao pojačavač greške koristiti diferencijalni pojačavač, a kao izvor referentnog napona zener diodu. Izvor ulaznog nestabilisanog napona je pozitivnim priključkom vezan na masu.

4. Na slici 4 je prikazan oscilator kod koga je $V_{CC} = 15 \text{ V}$, $R_2 = 1 \text{ k}\Omega$, $C_1 = 10 \text{ nF}$, $C_2 = 1 \text{ nF}$, $R_A = 1 \text{ k}\Omega$, $V_Z = 3.3 \text{ V}$, $V_D = 0.7 \text{ V}$.

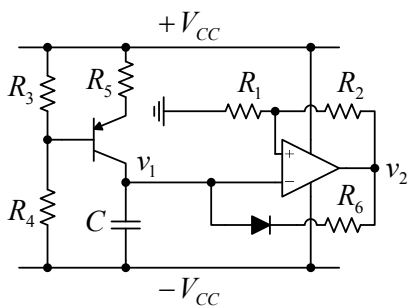
- [5] Odrediti R_1 tako da kružna frekvencija oscilovanja bude $\omega_0 = 100 \text{ krad/s}$.
- [5] Odrediti minimalnu vrednost R_B za koju se u kolu uspostavljaju oscilacije.
- [5] Za $R_B = 12 \text{ k}\Omega$ odrediti amplitudu izlaznog napona.



Slika 4

5. Na slici 5 je prikazan astabilni multivibrator i generator linearne vremenske baze. Poznato je $R_1 = 10 \text{ k}\Omega$, $R_2 = 20 \text{ k}\Omega$, $R_3 = 5.4 \text{ k}\Omega$, $R_4 = 54.6 \text{ k}\Omega$, $R_5 = 1 \text{ k}\Omega$, $R_6 = 2 \text{ k}\Omega$, $C = 10 \text{ nF}$, $V_{BE} = V_D = 0.7 \text{ V}$, $\beta_F \rightarrow \infty$, $V_{CC} = 15 \text{ V}$.

- [9] Nacrtati vremenske dijagrame napona v_1 i v_2 , izračunati i označiti karakteristične tačke.
- [1] Izračunati frekvenciju oscilovanja.
- [3] Odrediti maksimalnu otpornost otpornika R_6 pri kojoj kolo još uvek osciluje.
- [7] Odrediti zavisnost frekvencije oscilovanja od R_6 .



Slika 5

6. PLL kod koga je fazni detektor realizovan primenom XOR kola koristi logička kola za koje je napon logičke jedinice 5 V , a napon logičke nule 0 V , VCO sa karakteristikom $f_0 = 100 \text{ kHz} + 10 \text{ (kHz/V)}(v_C - 3 \text{ V})$ i jednopolni NF filtar.

- [2] Nacrtati blok šemu ovog PLL-a.
- [4] Odrediti prenosnu karakteristiku faznog detektora. Označiti numeričke vrednosti karakterističnih tačaka na dijagramu.
- [4] Nacrtati vremenske dijagrame ulaznog napona PLL-a i izlaznog napona VCO-a tokom dve periode za frekvenciju ulaznog napona jednaku 90 kHz . Smatrati da je PLL sinhronizovan.