

NAPOMENA:

Numerisati svaku stranu sveske u gornjem spoljašnjem uglu. Svaki zadatak početi na novoj strani. Zadaci moraju biti čitko i uredno napisani. Zaokruživanjem broja zadatka u tabeli na omotu označiti koji su zadaci rađeni, i pored toga upisati broj strane na kojoj zadatak počinje. Svako nepoštovanje ove napomene povlači oduzimanje jednog poena po zadatku!

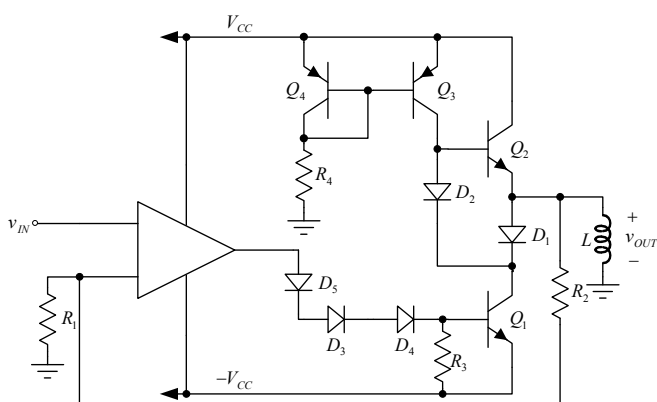
1. Na slici 1.a je prikazan pojačavač snage kod koga je $V_{CC} = 12\text{ V}$, $V_D = 0.7\text{ V}$, $|V_{BE}| = 0.7\text{ V}$, $|V_{CES}| = 0.2\text{ V}$, $\beta_{F1} = \beta_{F2} = 100$, $\beta_{F3} = \beta_{F4} \rightarrow \infty$, $R_1 = 10\text{ k}\Omega$, $R_2 = 90\text{ k}\Omega$, $R_3 = 200\ \Omega$, $R_4 = 2.26\text{ k}\Omega$ i $L = 12.5\text{ mH}$. Smatrati da je srednja vrednost struje kabela jednaka nuli.

a) [2] Odrediti polaritet priključaka operacionog pojačavača tako da u kolu bude uspostavljena negativna povratna sprega.

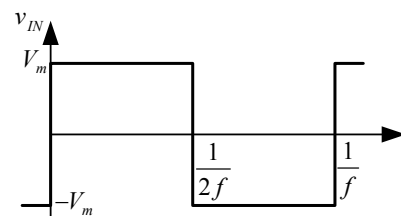
b) [10] Za ulazni napon prikazan na slici 5.b, za $V_m = 0.5\text{ V}$ i $f = 1\text{ kHz}$ odrediti vremenske dijagrame v_{CE1} , i_{C1} , v_{CE2} i i_{C2} i izračunati srednje snage disipacije na Q_1 , Q_2 i D_1 .

c) [4] Za $f = 1\text{ kHz}$ odrediti maksimalnu amplitudu ulaznog napona oblika datog na slici 5.b za koju se na izlazu dobija neizobličen signal.

d) [4] Ponoviti tačku c) za $f = 100\text{ Hz}$.



Slika 1.a

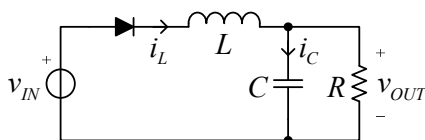


Slika 1.b

2. Na slici 2 je prikazan jednostrani ispravljač sa L filtrom. Poznato je: $v_{IN} = 15\text{ V} \sin(314(\text{rad/s})t)$, $L = 478\text{ mH}$, $R = 1\ \Omega$, $C \rightarrow \infty$. Smatrati da je ugao provođenja diode blizak 2π i da je dioda idealna.

a) [7] Nacrtati vremenske dijagrame struje kabela i_L i struje kondenzatora i_C tokom jedne periode ulaznog napona i označiti karakteristične tačke.

b) [3] Odrediti jednosmernu komponentu izlaznog napona v_{OUT} .

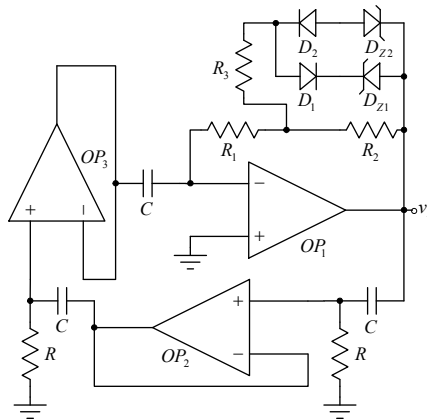


Slika 2

3. [5] Nacrtati šemu stabilizatora napona kod koga je redni tranzistor npn tipa realizovan Darlingtonovom spregom tranzistora npn tipa male snage i pnp tipa velike snage, a pojačavač greške je realizovan primenom diferencijalnog pojačavača sa JFET-ovima. Struju potrošača ograničiti na I_{SC} .

4. Za oscilator sa slike 4 poznato je: $V_{CC} = 12\text{ V}$, $R_1 = 2\text{ k}\Omega$, $R_3 = 100\ \Omega$, $R = 10\text{ k}\Omega$ i $C = 10\text{ nF}$. Diode i zener diode su idealne sa $V_D = 0,6\text{ V}$. Operacioni pojačavači su idealni i napajaju se sa $\pm V_{CC}$.

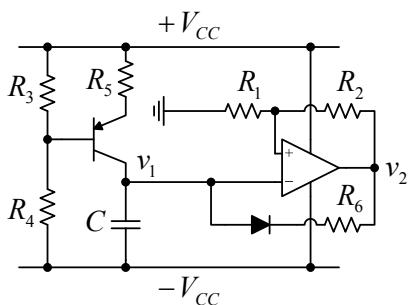
- [6] Odrediti kružnu učestanost oscilovanja ω_0 .
- [6] Odrediti minimalnu vrednost otpornosti $R_{2\min}$ za koju se uspostavljaju oscilacije.
- [8] Ako je $R_2 = 20\text{ k}\Omega$ odrediti V_Z , tako da je amplituda oscilacija na izlazu V_{im} približno jednaka $5,5\text{ V}$. Smatrati da CR mreža obezbeđuje da je izlazni napon $v_I = V_{\text{im}} \sin(\omega_0 t)$.



Slika 4

5. Na slici 5 je prikazan astabilni multivibrator i generator linearne vremenske baze. Poznato je $R_1 = 10\text{ k}\Omega$, $R_2 = 20\text{ k}\Omega$, $R_3 = 5,4\text{ k}\Omega$, $R_4 = 54,6\text{ k}\Omega$, $R_5 = 1\text{ k}\Omega$, $R_6 = 2\text{ k}\Omega$, $C = 10\text{ nF}$, $V_{BE} = V_D = 0,7\text{ V}$, $\beta_F \rightarrow \infty$, $V_{CC} = 15\text{ V}$.

- [9] Nacrtati vremenske dijagrame napona v_1 i v_2 , izračunati i označiti karakteristične tačke.
- [1] Izračunati frekvenciju oscilovanja.
- [3] Odrediti maksimalnu otpornost otpornika R_6 pri kojoj kolo još uvek osciluje.
- [7] Odrediti zavisnost frekvencije oscilovanja od R_6 .



Slika 5

6. PLL kod koga je fazni detektor realizovan primenom XOR kola koristi logička kola za koje je napon logičke jedinice 5 V , a napon logičke nule 0 V , VCO sa karakteristikom $f_0 = 100\text{ kHz} + 10\text{ (kHz/V)}(v_C - 3\text{ V})$ i jednopolni NF filtar.

- [3] Nacrtati blok šemu ovog PLL-a.
- [6] Odrediti prenosnu karakteristiku faznog detektora. Označiti numeričke vrednosti karakterističnih tačaka na dijagramu.
- [6] Nacrtati vremenske dijagrame ulaznog napona PLL-a i izlaznog napona VCO-a tokom dve periode za frekvenciju ulaznog napona jednaku 90 kHz . Smatrati da je PLL sinhronizovan.