

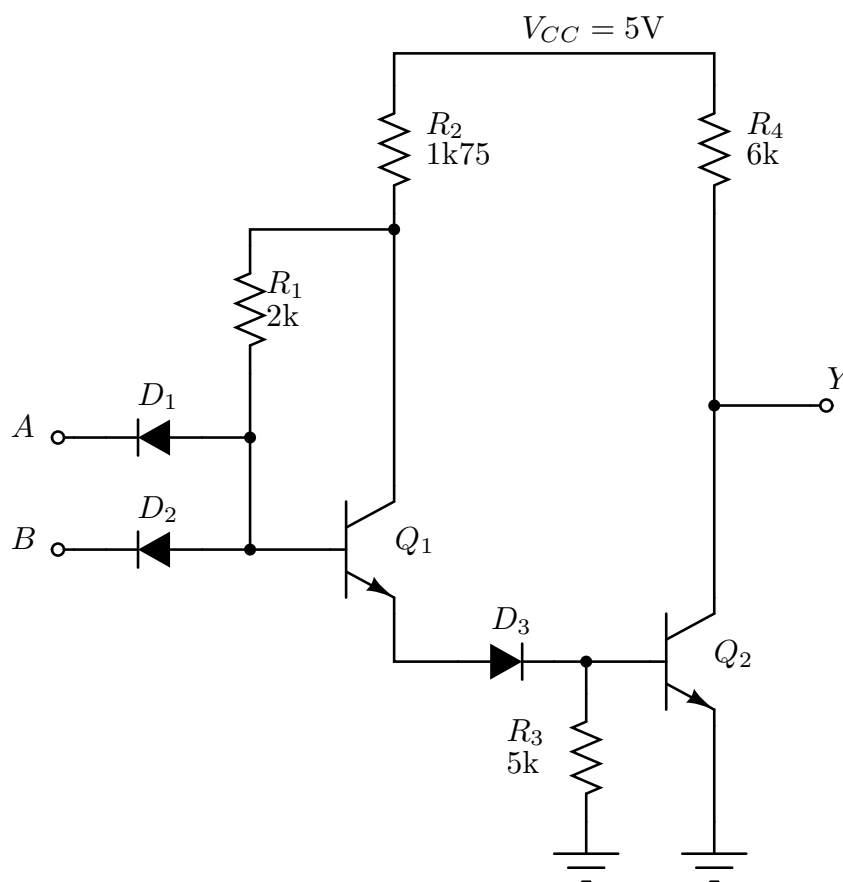
ANALIZA TTL, DTL I ECL LOGIČKIH KOLA

Zadatak 1

Za DTL logičko kolo sa slike 1.1, odrediti:

- Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.
- Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukog izvora šuma.
- Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{OL} i V_{IH} .

Poznato je: $V_{BE} = V_D = 0.7V$, $V_\gamma = V_{\gamma D} = 0.6V$, $V_{CES} = 0.2V$, $V_{BES} = 0.8V$, $30 \leq \beta_F \leq 70$.



Slika 1.1: Dvoulazno DTL logičko kolo

REŠENJE:

a) Za $A = 0$, $B = 0$, diode D_1 i D_2 vode, pa je napon $V_{B1} = V_{\gamma D}$, tj. nedovoljan da provedu tranzistor Q_1 i dioda D_3 , pa je napon $V_{B2} = 0V$, tj. Q_2 je zakočen. Izlaz je na visokom logičkom nivou, tj. $V_Y = V_{CC} = V_{OH}$ obzirom da izlaz kola nije opterećen.

Za $A = 0$, $B = 1$ i $A = 1$, $B = 0$ situacija je ista kao i za slučaj $A = 0$, $B = 0$, osim što samo odgovarajuća dioda D_1 , odnosno D_2 vodi.

Za $A = 1$, $B = 1$, diode D_1 i D_2 su zakočene, tranzistor Q_1 vodi u DAR-u (kroz R_1 teče struja I_{B1} , kroz R_2 teče struja $(1 + \beta_F)I_{B1}$, dioda D_3 vodi, dok tranzistor Q_2 radi u zasićenju. Izlaz je na niskom logičkom nivou, tj. $V_Y = V_{CE2} = V_{CES} = V_{OL}$.

Dakle, reč je dvoulaznom NI kolu. Logička funkcija izlaza je data izrazom:

$$Y = \overline{AB}$$

b) Uzećemo da je ulaz B na neaktivnom logičkom nivou, tj. $B = 1$, dok će se vrednost napona na ulazu A kretati od $0V$ do V_{CC} .

Za $V_A = 0V$, dioda D_1 vodi, napon na izlazu kola je $V_Y = V_{CC}$. Pri naponu $V_A = V_{\gamma D} + V_{\gamma} - V_D$, provešće dioda D_3 i tranzistor Q_1 . Kako je struja tranzistora Q_1 mala i nedovoljna da polariše tranzistor Q_2 , on će ostati zakočen, tj. $V_{B2} < V_{\gamma}$.

Povećavamo dalje napon V_A , tranzistor Q_1 preuzima sve veći deo struje I_{D1} , i kada napon V_{B2} dostigne vrednost V_{γ} , uključuje se tranzistor Q_2 . Dalje povećanje ulaznog napona dovodi do pada izlaznog napona, pa vrednost napona na ulazu kola, pri kojoj se uključuje tranzistor Q_2 određuje napon V_{IL} koji predstavlja maksimalnu vrednost ulaznog napona koji odgovara logičkoj nuli na ulazu kola. U trenutku uključivanja tranzistora Q_2 važi da je:

$$I_{E1} = (1 + \beta_F)I_{B1} = I_{D3} = \frac{V_{\gamma}}{R_3} = 120\mu A$$

Dakle, dioda D_1 u trenutku uključivanja tranzistora Q_2 vodi veći deo struje I_{R1} .

Vrednost napona V_{IL} određujemo prema jednačini:

$$V_{IL} = V_{BE2} + V_{D3} + V_{BE1} - V_{D1} = V_{\gamma} + V_D + V_{BE} - V_D = 1.3V$$

Kako je vrednost napona $V_{BE} = V_{BE}(I_C)$ i $V_D = V_D(I_D)$, uzeto je da naponi na direktno polarisanim spojevima V_{BE1} i V_{D3} iznose V_{BE} , odnosno V_D , obzirom na vrednosti odgovarajućih struja.

Tranzistor Q_2 ulazi u zasićenje pri struji $I_{C2} = \frac{V_{CC} - V_{CES}}{R_4} = 0.8mA$, odnosno pri struji $I_{B2} = 16\mu A$. Za β_F je uzeta srednja vrednost parametra, tj. $\beta_F = 50$.

Vrednost ulaznog napona V_A u trenutku kada tranzistor Q_2 ulazi u zasićenje odgovara vrednosti V_{IH} , odnosno minimalnom naponu na ulazu kola koji odgovara logičkoj jedinici na ulazu kola.

Obzirom na malu promenu struje $I_{E1} = (1 + \beta_F)I_{B1} = I_{D3} = \frac{V_{BES}}{R_3} + I_{B2} = 176\mu A$, možemo uzeti da naponi direktno polarisanih spojeva V_{BE1} i V_{D3} iznose V_{BE} odnosno V_D .

Vrednost napona V_{IH} određujemo prema jednačini:

$$V_{IH} = V_{BE2} + V_{D3} + V_{BE1} - V_{D1} = V_{BES} + V_D + V_{BE} - V_D = 1.5V$$

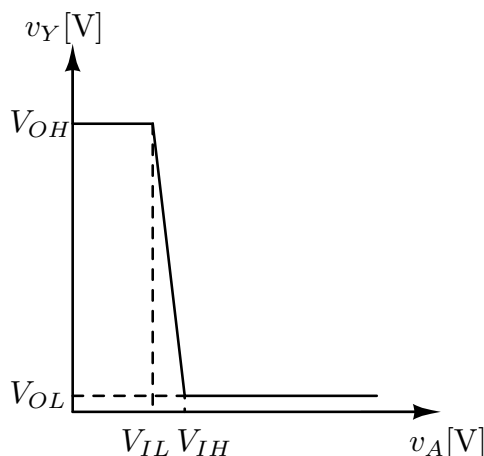
U grubljoj analizi kola može se odrediti vrednosti napona V_{IL} kao trenutak kada se uključuje tranzistor Q_2 , pod pretpostavkom da je struja tranzistora Q_1 , koji radi u DAR -u i dalje mala, tj., $V_{BE1} = V_{\gamma}$, odnosno $V_{D3} = V_{\gamma D}$ čime se dobija

$$V_{IL} = V_{BE2} + V_{D3} + V_{BE1} - V_{D1} = V_{\gamma} + V_{\gamma D} + V_{\gamma} - V_D = 1.2V$$

Takođe, vrednost napona V_{IH} u grubljoj aproksimaciji se može odrediti kao trenutak pri kome će provesti dioda D_1 , odnosno kada će struja tranzistora Q_1 početi da pada, čime će se naknadno (nakon daljeg smanjenja napona na ulazu kola) tranzistor Q_2 doći na granicu zasićenja. Na ovaj način se dobija:

$$V_{IH} = V_{BE2} + V_{D3} + V_{BE1} - V_{D1} = V_{BES} + V_D + V_{BE} - V_{\gamma D} = 1.6V$$

Greška u slučaju grubljeg određivanja vrednosti napona V_{IL} i V_{IH} , iznosi $0.1V$. Karakteristika prenosa logičkog kola sa slike 1.1 imaće izgled dat na slici 1.2:



Slika 1.2: Karakteristika prenosa logičkog kola sa slike 1.1.

Vrednosti margina šuma, u slučaju višestrukog izvora šuma, određujemo prema jednačinama:

$$\begin{aligned} NM_0 &= V_{IL} - V_{OL} = 1.1V \\ NM_1 &= V_{OH} - V_{IH} = 3.5V \end{aligned}$$

c) Strujni kapacitet kola za logičku jedinicu na izlazu kola, za $V_Y = V_{IH}$, određen je sa:

$$I_{CAP1} = \frac{V_{CC} - V_Y}{R_4} = \frac{V_{CC} - V_{IH}}{R_4} = 0.58mA$$

Strujni kapacitet kola za logičku nulu na izlazu kola, za $V_Y = V_{OL}$, definisan je kao maksimalna struja koju kolo može da primi pri datom V_Y naponu. Granični slučaj je kada je tranzistor T_2 na granici zasićenja i *DAR-a*, pa je strujni kapacitet logičke nule određen je sa:

$$I_{CAP0} = \beta_{F \min}(I_{B1} + I_{C1} - I_{R3}) - I_{R4}$$

Vrednost struje I_{R4} određujemo na osnovu izraza:

$$I_{R4} = \frac{V_{CC} - V_{OL}}{R_4}$$

Obzirom da je I_{CAP0} maksimalna struja koju kolo **sigurno** (uzet je parametar $\beta_{F \min}$) može da primi, vrednost struje I_{B1} , samim tim i struje I_{C1} ($\beta_F I_{B1}$) određujemo na osnovu jednačine:

$$V_{CC} = V_{BE2} + V_{D3} + V_{BE1} + R_1 I_{B1} + R_2 (I_{C1} + I_{B1}) \approx V_{BES} + V_D + V_{BE} + R_2 (I_{C1} + I_{B1}),$$

pošto je $R_1 \approx R_2$, dok je $I_{C1} \gg I_{B1}$.

Dakle, dobijamo da je $I_{C1} + I_{B1} \approx 1.6mA$.

$$I_{CAP0} = \beta_{F \min}(I_{B1} + I_{C1} - I_{R3}) = 43.2mA$$

Faktor grananja na izlazu kola (FAN OUT) predstavlja broj logičkih kola iste familije koja se mogu vezati na izlaz, pri čemu su ispunjeni svi strujni zahtevi. FAN OUT se dobija kao minimalni količnik strujnog kapaciteta i zahtevane ulazne struje pri odgovarajućem naponskom nivou,

$$N = \min(N_1, N_0) = \min\left(\left[\frac{I_{CAP0}}{I_{UL0}}\right], \left[\frac{I_{CAP1}}{I_{UL1}}\right]\right).$$

Da bi odredili faktor grananja na izlazu kola potrebno je da odredimo ulazne struje u kolo pri logičkoj nuli (I_{UL0}) i pri logičkoj jedinici (I_{UL1}).

Napomena: Pri određivanju strujnog kapaciteta uzima se da su vrednosti napona na ulazu kola različite od vrednosti V_{IL} i V_{IH} koje predstavljaju granične vrednosti napona logičke nule i logičke jedinice na izlazu kola. Npr. možemo uzeti da su vrednosti napona na ulazu kola V_{OL} i V_{OH} .

Maksimalna ulazna struja pri logičkoj nuli je u slučaju samo jedne aktivne ulazne diode (na primer D_1) i iznosi

$$I_{UL0} = \frac{V_{CC} - V_{D1} - V_A}{R_1 + R_2} = \frac{V_{CC} - V_D - V_{OL}}{R_1 + R_2} = 1.1\text{mA}$$

Ulazna struja u logičko kolo istog tipa koje opterećuje izlaz posmatranog kola kada je na izlazu posmatranog kola logička jedinica, je približno jednaka 0 jer su diode zakočene.

Iako je strujni kapacitet $I_{CAP0} \gg I_{CAP1}$ faktor grananja na izlazu kola je određen vrednošću I_{CAP0} obzirom da je $N_1 = \infty$, pa je:

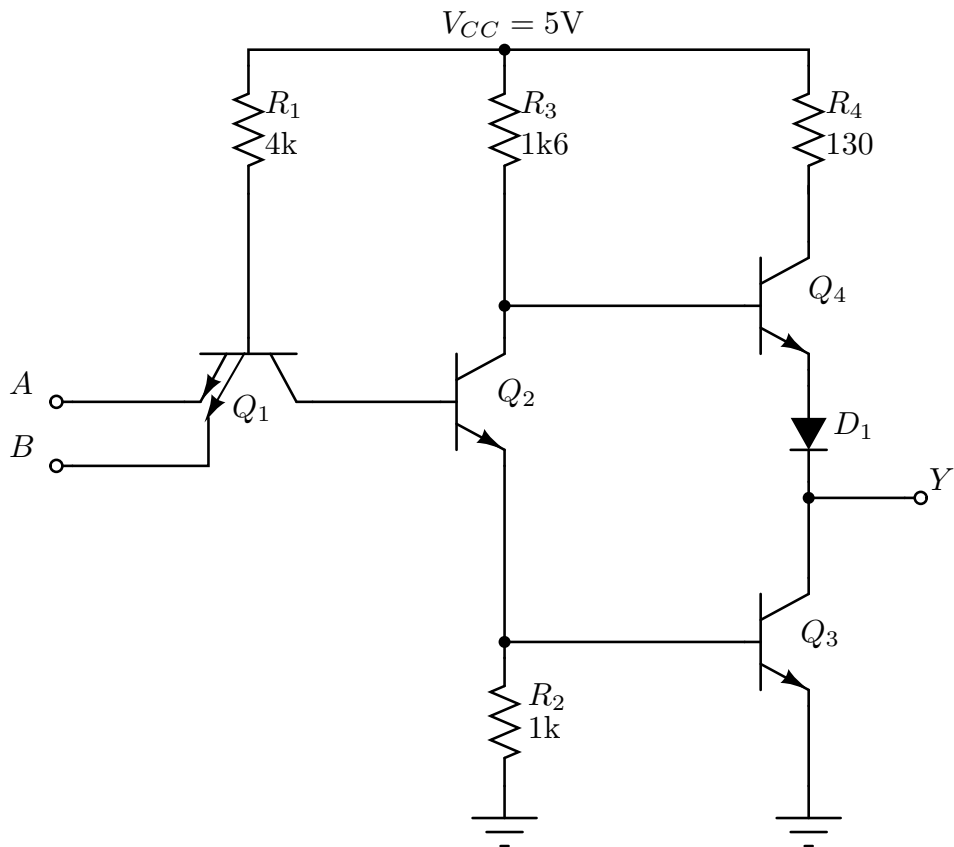
$$N = \left[\frac{I_{CAP0}}{I_{UL0}} \right] = 39$$

Zadatak 2

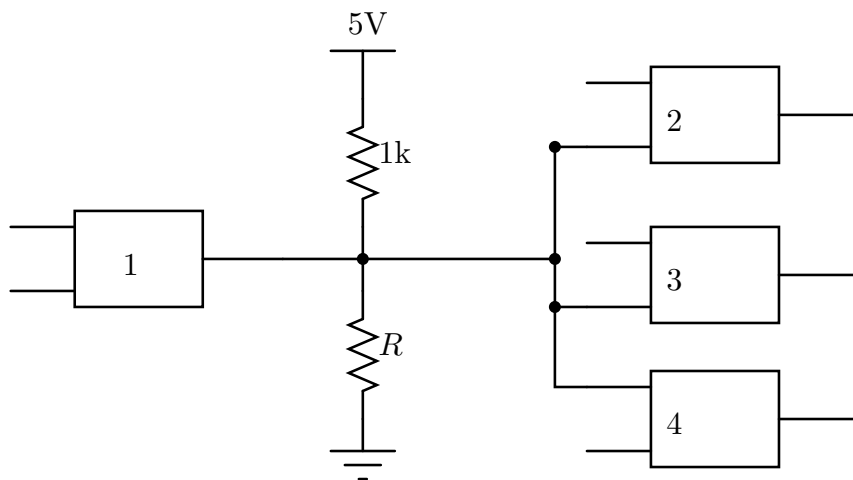
Za *TTL* logičko kolo sa slike 2.1 odrediti:

- a) Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.
- b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukog izvora šuma.
- c) Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{IL} i V_{IH} .
- d) Odrediti kašnjenja rastuće i opadajuće ivice, t_{pLH} i t_{pHL} , ako je ekvivalentna parazitna kapacitivnost na izlazu kola $C_p = 10\text{pF}$
- e) Ako su ova logička kola povezana kao na slici 2.2, odrediti opseg ulaznih vrednosti otpornika R tako da sva kola rade ispravno.

Poznato je: $V_{BE} = V_D = 0.7\text{V}$, $V_\gamma = V_{\gamma D} = 0.6\text{V}$, $V_{CES} = 0.2\text{V}$, $V_{BES} = 0.8\text{V}$, $\beta_F = 50$, $\beta_R = 0.1$.



Slika 2.1: Dvoulazno TTL logičko kolo



Slika 2.2: Primer povezivanja datih logičkih kola

REŠENJE:

a) Za $A = 0$, $B = 0$, multiemitorski tranzistor Q_1 će raditi u zasićenju ($I_{C1} = 0$), pa je napon $V_{B2} = V_{CES}$, tj. nedovoljan da provede tranzistor Q_2 . Napon $V_{B3} = 0V$, tj. i tranzistor Q_3 će biti zakočen. Tranzistor Q_4 i D_1 su direktno polarisani ali vode malu struju curenja tranzistora Q_4 , obzirom da izlaz nije opterećen. Izlaz je na visokom logičkom nivou, tj.

$$V_Y = V_{CC} - V_{BE4} - V_{D1} - R_3 I_{B4} = V_{CC} - V_\gamma - V_{\gamma D} = V_{OH} = 3.8V$$

Obzirom da izlaz kola nije opterećen, struja tranzistora Q_4 je mala, pa je pad napona na otporniku R_3 zanemarljiv.

Za $A = 0, B = 1$ i $A = 1, B = 0$ situacija je ista kao i za slučaj $A = 0, B = 0$.

Za $A = 1, B = 1$, tranzistor Q_1 radi u inverznom aktivnom režimu (*IAR-u*), dok tranzistori Q_2 i Q_3 rade u zasićenju. Izlaz je na niskom logičkom nivou, tj. $V_Y = V_{CES} = V_{OL} = 0.2V$. Razlika napona:

$$V_{C2} - V_{C3} = V_{BE3} + V_{CE2} - V_{CE3} = V_{BES} + V_{CES} - V_{CES} < V_{D1} + V_{BE4} = V_\gamma + V_{\gamma D}$$

Ovime je obezbeđeno da tranzistor Q_4 i dioda D_1 budu zakočeni kada vode tranzistori Q_2 i Q_3 , što je ujedno i uloga diode D_1 koja se nalazi u izlaznom stepenu logičkog kola.

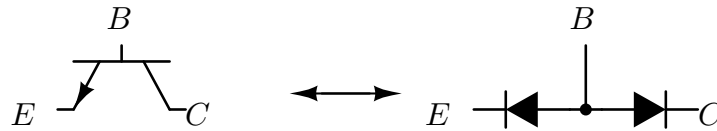
Dakle, reč je dvoulaznom *NI* kolu. Logička funkcija izlaza je data izrazom:

$$Y = \overline{AB}$$

b) Uzećemo da je ulaz B na neaktivnom logičkom nivou, tj. $B = 1$ (ulaz A određuje režime rada svih tranzistora u kolu), dok će se vrednost napona na ulazu A kretati od $0V$ do V_{CC} .

Za $V_A = 0V$, tranzistor Q_1 radi u zasićenju, napon na izlazu kola je $V_Y = V_{OH}$.

Pri vrednosti napona na ulazu kola, $V_A = V_\gamma - V_{CES}$, provešće tranzistor Q_2 . Za ulazne napone iznad ove vrednosti struja baze I_{B1} se deli i teče kroz spojeve BC i BE , odnosno tranzistor Q_1 se ponaša kao konfiguracija sa slike 2.3, obzirom da su oba *PN* spoja tranzistora direktno polarisana. Sve dok je struja I_{B2} mala, ulazni tranzistor Q_1 će voditi u zasićenju.



Slika 2.3: Ekvivalentna šema tranzistora Q_1

Sada je napon V_{CE1} određen naponima direktno polarisanih spojeva tj. $V_{CE1} = V_{BE1} - V_{BC1}$, dok su vrednosti napona spojeva funkcije struja spojeva tj. $V_{BE1} = V_{BE1}(I_{BE1})$, tj. $V_{BC1} = V_{BC1}(I_{BC1})$, pri čemu važi da je $I_{B1} = I_{BC1} + I_{BE1}$.

Nakon što je proveo tranzistor Q_2 , izlazni napon V_Y kreće da pada, uporedo sa daljim porastom napona na ulazu (V_A). Obzirom da raste struja I_{C2} , pad napona na otporniku R_3 direktno obara napon na izlazu preko spoja BE tranzistora Q_4 i diode D_1 koji rade na granici provođenja. Dakle, prva prelomna tačka u prenosnoj karakteristici određena je početkom provođenja tranzistora Q_2

Za napon V_A u tom trenutku dobijamo:

$$V_A^{(1)} = V_{BE2} - V_{CE1} = V_\gamma - V_{CES} = 0.4V \text{ ili}$$

$$V_A^{(1)} = V_{BE2} + V_{BC1} - V_{BE1} = V_\gamma + V_\gamma - V_{BES} = 0.4V$$

Daljim povećavanjem napona na ulazu, V_A , povećava se struja tranzistora Q_2 i raste napon V_{B3} koji u jednom trenutku dostiže napon V_γ kada se uključuje i tranzistor Q_3 . U trenutku uključenja tranzistora Q_3 struja emitera tranzistora Q_2 iznosi: $I_{E2} = \frac{V_\gamma}{R_2} = 0.6mA$, dok je struja $I_{B2} = 12\mu A$.

Kako je struja $I_{B1} = \frac{V_{CC} - V_{BE3} - V_{BE2} - V_{BC1}}{R_1} = \frac{V_{CC} - V_\gamma - V_{BE} - V_\gamma}{R_1} = 0.77mA$, zaključujemo da veći deo struje baze tranzistora Q_1 (skoro sva struja I_{B1}) ide kroz spoj BE tranzistora Q_1 . Napon na ulazu kola u trenutku uključenja tranzistora Q_3 iznosiće:

$$V_A^{(2)} = V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1} \approx V_\gamma + V_{BE} + V_\gamma - V_{BES} = 1.1V,$$

dok je napon na izlazu:

$$V_Y = V_{CC} - R_3 I_{C2} - V_{BE4} - V_{D1} = V_{CC} - R_3 I_{C2} - V_\gamma - V_{\gamma D} \approx 2.8V = V_Y^{(2)}$$

, obzirom da je $I_{C2} \approx I_{E2}$.

Daljim povećanjem napona na ulazu kola, vrednost izlaznog napona brže pada (mala promena napona V_A dovodi do velike promene napona V_Y), obzirom da svi tranzistori u izlaznom stepenu rade u *DAR*-u. Pad napona na otporniku R_3 će se brže povećavati. Samim tim uključenje tranzistora Q_3 predstavlja drugu prelomnu tačku koja je određena naponima $(V_A^{(2)}, V_Y^{(2)})$.

Posmatranjem koeficijenta pravca prave određene prelomnim tačkama $(V_A^{(1)}, V_Y^{(1)})$ i $(V_A^{(2)}, V_Y^{(2)})$, vidi se da je vrednost koeficijenta ~ -1.43 , tj. veća od vrednosti -1 . Odatle sledi da za karakterističnu tačku V_{IL} možemo uzeti tačku $(V_A^{(1)}, V_Y^{(1)})$, tj. $V_{IL} = 0.4V$.

Povećanje ulaznog napona iznad vrednosti $V_A^{(2)}$ dovodi tranzistor Q_3 u režim zasićenja, dok se vrednost napona na izlazu postavlja na V_{OL} . Dalje povećanje ulaznog napona ne dovodi do promene izlaznog napona. Napon na ulazu kola u trenutku zasićenja tranzistora Q_3 iznosiće:

$$V_A^{(3)} = V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1} \approx V_{BES} + V_{BE} + V_\gamma - V_{BES} = 1.3V,$$

dok je napon na izlazu:

$$V_Y^{(3)} = V_{CE3} = V_{CES} = 0.2V.$$

Vrednost napona V_{IH} , ako posmatramo trenutak prelaska tranzistora Q_3 iz *DAR*-a u zasićenje (prilikom povećanja ulaznog napona), je komplikovano tačno odrediti, obzirom da su uključeni i tranzistor Q_4 i dioda D_1 . Međutim, vrednost napona se može približno odrediti kao trenutak kada se tranzistor Q_4 i dioda D_1 uključuju, prilikom smanjivanja ulaznog napona od vrednosti V_{CC} ka $0V$, obzirom da tranzistor Q_3 može izaći iz zasićenja samo pod uslovom da tranzistori Q_4 i dioda D_1 počnu da vode.

Da bi se uključio tranzistor Q_4 neophodno je, da prethodno tranzistor Q_2 izađe iz zasićenja.

Dakle, u trenutku uključjenja tranzistora Q_4 važiće:

$$I_{C2} = \frac{V_{CC} - V_{CE3} - V_{D1} - V_{BE4}}{R_3} = \frac{V_{CC} - V_{CES} - V_{\gamma D} - V_\gamma}{R_3} = 2.25mA$$

Kako je Q_2 u *DAR*-u, važiće:

$$I_{B2} = \frac{I_{C2}}{\beta_F} = 45\mu A$$

Dakle, zaključujemo da veći deo struje I_{B1} teče kroz spoj *BE*.

Vrednost ulaznog napona V_{IH} određena sa:

$$V_{IH} = V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1} \approx V_{BES} + V_{BE} + V_\gamma - V_{BES} = 1.3V$$

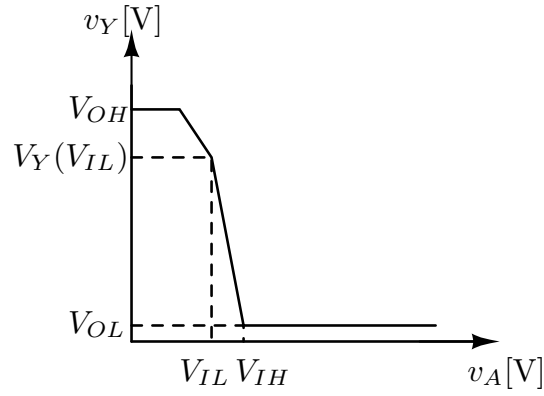
Napomena: Problem oko određivanja vrednosti napona *PN* spoja je posledica diskretnih vrednosti napona direktno polarisanih spojeva (V_γ , V_{BE} , V_{BES}), dok se struja spoja kontinualno menja, tj. može imati proizvoljnu vrednost. Dakle, modeli tranzistora za različite režime rada *DAR*, *ZAS* (zasićenje), *IAR*, *IZAS* (inverzno zasićenje), *ZAK* (zakočenje) su dati sa konstantnim parametrima, pa se pri prelazu iz jednog u drugi režim rada tranzistora, prema datim modelima, vrednost napona *PN* spoja skokovito menja.

Vrednost napona V_{IH} se može grubo odrediti i kao trenutak kada tranzistor Q_1 prelazi iz inverznog zasićenja u *IAR*. Tako određena vrednost napona V_{IH} imala bi vrednost:

$$V_{IH} = V_{BE3} + V_{BE2} + V_{BC1} - V_{BE1} = 3V_{BES} - V_\gamma = 1.8V$$

Vidi se da je greška određivanja vrednosti napona V_{IH} u ovom slučaju veoma velika, tj. $0.4V$.

Karakteristika prenosa logičkog kola sa slike 2.1 data je na slici 2.4.



Slika 2.4: Karakteristika prenosa logičkog kola sa slike 2.1

Vrednosti margina šuma, u slučaju višestrukog izvora šuma, određujemo prema jednačinama:

$$\begin{aligned} NM_0 &= V_{IL} - V_{OL} = 0.2V \\ NM_1 &= V_{OH} - V_{IH} = 2.5V \end{aligned}$$

c) Strujni kapacitet kola za logičku jedinicu na izlazu pri $V_Y = V_{IH}$ određen je sa:

$$I_{CAP1} = I_{E4} = I_{B4} + I_{C4} = \left(\frac{V_{CC} - V_{IH} - V_D - V_{BES}}{R_3} + \frac{V_{CC} - V_{IH} - V_D - V_{CES}}{R_4} \right) = 22.92\text{mA}$$

Izračunavanjem članova u predhodnom izrazu, je ujedno proverena pretpostavka da tranzistor Q_4 radi u zasićenju, obzirom da važi $\beta_F I_{B4} > I_{C4}$.

Strujni kapacitet kola za logičku nulu na izlazu pri $V_Y = V_{IL}$ predstavlja struju kolektora tranzistora Q_3 koji radi u *DAR-u* i dat je izrazom:

$$I_{CAP0} = \beta_F I_{B3} = \beta_F (I_{B2} + I_{C2} - I_{R2})$$

tj.

$$I_{CAP0} = \beta_F \left((1 + \beta_R) \frac{V_{CC} - V_{BE} - V_{BES} - V_{BE}}{R_1} + \frac{V_{CC} - V_{BE} - V_{CES} - V_{BE}}{R_3} - \frac{V_{BE}}{R_2} \right) = 131\text{mA}$$

Iako je strujni kapacitet $I_{CAP0} \gg I_{CAP1}$ faktor grananja na izlazu kola je određen sa vrednosti I_{CAP0} obzirom da, ulazna struja u logičko kolo istog tipa koje opterećuje izlaz posmatranog kola, za slučaj logičke jedinice na ulazu kola, malo utiče na opterećenje izlaznog stepena posmatranog kola, tj.:

$$I_{UL1} = \frac{\beta_R I_{B1}}{2} = \beta_R \frac{V_{CC} - 2V_{BES} - V_{BE}}{2R_1} = 33\mu\text{A} \quad (2.1)$$

Prema izrazu 2.1, tranzistor Q_1 , radi u *IAR-u*, tako da ulazna struja I_{UL1} , predstavlja struju kolektora tranzistora Q_1 i zavisi od broja emitera multiemitorskog tranzistora, obzirom da je drugi ulaz multiemitorskog tranzistora takođe na visokom logičkom nivou. U protivnom bi tranzistor Q_1 radio u zasićenju.

Maksimalna ulazna struja pri logičkoj nuli je u slučaju kada je samo jedan od emitera ulaznog tranzistora Q_1 na logičkoj nuli i iznosi

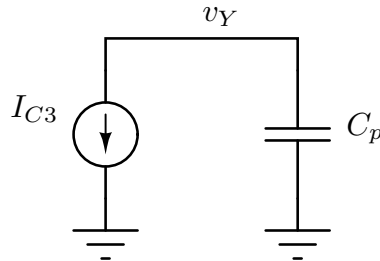
$$I_{UL0} = \frac{V_{CC} - V_{BE1} - V_A}{R_1} = \frac{V_{CC} - V_{BES} - V_{OL}}{R_1} = 1\text{mA}$$

Faktor grananja na izlazu kola određujemo kao:

$$N = [\min(N_1, N_0)] = \left[\frac{I_{CAP0}}{I_{UL0}} \right] = 131$$

d) Kašnjenje rastuće i opadajuće ivice se definiše kao vreme koje protekne od trenutka početka promene signala do trenutka 50% promene vrednosti signala. Dakle, u slučaju silazne ivice to je vreme za koje se napon na izlazu promeni od V_{OH} do $\frac{V_{OH}+V_{OL}}{2}$, a u slučaju uzlazne ivice to je vreme za koje se napon na izlazu promeni od V_{OL} do $\frac{V_{OH}+V_{OL}}{2}$.

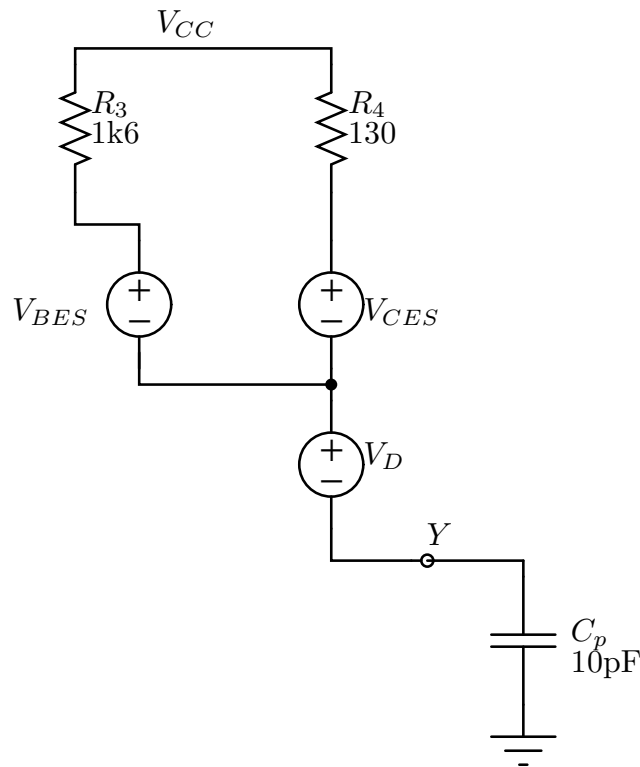
Da bismo odredili t_{pHL} , posmatrajmo situaciju kada je napon na kondenzatoru C_p na nivou logičke jedinice (V_{OH}) i trenutak postavljanja logičke nule na izlaz kola. U tom slučaju tranzistor Q_3 vodi u direktnom aktivnom režimu struju $I_{C3} = \beta_F I_{B3}$ koja prazni kapacitivnost C_p , a Q_4 i D_1 su zakočeni. Ekvivalentna šema prikazana je na slici 2.5.



Slika 2.5: Ekvivalentna šema prilikom određivanja t_{pHL}

U početnom trenutku je $v_Y(0) = V_{OH}$, pa je $v_Y(t) = V_{OH} - \frac{I_{C3}}{C_p}t$. Kašnjenje opadajuće ivice zadovoljava $v_Y(t_{pHL}) = \frac{V_{OH}+V_{OL}}{2}$, pa je $V_{OH} - \frac{I_{C3}}{C_p}t_{pHL} = \frac{V_{OH}+V_{OL}}{2}$, odakle je $t_{pHL} = \frac{C_p}{I_{C3}} \frac{V_{OH}-V_{OL}}{2}$. Zamenom brojnih vrednosti, dobija se $t_{pHL} = 0.13\text{ns}$.

Da bismo odredili t_{pLH} , posmatrajmo situaciju kada je napon na kondenzatoru C_p na nivou logičke nule (V_{OL}) i trenutak postavljanja logičke jedinice na izlaz kola. Tada je tranzistor Q_3 zakočen, a tranzistor Q_4 vodi u zasićenju struju punjenja kapacitivnosti C_p . Ekvivalentna šema je data na slici 2.6.



Slika 2.6: Ekvivalentna šema prilikom određivanja t_{pLH}

U početnom trenutku je $v_Y(0) = V_{OL}$. Vremenski oblik napona za kolo na slici 2.6 možemo odrediti korišćenjem asimptotske formule $v_Y(t) = v_Y(\infty) + (v_Y(0^+) - v_Y(\infty))e^{-\frac{t}{\tau}}$, gde je τ vremenska konstanta koju vidi C_p , a $v_Y(\infty)$ napon u stacionarnom stanju. Vremenska konstanta

je $\tau = C_p R_p = 1.2\text{ns}$, gde je $R_p = R_3 || R_4$ ekvivalentna otpornost koju vidi C_p . Napon u stacionarnom stanju se određuje rešavajući kolo u kome je C_p otvorena veza. Rešavanjem kola se dobija

$$v_Y(\infty) = V_{CC} + R_3 \frac{V_{BES} - V_{CES}}{R_3 + R_4} - V_{BES} - V_D = 4.05\text{V}$$

Sada je

$$v_Y(t_{pLH}) = v_Y(\infty) + (v_Y(0^+) - v_Y(\infty))e^{-\frac{t_{pLH}}{\tau}} = \frac{V_{OH} + V_{OL}}{2}$$

pa je

$$e^{-\frac{t_{pLH}}{\tau}} = \frac{v_Y(\infty) - \frac{V_{OH} + V_{OL}}{2}}{v_Y(\infty) - v_Y(0)}$$

odakle je

$$t_{pLH} = \tau \ln \frac{v_Y(\infty) - v_Y(0)}{v_Y(\infty) - \frac{V_{OH} + V_{OL}}{2}} = 0.75\text{ns}$$

e) Posmatrajući šemu datu na slici 2.2 može se primetiti da u zavisnosti od vrednosti otpornosti R može doći do toga da izračunati uslovi za strujne kapacitete ne budu zadovoljeni.

Ukoliko se posmatra trenutak kada je na izlazu prvog kola napon na graničnom niskom nivou (V_{IL}), imamo da je struja koja ulazi u to kolo

$$I_1 = I_{R1} - I_R + 3I_{U0} = \frac{V_{CC} - V_{IL}}{R_1} - \frac{V_{IL}}{R} + 3I_{U0} < I_{CAP0}$$

Rešavanjem date nejednakosti dobija se

$$I_{CAP0} = 131\text{mA} > 4.15\text{mA} - \frac{0.4\text{V}}{R}$$

što je zadovoljeno za bilo koje R .

Ako posmatramo trenutak kada je na izlazu prvog kola napon na granično visokom nivou (V_{IH}), imamo da je struja koja izlazi iz tog kola

$$I_1 = I_R - I_{R1} + 3I_{U1} = \frac{V_{IH}}{R} - \frac{V_{CC} - V_{IH}}{R_1} + 3I_{U1} < I_{CAP1}$$

Rešavanjem date nejednakosti dobija se

$$I_{CAP1} = 22.92\text{mA} > \frac{1.5\text{V}}{R} - 3.5\text{mA} + 0.1\text{mA}$$

odnosno

$$\frac{1.5\text{V}}{R} < 26.3\text{mA}$$

Odavde se dobija

$$R > 57\Omega$$

Zadatak 3

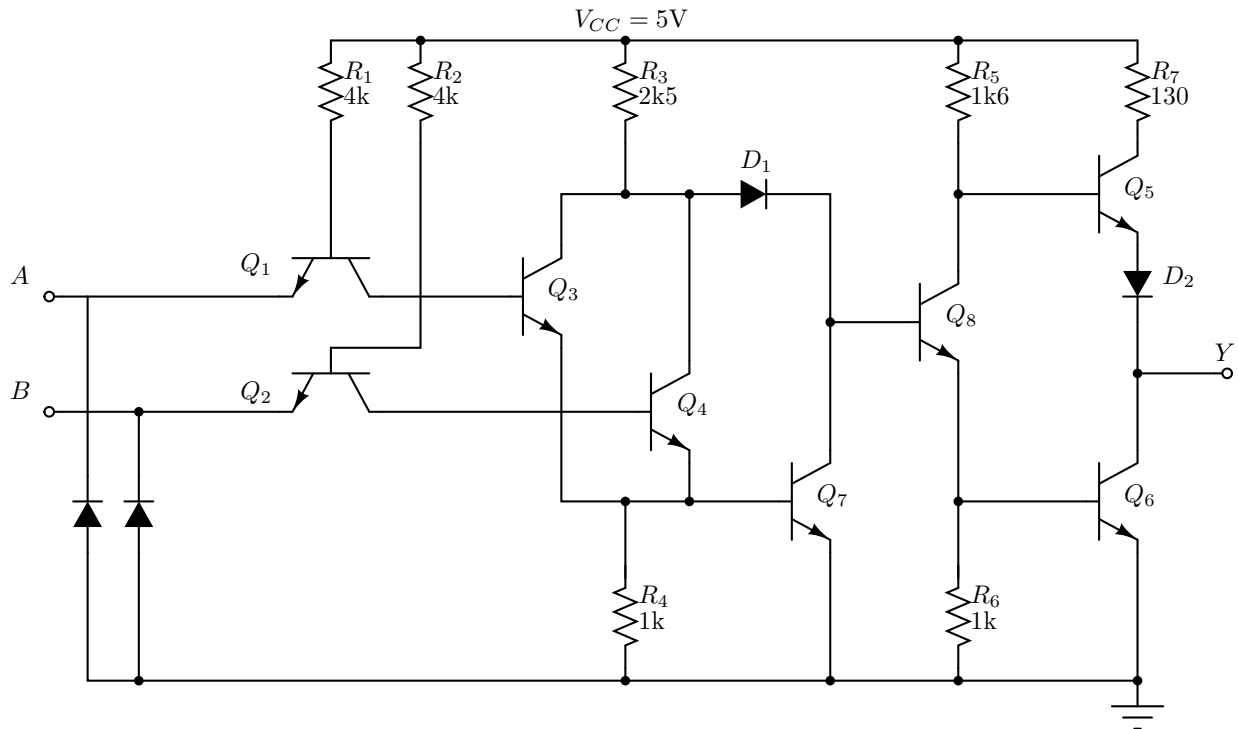
a) Za dvoulazno *TTL* logičko kolo sa slike 3.1 nacrtati karakteristiku prenosa i odrediti režime rada svih elemenata u kolu za sve segmente na prenosnoj karakteristici. Šta se dešava sa statičkim, a šta sa dinamičkim karakteristikama kola ako je $V_{D1} = 0.55\text{V}$?

b) Naći strujne kapacitete kola (I_{CAP0} i I_{CAP1}) pri naponima V_{IH} i V_{IL} na izlazu kola. Koliki se maksimalan stujni kapacitet može postići promenom otpornosti R_5 . Kolike su tada vrednosti za R_5 , I_{CAP0} i I_{CAP1} ?

c) Koliko su vrednosti vremena kašnjenja opadajuće i rastuće ivice signala na izlazu kola, t_{pHL} i t_{pLH} , ako je ekvivalentna parazitna kapacitivnost na izlazu kola $C_p = 10\text{pF}$?

d) Ukoliko se između tačaka Y i V_{CC} veže otpornik $R = 33\Omega$, odrediti vrednosti napona V_Y za sve kombinacije logičkih nivoa ulaznih priključaka A i B .

Poznato je: $V_{BE} = 0.65\text{V}$, $V_{BES} = 0.7\text{V}$, $V_{CES} = 0.2\text{V}$, $V_D = 0.75\text{V}$, $V_\gamma = 0.6\text{V}$, $20 \leq \beta_F \leq 40$, $0.1 \leq \beta_R \leq 0.4$.



Slika 3.1: Dvoulazno *TTL* logičko kolo

REŠENJE:

a) Za $A = 0$ i $B = 0$, tranzistori Q_1 i Q_2 rade u zasićenju, tranzistori Q_3 , Q_4 , Q_5 i Q_7 su zakočeni, D_1 vodi, dok tranzistori Q_8 i Q_6 rade u zasićenju, tako da je na izlazu kola nizak logički nivo. Izlazni napon određen je sa:

$$V_Y = V_{OL} = V_{CES} = 0.2\text{V}$$

Za $A = 0$ i $B = 1$, tranzistor Q_1 radi u zasićenju, tranzistor Q_3 je zakočen, dok Q_2 vodi u inverznom aktivnom režimu (*IAR*-u), pa će tranzistori Q_4 i Q_7 biti zasićeni. Dioda D_1 je zakočena ($V_{C4} = 0.9\text{V}$, dok je $V_{C7} = 0.2\text{V}$). Tranzistori Q_8 i Q_6 biće zakočeni, dok tranzistor Q_5 radi na granici provođenja u direktnom aktivnom režimu. Na izlazu kola je visok logički nivo, tj.

$$V_Y = V_{OH} = V_{CC} - V_{D2} - V_{\gamma 5} = 3.65\text{V}$$

Za $A = 1$ i $B = 0$, tranzistor Q_1 radi u *IAR*-u, Q_3 i Q_2 u zasićenju, dok je tranzistor Q_4 zakočen. Ostali tranzistori nalaze se u istim režimima rada kao u slučaju $A = 0$, $B = 1$.

Za $A = 1$ i $B = 1$, tranzistor Q_1 i Q_2 rade u *IAR*-u, Q_3 i Q_4 u zasićenju. Ostali tranzistori nalaze se u istim režimima rada kao u slučaju $A = 0$, $B = 1$.

Logička funkcija izlaza Y kola sa slike 3.1 data je izrazom:

$$Y = A + B$$

Dakle, kolo sa slike 3.1, predstavlja dvoulazno I logičko kolo. Napon V_{IL} možemo grubo odrediti na više načina. Na primer, posmatračemo trenutak kada se (prilikom rasta ulaznog napona) uključuje tranzistor Q_7 obzirom da trenutak uključivanja tranzistora Q_3 ili Q_4 sigurno ne određuje vrednost napona V_{IL} , obzirom da se tranzistor Q_8 i dalje nalazi u zasićenju. Dakle u trenutku provođenja tranzistora Q_7 imamo da je njegova struja data izrazom:

$$I_{E3} = \frac{V_{\gamma 7}}{R_4} = 0.6\text{mA}$$

Kako tranzistori Q_8 i Q_6 vode u DAR -u i dioda D_1 je provodna, struja kroz otpornik R_3 biće jednaka:

$$I_{R3} = \frac{V_{CC} - (V_{BE6} + V_{BE8} + V_{D1})}{R_3} = \frac{V_{CC} - 2V_{BES} - V_{D1}}{R_3} = 1.14\text{mA} \quad (3.1)$$

Kako tranzistor Q_3 , u trenutku uključivanja tranzistora Q_7 radi u DAR -u, struja baze tranzistora Q_3 će imati vrednost:

$$I_{B3} < \frac{I_{E3}}{1 + \beta_{F\ min}} = 28\mu\text{A}$$

Ukoliko bi napisali izraz za napon V_{IL} , dobili bi izraz:

$$V_{IL} = V_{BE7} + V_{BE3} + V_{BC1} - V_{BE1} = 2V_{\gamma} + V_{BE} - V_{BES} = 1.15\text{V} \quad (3.2)$$

U izrazu 3.2, uzeto je da je napon $V_{BC1} \approx V_{\gamma}$, dok je napon $V_{BE1} \approx V_{BES}$ ili V_{BE} , obzirom da skoro sva struja koja teče kroz otpornik R_1 , teče kroz spoj BE tranzistora Q_1 (struja $I_{B3} < 28\mu\text{A}$). Takođe uzeto je da je tranzistor Q_7 na granici provođenja ($V_{BE7} = V_{\gamma}$), dok tranzistor Q_3 vodi u DAR -u.

Međutim, ukoliko želimo da preciznije odredimo trenutak kada će izlazni napon početi da raste, uporedo sa povećavanjem ulaznog napona, potrebno je da zaključimo kada uopšte napon na izlazu kola, može da raste. Da bi izlazni napon, pri promeni (povećanju) ulaznog napona, počeo da raste, neophodno je da tranzistor Q_6 izađe iz zasićenja, tj. neophodno je da tranzistor Q_5 provede, kako bi kolektorska struja tranzistora Q_6 porasla na vrednost $I_{C6} = \beta_F I_{B6}$. Da bi došlo do uključivanja tranzistora Q_5 , neophodno je da napon u kolektoru tranzistora Q_8 dovoljno poraste (kako bi se uključili tranzistor Q_5 i dioda D_2), odnosno da on izađe iz zasićenja. Sa druge strane, da bi tranzistor Q_5 izašao iz zasićenja, neophodno je da njegova bazna struja padne ispod vrednosti date izrazom:

$$I_{B8}|_{Q_8:ZAS \rightarrow DAR} \approx \frac{V_{BES6}}{(1 + \beta_{F\ max})R_6} = 17\mu\text{A}$$

Praktično, tranzistori Q_3 , Q_4 i Q_7 treba da preuzmu praktično svu struju datu izrazom 3.1. Dakle i tranzistor Q_7 i tranzistor Q_3 treba da rade u DAR -u (tranzistor Q_3 se ne nalazi u zasićenju, obzirom da dioda D_1 još uvek vodi). Dakle precizniji izraz za napon V_{IL} imaće oblik:

$$V_{IL} = V_{BE7} + V_{BE3} + V_{BC1} - V_{BE1} = 2V_{BE} + V_{\gamma} - V_{BES} = 1.2\text{V} \quad (3.3)$$

U izrazu 3.3, uzeto je da je napon $V_{BC1} \approx V_{\gamma}$, dok je napon $V_{BE1} \approx V_{BES}$ ili V_{BE} , obzirom da skoro sva struja koja teče kroz otpornik R_1 , teče kroz spoj BE tranzistora Q_1 (struja I_{B3} , u najboljem slučaju kada posmatramo maksimalnu vrednost, u situaciji i da sva struja I_{R3} ide kroz kolektor tranzistora Q_3 , je manja od $\approx 50\mu\text{A}$). Poređenjem izraza 3.2 i 3.3, zaključujemo

da se grubom aproksimacijom, u ovom slučaju ne pravi veća greška pri izračunavanju vrednosti napona V_{IL} .

Prilikom određivanja vrednosti V_{IH} , uzećemo grubu aproksimaciju da je V_{IH} određen prelaskom tranzistora Q_1 iz inverznog aktivnog režima u inverzno zasićenje. Za vrednost V_{IH} dobijamo:

$$V_{IH} = V_{BE7} + V_{BE3} + V_{BC1} - V_{BE1} = 3V_{BES} - V_{\gamma} = 1.5V$$

Naravno da je ovo veoma gruba aproksimacija obzirom da je V_{IH} određen uključenjem tranzistora Q_8 .

Obzirom na otpornik R_6 i R_5 , na prenosnoj karakteristici ćemo imati prelomnu tačku, određenu trenutkom uključenja (ili isključenja) tranzistora Q_6 pri smanjivanju ulaznog napona.

Kao što smo predhodno videli, u trenutku uključenja tranzistora Q_6 , bazna struja tranzistora Q_8 je približno jednaka nuli, tj.:

$$I_{B8}|_{Q_6:ZAK \rightarrow DAR} \approx \frac{V_{\gamma}}{\beta_F R_6}$$

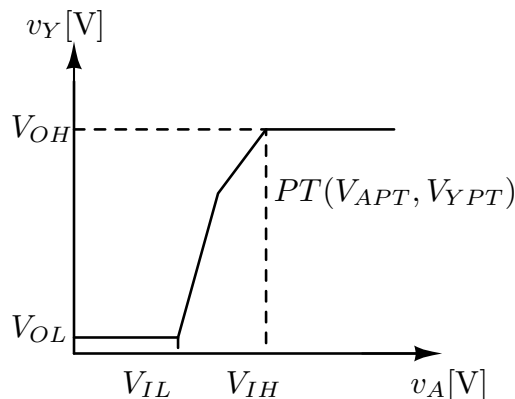
Sa druge strane, D_1 je uključena pa tranzistori Q_3 (i/ili Q_4) i Q_7 rade u DAR -u, pa je vrednost napona V_{APT} određena izrazom:

$$V_{APT} \approx V_{BE7} + V_{BE4} + V_{BC1} - V_{BE1} = 1.3V \quad (3.4)$$

U izrazu 3.4, uzeli smo da su struje spojeva BE i BC , tranzistora Q_1 , približno jednake.

$$V_{YPT} = V_{CC} - V_{BE6} \frac{R_5}{R_6} - V_{BE5} - V_{D2} = V_{CC} - V_{BE6} \frac{R_5}{R_6} - V_{\gamma} - V_{D2} = 2.69V$$

Karakteristika prenosa logičkog kola iz postavke zadatka data je na slici 3.2.



Slika 3.2: Karakteristika prenosa logičkog kola sa slike 3.1

Ukoliko se dioda D_1 zameni sa diodom kod koje je $V_{D1} = 0.55V$, imaćemo situaciju da dioda D_1 bez obzira na kombinaciju ulaznih logičkih nivoa uvek vodi. Tranzistor Q_7 , će sada, kada vodi, raditi u DAR -u i neće ići u zasićenje, čime će se ubrzati njegovo kočenje. Dakle, kako će se skratiti vreme kočenja tranzistora Q_7 , odnosno, smanjiti vreme eliminacije viška manjinskih nosilaca iz područja baze tranzistora Q_7 , skratit će se i vreme t_{pHL} . Kako je sada pad napona na diodi D_1 manji, veće su struje tranzistora Q_8 , čime se povećava strujni kapacitet izlaza kola (u slučaju kada je izlaz na niskom logičkom nivou). Margine šuma kola, u slučaju višestrukog izvora šuma, zadržat će približno istu vrednost.

b) Strujni kapacitet izlaza kola, pri naponu V_{IH} , na izlazu logičkog kola, dat je izrazom:

$$I_{CAP1} = \frac{V_{CC} - V_{IH} - V_{D2} - V_{BE5}}{R_5} + \frac{V_{CC} - V_{IH} - V_{CE5} - V_{D2}}{R_7} \quad (3.5)$$

Prvi, odnosno drugi član u izrazu 3.5, predstavlja struju baze, odnosno kolektora tranzistora Q_5 , respektivno. Izraz je posledica pretpostavke da tranzistor Q_5 radi u zasićenju pri naponu V_{IH} na izlazu kola. Izračunavanjem izraza 3.5, dobija se da je:

$$I_{B5} \approx 1.3\text{mA}$$

$$I_{C5} \approx 19.6\text{mA} < \beta_{F\min} I_{B5}$$

Dakle, potvrđena je pretpostavka da je tranzistor Q_5 u zasićenju, pa se za vrednost strujnog kapaciteta dobija:

$$I_{CAP1} = 20.9\text{mA}$$

Vrednost strujnog kapaciteta, pri naponu V_{IL} kada je na izlazu kola logička nula dat je izrazom:

$$I_{CAP0} = \beta_{F\min} \left[\frac{V_{CC} - V_{BE6} - V_{BE8} - V_{D1}}{R_3} + \frac{V_{CC} - V_{BE6} - V_{CES}}{R_5} - \frac{V_{BE6}}{R_6} \right]$$

tj.

$$I_{CAP0} = \beta_{F\min} \left[\frac{V_{CC} - V_{BE} - V_{BES} - V_D}{R_3} + \frac{V_{CC} - V_{BE} - V_{CES}}{R_5} - \frac{V_{BE}}{R_6} \right]$$

Minimalnu vrednost otpornosti R_5 možemo grubo odrediti kao vrednost kada tranzistor Q_8 izlazi iz zasićenja. Za vrednost otpornosti $R_{5\min}$ imaćemo:

$$I_{C8} = \frac{V_{CC} - V_{BE6} - V_{CES}}{R_{5\min}} = \frac{V_{CC} - V_{BES} - V_{CES}}{R_{5\min}} = \beta_{F\min} I_{B8} =$$

$$= \beta_{F\min} \frac{V_{CC} - V_{BE6} - V_{BE8} - V_{D1}}{R_3}$$

Dakle, dobijamo da je:

$$R_{5\min} = \frac{R_3(V_{CC} - V_{BES} - V_{CES})}{\beta_{F\min}(V_{CC} - V_{BE6} - V_{BE8} - V_{D1})} = \frac{V_{CC} - V_{BES} - V_{CES}}{V_{CC} - V_{BE6} - V_{BE8} - V_{D1}} \frac{R_3}{\beta_{F\min}}$$

Sa druge strane, minimalna vrednost otpornosti R_5 može se odrediti kao vrednost za koju će provesti tranzistor Q_5 i dioda D_2 , u situaciji kada je na izlazu kola logička nula (tranzistor Q_6 je uključen). Sada je $R_{5\min}$ dato izrazom:

$$V_{CC} - R_{5\min} \beta_{F\min} I_{B8} = V_{OL} + V_{D2} + V_{BE5} = V_{OL} + V_{D2} + V_\gamma$$

c) Obzirom na konfiguraciju izlaznog stepena logičkog kola sa slike 3.1, vreme kašnjenja opadajuće ivice određujemo jednostavno, obzirom na konstantnu izlaznu struju kojom se prazni ekvivalentna parazitna kapacitivnost na izlazu kola. Izraz iz koga određujemo vreme t_{pHL} dat je jednačinom:

$$V_Y(t_{pHL}) = V_Y(0^+) - \frac{\beta_F I_{B6}}{C_p} t_{pHL} \quad (3.6)$$

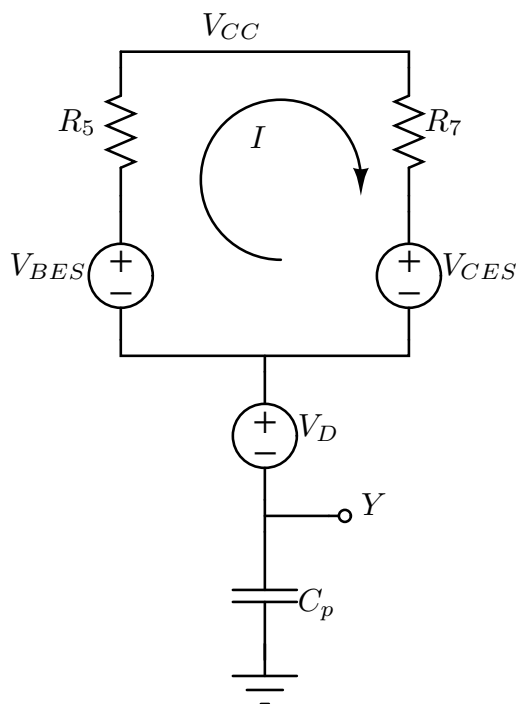
Kako je prema definiciji vremena kašnjenja silazne ivice, napon na izlazu u trenutku t_{pHL} (ista je vrednost izlaznog napona u trenutku t_{pLH}), nakon promene signala na ulazu (smatramo da je pobudni impuls na ulazu kola idealan) jednak polovini logičke amplitude, tj.: VOH

$$V_Y(t_{pHL}) = V_Y(t_{pLH}) = V_{OH} - \frac{V_{OH} - V_{OL}}{2} = \frac{V_{OH} + V_{OL}}{2} \quad (3.7)$$

Zamenom izraza 3.7 u izraz 3.6, dobijamo:

$$\frac{V_{OH} + V_{OL}}{2} = V_{OH} - \beta_F \frac{I_{B6}}{C_p} t_{pHL}$$

Određivanje izraza za vrednost vremena kašnjenja uzlazne ivice, zasniva se na analizi ekvivalentnog električnog kola datog na slici 3.3.



Slika 3.3: Ekvivalentno kolo za određivanje vremena t_{pLH}

Na osnovu kola sa slike 3.3, imamo da je vrednost napona na izlazu kola u beskonačnosti (kada su završeni svi prelazni procesi, odnosno struja kondenzatora jednaka nuli) određena izrazom:

$$V_Y(\infty) = V_{CC} + R_5 I - V_{BES} - V_D$$

Vrednost struje I , sa slike 3.3, je određena izrazom:

$$I = \frac{V_{BES} - V_{CES}}{R_5 + R_7}$$

Sada za vreme kašnjenja silazne ivice signala na izlazu kola, dobijamo izraz:

$$t_{pLH} = C_p R_5 || R_7 \ln \frac{V_Y(\infty) - V_{OL}}{V_Y(\infty) - V_Y(t_{pLH})} = C_p R_5 || R_7 \ln \frac{V_Y(\infty) - V_{OL}}{V_Y(\infty) - \frac{V_{OH} + V_{OL}}{2}}$$

Proverom je potvrđeno, da se tranzistor Q_5 , sve vreme trajanja procesa punjenja ekvivalentne parazitne kapacitivnosti na izlazu kola, do vrednosti napona na izlazu datog izrazom 3.7, nalazi u zasićenju, odnosno:

$$\beta_{F \min} \frac{V_{CC} - V_Y(t_{pLH}) - V_{D2} - V_{BE5}}{R_5} > \frac{V_{CC} - V_Y(t_{pLH}) - V_{D2} - V_{CE5}}{R_7} \quad (3.8)$$

U izrazu 3.8, vrednosti napona V_{BE5} i V_{CE5} su V_{BES} i V_{CES} respektivno.

d) U slučaju kada je na ulazu kola $A = 0$, $B = 1$, odnosno $A = 1$, $B = 0$, ili $A = 1$, $B = 1$, vrednost izlaznog napona biće $V_Y = V_{CC}$, odnosno izlazni tranzistor Q_5 i dioda D_2 će biti zakočeni.

U slučaju kada je na ulazu logičkog kola $A = 0$ i $B = 0$, izlazni tranzistor Q_6 biće uključen. Da bi smo odredili vrednost izlaznog napona, potrebno je da odredimo režim rada ovog tranzistora.

Pretpostavićemo da tranzistor Q_6 radi u zasićenju, izlazni napon bi u tom slučaju bio $V_Y = V_{CES}$.

Međutim, u tom slučaju bi izlazna struja (struja kolektora tranzistora Q_6) imala vrednost:

$$I_{C6} = \frac{V_{CC} - V_{CES}}{R} = 150\text{mA} > \beta_{F \max} I_{B6} \quad (3.9)$$

U izrazu 3.9, struja baze tranzistora Q_6 ima vrednost $I_{B6} = 3.2\text{mA}$. Obzirom na nejednakost 3.9, zaključujemo da tranzistor Q_5 vodi u DAR -u, pa je izlazni napon određen izrazom:

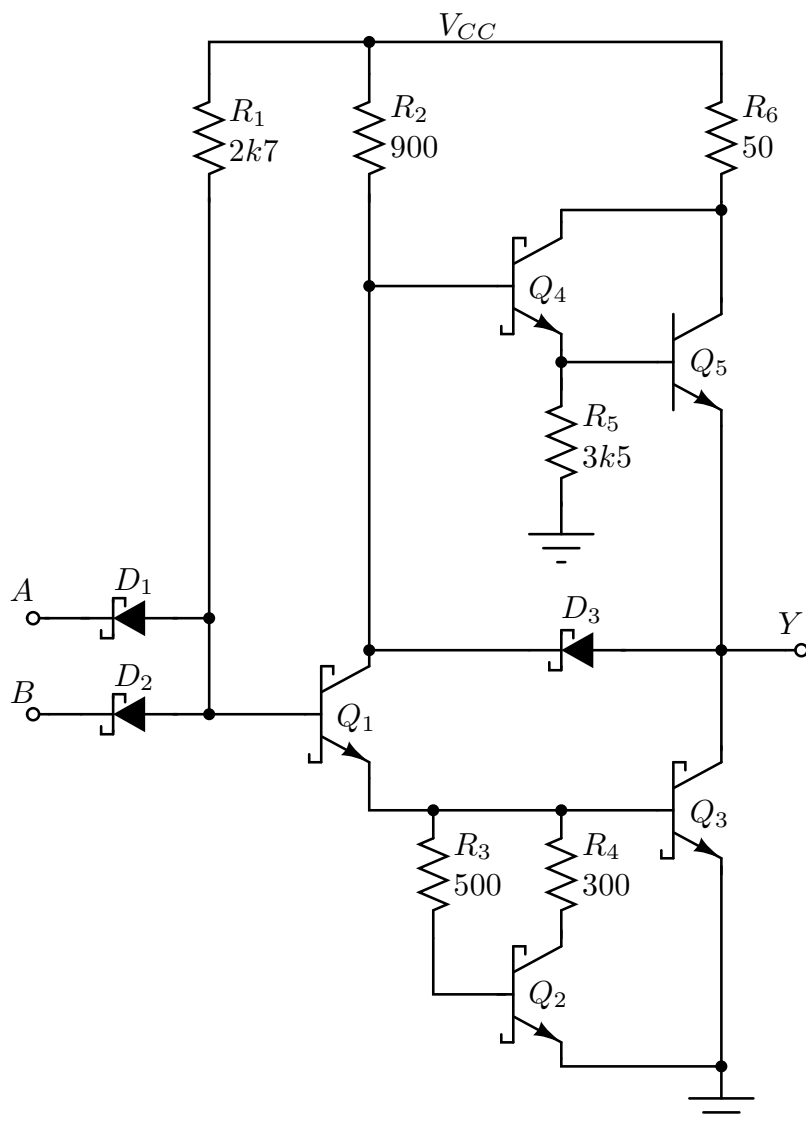
$$V_Y = V_{CC} - \beta_F I_{B6} R$$

Zadatak 4

Za logičko kolo, sa šotki tranzistorima, iz $74AS$ familije, dato na slici 4.1 odrediti:

- Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.
- Odrediti strujne kapacitete kola kao i faktor grananja na izlazu kola pri naponima na izlazu kola V_{IL} i V_{IH} .
- Objasniti ulogu diode D_3 i tranzistora Q_2 .

Za sve tranzistore osim za tranzistor Q_2 važi: $V_{BE} = 0.7\text{V}$, $V_\gamma = 0.6\text{V}$, $30 \leq \beta_F \leq 70$. Za tranzistor Q_2 važi: $V_{BE} = V_{BET2} = 0.6\text{V}$, $V_\gamma = V_{\gamma 2} = 0.5\text{V}$. Poznato je: $V_{D\check{s}} = 0.3\text{V}$ i $V_{CC} = 5\text{V}$.



Slika 4.1: Dvoulazno kolo iz $74AS$ familije

REŠENJE:

a) Za $A = 0, B = 0$, šotki diode D_1 i D_2 vode, pa je napon $V_{B1} = V_{D\check{s}}$, tj. nedovoljan da provedu tranzistori Q_1, Q_2 i Q_3 (Q_1, Q_2 i Q_3 tranzistori provode istovremeno ako V_γ tranzistora Q_3 i Q_2 ima istu vrednost). Tranzistor Q_4 vodi u DAR -u struju otpornika R_5 , dok tranzistor Q_5 radi na granici provođenja u DAR -u (vodi struju curenja tranzistora Q_3). Izlaz je na visokom logičkom nivou, tj.

$$V_\gamma = V_{CC} - V_{BE5} - V_{BE4} - R_2 I_{B4} = V_{CC} - V_\gamma - V_{BE} - R_2 I_{B4} = V_{OH} \quad (4.1)$$

Vrednost struje I_{B4} određujemo na osnovu jednačine:

$$V_{CC} = R_5(1 + \beta_F)I_{B4} + V_{BE4} + R_2 I_{B4}$$

Kako je $R_2 < R_5$ i $\beta_F \gg 1$, zanemarujemo član $R_2 I_{B4}$, pa se za struju baze tranzistora Q_4 dobija:

$$I_{B4} = \frac{V_{CC} - V_{BE}}{(1 + \beta_F)R_5} = 24\mu\text{A}$$

Za β_F uzeta je srednja vrednost parametra, tj. vrednost 50. Pad napona na otporniku R_2 iznosi 21.6mV.

Na osnovu jednačine 4.1 dobijamo da je $V_{OH} \approx 3.7\text{V}$.

Za $A = 0, B = 1$ i $A = 1, B = 0$ situacija je ista kao i za slučaj $A = 0, B = 0$, osim što samo odgovarajuća dioda, D_1 , odnosno dioda D_2 , vodi.

Za $A = 1, B = 1$, diode D_1 i D_2 su zakočene, tranzistori Q_1, Q_3 vode u šotki zasićenju. Kako je dato da tranzistori Q_3 i Q_2 imaju različite vrednosti napona V_γ i V_{BE} , bazna i kolektorska struja tranzistora Q_2 se ne mogu zanemariti. Tranzistor Q_2 vodi u šotki zasićenju, dok su vrednosti struja I_{B2} i I_{C2} date izrazima:

$$I_{B2} = \frac{V_{BE3} - V_{BE2}}{R_3} = \frac{V_{BE} - V_{BE2}}{R_3} = 200\mu\text{A}$$

$$I_{C2} = \frac{V_{BE3} - V_{BE2} + V_{BC2}}{R_4} = \frac{V_{BE} - V_{BE2} + V_{D\check{s}}}{R_4} = 1.33\text{mA}$$

Vrednost napona na izlazu kola je $V_\gamma = V_{OL} = V_{BE} - V_{D\check{s}} = 0.4\text{V}$, tj. izlaz je na niskom logičkom nivou.

Dakle reč je dvoulaznom NI kolu. Logička funkcija izlaza je $Y = AB$.

b) Vrednost napona V_{IH} određujemo, približno (pogledati zadatak 2), kao vrednost ulaznog napona pri kojem tranzistor Q_3 prelazi iz zasićenja u DAR . Da bi tranzistor Q_3 prešao u DAR , potrebno je da tranzistor Q_5 provede struju $\beta_F I_{B3}$. Sa druge strane, tranzistor Q_5 može provesti, samo ako tranzistor Q_1 predhodno pređe iz zasićenja u DAR . Prelazak tranzistora Q_1 iz zasićenja u DAR je uslovljen provođenjem ulazne šotki diode. Ova dioda mora da provodi struju čija je vrednost određena izrazom:

$$\begin{aligned} I_D &= \frac{V_{CC} - V_{BE3} - V_{BE1}}{R_1} - \frac{V_{CC} - V_{OL} - V_{BE5} - V_{BE4}}{\beta_F R_2} = \\ &= \frac{V_{CC} - 2V_{BE}}{R_1} - \frac{V_{CC} - V_{OL} - V_\gamma - V_{BE}}{\beta_F R_2} \end{aligned} \quad (4.2)$$

Obzirom na date vrednosti napona direktno polarisanih PN spojeva šotki diode i tranzistora u različitim režimima rada, jednačina 4.2 nema uticaja na vrednost napona V_{IH} .

Za vrednost napona V_{IH} dobijamo:

$$V_{IH} = V_{BE3} + V_{BE1} - V_{D\check{s}} = 2V_{BE} - V_{D\check{s}} = 1.1\text{V}$$

Vrednost napona V_{IL} određujemo kao trenutak kada provede tranzistor Q_2 (prema postavci zadatka dato je $V_{BET2} < V_{BET3}$), pa će tranzistor Q_2 provesti pre tranzistora Q_3 . Sa povećanjem struje tranzistora Q_1 i Q_2 povećavaće se pad napona na otporniku R_2 , odnosno doći će do pada izlaznog napona. Dakle, napon V_{IL} određujemo na osnovu izraza:

$$V_{IL} = V_{BE2} + V_{BE1} - V_{D\check{S}} = V_{\gamma 2} + V_{\gamma} - V_{D\check{S}} = 0.8V$$

Strujni kapacitet za logičku jedinicu određujemo na osnovu jednačine:

$$I_{CAP1} = I_{R2} + I_{R6} - I_{R5}$$

Vrednosti struja I_{R2} , I_{R6} i I_{R5} date su izrazima:

$$I_{R2} = \frac{V_{CC} - V_{IH} - V_{BE5} - V_{BE4}}{R_2} = \frac{V_{CC} - V_{IH} - 2V_{BE}}{R_2} = 2.78mA$$

$$I_{R6} = \frac{V_{CC} - V_{IH} - V_{BE5} - V_{BE4} + V_{BC4}}{R_6} = \frac{V_{CC} - V_{IH} - 2V_{BE} + V_{D\check{S}}}{R_6} = 56mA$$

$$I_{R5} = \frac{V_{IH} + V_{BE5}}{R_5} = \frac{V_{IH} + V_{BE}}{R_5} = 0.51mA$$

Dakle, dobijamo da je strujni kapacitet za logičku jedinicu na izlazu kola, pri naponu $V_Y = V_{IH}$ jednak:

$$I_{CAP1} = 58.26mA$$

Pretpostavljeno je da se tranzistor Q_4 nalazi u šotki zasićenju. Obzirom da je struja I_{R6} data izrazom:

$$I_{R6} = I_{C4} + I_{C5}$$

Kako važi da je:

$$I_{R2} = I_{B4}$$

ispunjena je nejednakost $\beta_F I_{B4} > I_{R6}$, tako da će sigurno važiti $\beta_F I_{B4} > I_{C4}$, odnosno, potvrđena je pretpostavka da tranzistor Q_4 radi u šotki zasićenju.

Tranzistor Q_5 nije šotki tranzistor, obzirom da ne može raditi u zasićenju, obzirom da bi tada tranzistor Q_4 bio zakočen. Vrednost napona na izlazu logičkog kola, kada računamo strujni kapacitet za logičku jedinicu iznosi V_{IH} , prema postavci zadatka.

Strujni kapacitet I_{CAP0} određujemo prema jednačini:

$$I_{CAP0} = \beta_{F \min}(I_{R1} + I_{R2} - I_{B4} - I_{R3} - I_{R4})$$

gde su vrednosti struja određene izrazima:

$$I_{R1} = \frac{V_{CC} - V_{BE3} - V_{BE1}}{R_1} = \frac{V_{CC} - 2V_{BE}}{R_1}$$

$$I_{R2} = \frac{V_{CC} - V_{BE3} - V_{BE1} + V_{BC1}}{R_2} = \frac{V_{CC} - 2V_{BE} + V_{D\check{S}}}{R_2}$$

Struje I_{R3} , I_{R4} i I_{B4} su ranije određene.

Vrednosti ulaznih struja date su jednačinama:

$$I_{UL1} = 0$$

$$I_{UL0} = \frac{V_{CC} - V_{OL} - V_{D\check{S}}}{R_1}$$

Faktor grananja na izlazu kola određujemo kao:

$$N = [\min(N_1, N_0)] = \left[\frac{I_{CAP0}}{I_{UL0}} \right]$$

c) Dioda D_3 služi za poboljšanje dinamičkih karakteristika, tj. uključuje se pri prelazu izlaza sa nivoa logičke jedinice na nivo logičke nule. Uloga diode D_3 , ogleda se u činjenici da dioda ubrzava pražnjenje parazitnih kapacitivnosti na izlazu kola, preko tranzistora Q_1 , čime skraćuje vremena t_{pHL} i t_f .

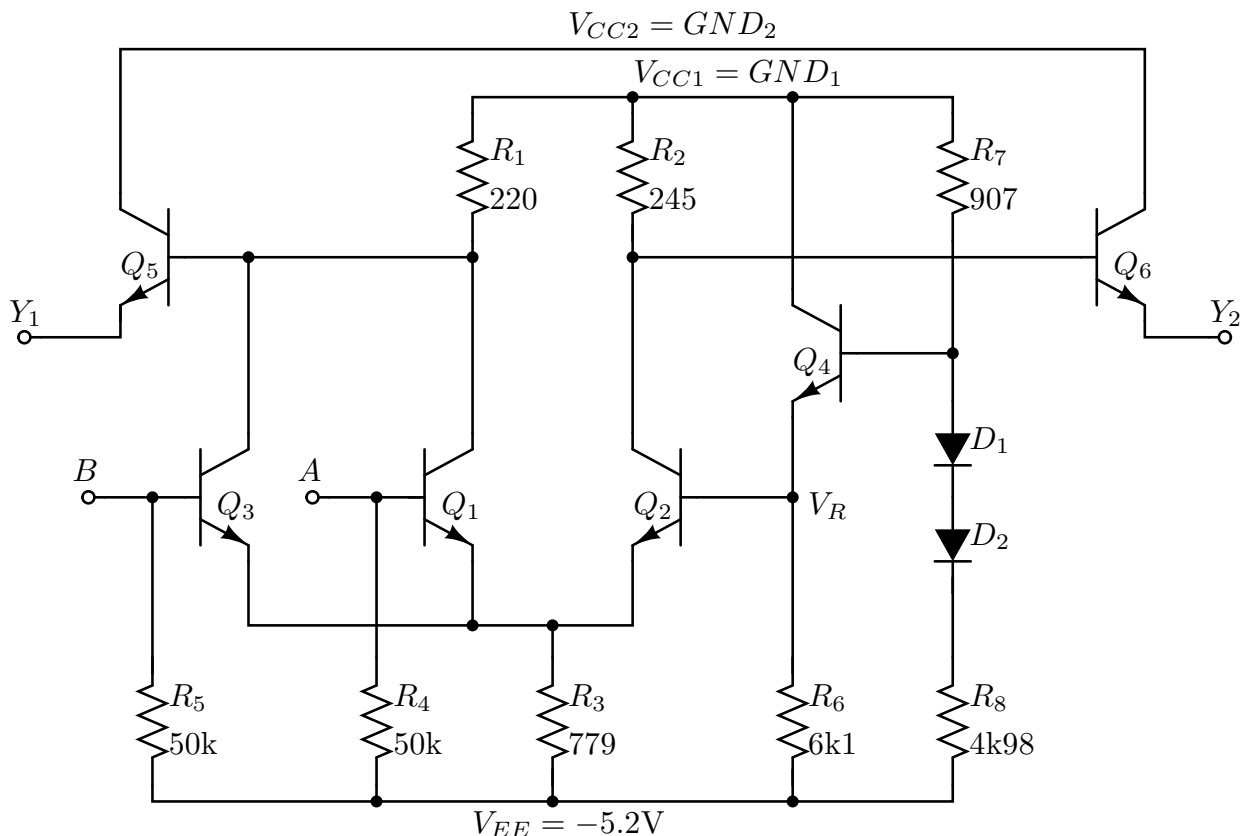
Uloga tranzistora Q_2 , koji za razliku od osnovne konfiguracije *TTL* kola, predstavlja zamenu za otpornik vezan između baze i emitera izlaznog tranzistora, jeste da poboljša i statičke i dinamičke karakteristike kola. Ubacivanjem tranzistora Q_2 povećana je vrednost napona V_{IL} čime je povećana margina šuma za logičku nulu. Sa druge strane, ubrzava se proces kočenja tranzistora Q_3 , prilikom prelaska izlaza sa logičke nule na jedinicu, tako što se višak nosilaca iz baze tranzistora Q_3 prazni preko struje tranzistora Q_2 , čime se skraćuju vremena t_{pLH} i t_r .

Zadatak 5

Za dvoulazno logičko kolo iz *ECL 10K* familije, dato na slici 5.1 odrediti:

- Logičku funkciju kola i režime rada svih tranzistora za sve kombinacije logičkih nivoa na ulazu kola.
- Nacrtati karakteristike prenosa logičkog kola ($V_{Y1}(V_U)$ i $V_{Y2}(V_U)$) i odrediti margine šuma kola u slučaju višestrukog izvora šuma.

Poznato je: $V_{BE} = V_D = 0.75V$, $V_\gamma = V_{\gamma D} = 0.7V$, $V_{CES} = 0.2V$, $V_{BES} = 0.8V$, $\beta_F = 100$.



Slika 5.1: Dvoulazno logičko kolo iz *ECL 10K* familije

REŠENJE:

a) Za $A = 0$, $B = 0$, tranzistori Q_1 i Q_3 su zakočeni, tranzistor Q_2 , koji radi u DAR -u, vodi svu struju otpornika R_3 . Napon na izlazu Y_1 dat je izrazom 5.1, obzirom da izlaz Y_1 nije opterećen.

$$V_{Y1} = V_{CC1} - V_{BE5} = V_{CC1} - V_\gamma = V_{OH1} \quad (5.1)$$

Dakle, izlaz Y_1 je na visokom logičkom nivou, tj. $Y_1 = 1$.

Napon na izlazu Y_2 dat je izrazom 5.2, dok je struja I_{R2} određena izrazom 5.3, obzirom da tranzistor Q_2 radi u DAR -u.

$$V_{Y2} = V_{CC1} - R_2 I_{R2} - V_{BE6} = V_{CC1} - R_2 I_{R2} - V_\gamma = V_{OL2} \quad (5.2)$$

$$I_{R2} \approx I_{R3} = \frac{V_R - V_{BE2} - V_{EE}}{R_3} \quad (5.3)$$

Referentni napon V_R određujemo na osnovu jednačine:

$$V_R = V_{EE} + 2V_D + \frac{V_{CC1} - V_{EE} - 2V_D}{R_8 + R_9} R_8 - V_{BE}$$

Dakle, izlaz Y_2 je na niskom logičkom nivou, tj. $Y_2 = 0$.

Za $A = 0$, $B = 1$, tranzistori Q_1 i Q_2 su zakočeni, tranzistor Q_3 , koji radi u DAR -u ili zasićenju u zavisnosti od vrednosti ulaznog napona V_B (pogledati rešenje iz tačke **b**), vodi svu struju otpornika R_3 .

Napon na izlazu Y_1 biće:

$$\begin{aligned} V_{Y1} &= V_{CC1} - R_1 I_{R1} - V_{BE5} = V_{OL1} \\ I_{R1} &\approx I_{R3} = \frac{V_B - V_{BE3} - V_{EE}}{R_3} \end{aligned} \quad (5.4)$$

U izrazu 5.4, V_B predstavlja vrednost napona na ulazu B logičkog kola sa slike.

Dakle, dobijamo da izlaz Y_1 na niskom logičkom nivou, tj. $Y_1 = 0$.

Kako je tranzistor Q_2 zakočen, vrednost izlaznog napona V_{Y2} data je izrazom:

$$V_{Y2} = V_{CC1} - V_{BE6} = V_{CC1} - V_\gamma = V_{OH2}$$

Dakle, izlaz Y_2 je na visokom logičkom nivou, tj. $Y_2 = 1$.

Vrednosti napona V_{OH1} i V_{OH2} su iste, dok se vrednosti napona V_{OL1} i V_{OL2} , izračunate na ovaj način razlikuju, obzirom da se otpornosti R_1 i R_2 razlikuju.

Za $A = 1$, $B = 0$ i za $A = 1$, $B = 1$, situacija je ista kao i u slučaju $A = 0$, $B = 1$, osim što vodi tranzistor Q_1 , odnosno tranzistori Q_1 i Q_3 . Izlaz Y_1 je na niskom logičkom nivou, a izlaz Y_2 je na visokom logičkom nivou.

Logička funkcija izlaza Y_1 je $NILI$ funkcija, tj. $Y_1 = \overline{A + B}$. Logička funkcija izlaza Y_2 je ILI funkcija, tj. $Y_2 = A + B$.

b) Za određivanje karakteristike prenosa izlaza Y_1 i Y_2 menjaćemo napona na ulazu A u opsegu od napona V_{EE} do napona $V_{CC} = V_{CC1} = V_{CC2}$. Ulaz B je na neaktivnom logičkom nivou, tj. $B = 0$. Za vrednost ulaznog napona $V_A \approx V_{EE}$ izlaz $Y_1 = 1$, dok je $Y_2 = 0$. Pri naponu $V_A = V_R - V_{BE2} + V_{BE1} = V_R - V_{BE} + V_\gamma$ provešće tranzistor Q_1 . Sa daljim povećanjem napona na ulazu A , tranzistor Q_1 će preuzimati sve veći deo struje koja teče kroz otpornik R_3 , odnosno, napon na izlazu Y_1 će padati, dok će napon na izlazu Y_2 rasti. Kada napon na ulazu dostigne vrednost $V_A = V_R - V_{BE2} + V_{BE1} = V_R - V_\gamma + V_{BE}$, ulazni tranzistor Q_1 će voditi svu struju koja teče kroz otpornik R_3 , dok će tranzistor Q_2 biti zakočen. Izlaz $Y_1 = 0$, izlaz $Y_2 = 1$.

Daljim povećavanjem napona na ulazu A , opadaće napon na izlazu Y_1 , obzirom da će se povećavati struja I_{R3} , tj. I_{R1} , odnosno pad napona na otporniku R_1 . Izlazni napon V_{Y1} biće, funkcija ulaznog napona V_A , definisan izrazom:

$$V_{Y1} = V_{CC1} - R_1 \frac{V_A - V_{BE1} - V_{EE}}{R_3} - V_{BE5} = -R_1 \frac{V_A - V_{BE} - V_{EE}}{R_3} - V_\gamma$$

Daljim povećavanjem ulaznog napona napon V_{E1} će rasti, dok će napon V_{C1} padati, sve do granice *DAR*-zasićenje tranzistora Q_1 . Kada napon V_A dostigne vrednost V_{A1} definisanu izrazom:

$$V_{A1} = V_{CC1} - \frac{R_1}{R_1 + R_3}(V_{CC1} - V_{CE1} - V_{EE}) - V_{CE1} + V_{BE1} =$$

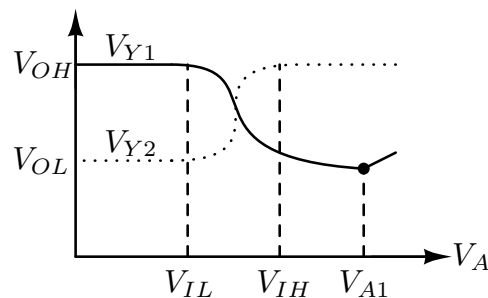
$$= -\frac{R_1}{R_1 + R_3}(-V_{CES} - V_{EE}) - V_{CES} + V_{BES}$$

tranzistor Q_1 će raditi u zasićenju.

Sa daljim povećavanjem ulaznog napona, naponski nivo na izlazu Y_1 će rasti, prema izrazu:

$$V_{Y1} = V_A - V_{BES} + V_{CES} - V_\gamma$$

Karakteristike prenosa logičkog kola sa slike 5.1 date su na slici 5.2.



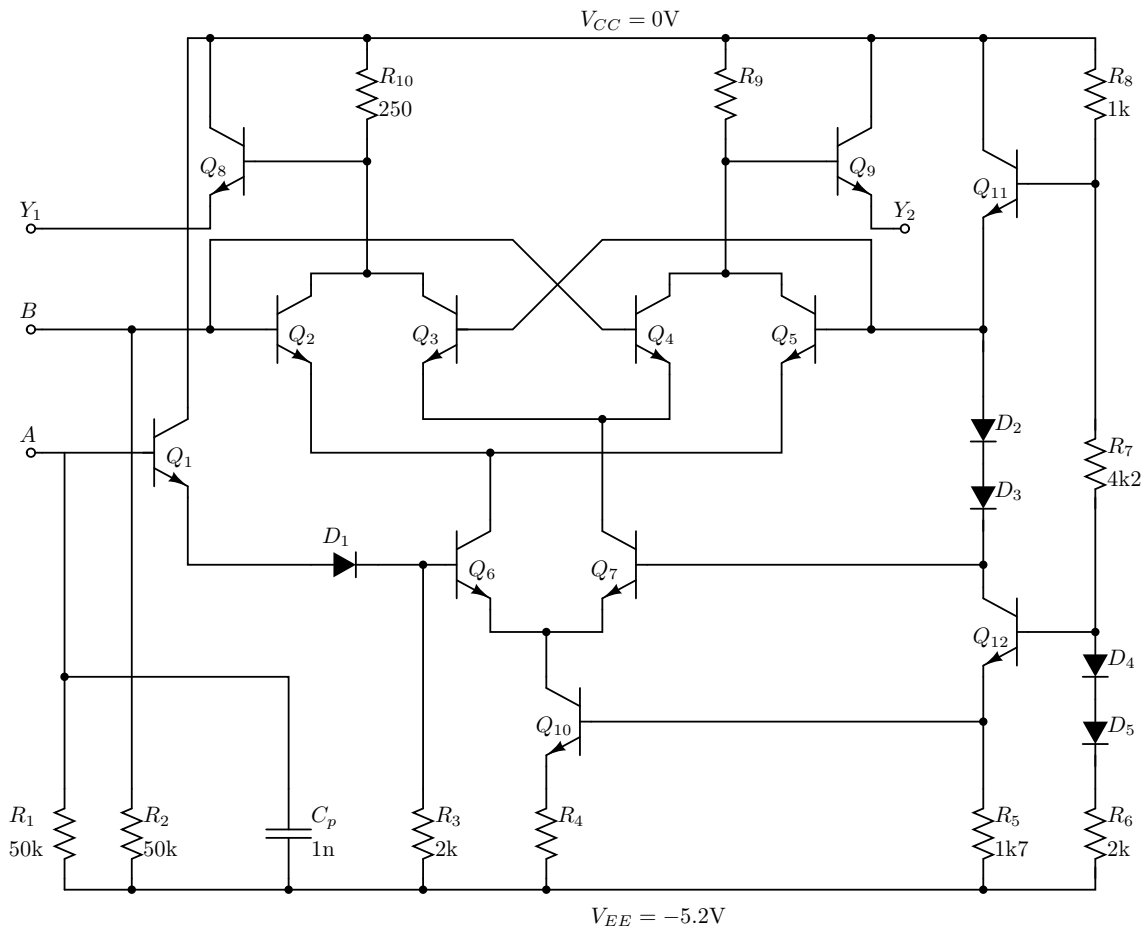
Slika 5.2: Karakteristika prenosa logičkog kola sa slike 5.1

Zadatak 6

a) Za dvoulazno *ECL* logičko kolo dato na slici 6.1, odrediti logičke funkcije izlaza Y_1 i Y_2 i režime rada svih tranzistora.

b) Odrediti vrednosti otpornika R_9 i R_4 tako da margine šuma, u slučaju višestrukog izvora šuma, za logičku nulu i jedinicu, budu jednake, a logički nivoi na ulazu i izlazu kola kompatibilni.

Poznato je: $V_{BE} = V_D = 0.7V$, $V_\gamma = V_{\gamma D} = 0.6V$, $V_{CES} = 0.2V$, $V_{BES} = 0.8V$, $\beta_F = 50$.



Slika 6.1: Dvoulazno ECL logičko kolo

REŠENJE:

a) Za $A = 0$ i $B = 0$, tranzistori Q_1 , Q_6 , Q_2 i Q_4 biće zakočeni. Tranzistor Q_7 vodi svu struju strujnog izvora, tj. tranzistora Q_{10} . Tranzistori Q_3 i Q_5 su polarisani da vode, preko kola u bazi tranzistora Q_5 , pa će tranzistor Q_3 voditi svu struju tranzistora Q_7 , odnosno tranzistora Q_{10} . Naponski nivo na izlazu Y_1 određen je izrazom:

$$V_{Y1} = V_{CC} - R_{10}I_{C3} - V_{BE8} \quad (6.1)$$

Obzirom na veliko strujno pojačanje i činjenicu da tranzistori Q_3 , Q_7 i Q_{10} rade u DAR-u, struja I_{C3} imaće vrednost:

$$I_{C3} \approx I_{C7} \approx I_{C10} \approx I_{R4}$$

Sa druge strane, struja strujnog izvora, tj. struja I_{R4} data je izrazom:

$$I_{R4} = \frac{V_{B10} - V_{EE} - V_{BE10}}{R_4} = \frac{V_{B10} - V_{EE} - V_{BE}}{R_4} \quad (6.2)$$

Vrednost napona V_{B10} određujemo, sa zanemarivanjem baznih struja tranzistora Q_{12} i Q_{11} , prema izrazu:

$$\begin{aligned} V_{B10} &= V_{EE} + R_6 \frac{V_{CC} - V_{EE} - V_{D4} - V_{D5}}{R_8 + R_7 + R_6} + V_{D4} + V_{D5} - V_{BE12} = \\ &= V_{EE} + R_6 \frac{V_{CC} - V_{EE} - 2V_D}{R_8 + R_7 + R_6} + V_D \end{aligned}$$

Dakle, izlaz Y_1 će biti na niskom logičkom nivou. Vrednost napona na izlazu Y_1 , prema izrazu 6.1, biće jednaka:

$$V_{Y1} = V_{CC} - R_{10}I_{R4} - V_{\gamma} = V_{OL}$$

Napon V_{BE9} uzimamo da je kod neopterećenog logičkog *ECL* kola jednak V_{γ} . Inače, prilikom određivanja naponskih nivoa logičke jedinice i nule na izlazu *ECL* kola, uzima se da je kolo na izlazu opterećeno ulazom kola istog tipa. U našem slučaju posmatramo kao da je na izlazu kola vezan otpornik $R = 50k\Omega$, što povlači da je struja izlaznog tranzistora koji radi u *DAR*-u mala, pa uzimamo da je vrednost napona između baze i emitera izlaznog tranzistora bliska prekidnom naponu V_{γ} (u literaturi se uzima i vrednost V_{BE}).

Izlaz Y_2 je na visokom logičkom nivou, obzirom da su tranzistori Q_4 i Q_6 zakočeni, dok je struja tranzistora Q_5 zanemarljiva, obzirom da je tranzistor Q_6 zakočen.

$$V_{Y2} = V_{CC} - V_{BE9} = V_{CC} - V_{\gamma} = V_{OH}$$

Za $A = 0$ i $B = 1$, tranzistori Q_1 , Q_6 , Q_3 i Q_5 biće zakočeni. Tranzistor Q_7 vodi svu struju strujnog izvora i preko tranzistora Q_4 obara izlaz Y_2 na vrednost V_{OL} . Sa druge strane, izlaz Y_1 biće na visokom logičkom nivou, obzirom da su zakočeni tranzistori Q_6 i Q_3 . Dakle $V_{Y1} = V_{OH}$.

Za $A = 1$ i $B = 0$, tranzistori Q_7 , Q_2 i Q_4 biće zakočeni. Tranzistor Q_6 vodi svu struju strujnog izvora i preko tranzistora Q_5 obara izlaz Y_2 na vrednost V_{OL} . Sa druge strane, izlaz Y_1 biće na visokom logičkom nivou.

Za $A = 1$ i $B = 1$, tranzistori Q_7 , Q_3 i Q_8 biće zakočeni. Tranzistor Q_6 vodi svu struju strujnog izvora i preko tranzistora Q_2 obara izlaz Y_1 na vrednost V_{OL} . Sa druge strane, izlaz Y_2 biće na visokom logičkom nivou jer su tranzistori Q_7 i Q_5 zakočeni.

Logičke funkcije izlaza Y_1 i Y_2 biće date izrazima:

$$Y_1 = A \oplus B$$

$$Y_2 = \overline{A \oplus B}$$

Dakle, logičko kolo sa slike 6.1 predstavlja *EXILI/EXNILI* kolo u *ECL* tehnologiji.

b) Da bi logički nivoi na oba izlaza bili isti, neophodno je odrediti karakteristične tačke na karakteristikama prenosa za oba izlaza u odnosu na oba ulaza. Kod posmatranog kola, ulazi A i B nisu isti sa stanovišta konfiguracije ulaznog kola, pa je potrebno odrediti vrednosti ulaznih napona V_{IL} i V_{IH} u odnosu na ulaz A i posebno u odnosu na ulaz B .

Naponski nivoi na izlazu Y_1 kola dati su izrazima:

$$V_{OL}|_{Y1} = V_{CC} - R_{10}I_{R4} - V_{\gamma}$$

$$V_{OH}|_{Y1} = V_{CC} - V_{\gamma}$$

Slično, naponski nivoi na izlazu Y_2 kola dati su izrazima:

$$V_{OL}|_{Y2} = V_{CC} - R_9I_{R4} - V_{\gamma}$$

$$V_{OH}|_{Y2} = V_{CC} - V_{\gamma}$$

Dakle, naponski nivoi na oba izlaza biće isti u slučaju ako je vrednost otpornika $R_{10} = R_9 = 250\Omega$.

Sada posmatramo vrednost napona V_{IL} računatu prema ulazu A ili B .

U opštem slučaju, ukoliko se vrednosti V_{IL} razlikuju u zavisnosti koji se ulazni priključak posmatra, za relevantnu vrednost uzima se najrestriktivniji slučaj, odnosno najmanja izračunata vrednost napona V_{IL} , odnosno:

$$V_{IL} = \min\{V_{IL}|_A, V_{IL}|_B, \dots\}$$

Slično, ukoliko određujemo relevantnu vrednost napona V_{IH} , uzećemo, takođe, najrestriktivniji slučaj, koji sada odgovara najvećoj vrednosti V_{IH} za sve ulazne priključke logičkog kola. Dakle, biće:

$$V_{IH} = \max\{V_{IH}|_A, V_{IH}|_B, \dots\}$$

U slučaju kola sa slike 6.1, za vrednost napona V_{IL} (određen trenutkom uključivanja tranzistora Q_6), računatu u odnosu na ulazni priključak A , imaćemo:

$$V_{IL}|_A = V_{B7} - V_{BE7} + V_{BE6} + V_{D1} + V_{BE1} = V_{B7} - V_{BE} + V_{\gamma} + V_D + V_{BE} \quad (6.3)$$

Za vrednost napona V_{BE1} uzeta je vrednost V_{BE} obzirom da tranzistor Q_1 počinje da vodi već pri naponu:

$$V_A|_{T1:ZAK \rightarrow DAR} = V_{EE} + V_{D1} + V_{BE1} = V_{EE} + V_{D1} + V_{\gamma}$$

Slično, napon V_{IL} (određen trenutkom uključivanja tranzistora Q_2), u odnosu na ulazni priključak B , imaće vrednost datu izrazom:

$$V_{IL}|_B = V_{B5} - V_{BE5} + V_{BE2} = V_{B5} - V_{BE} + V_{\gamma} \quad (6.4)$$

Sa druge strane za vrednosti referentnih napona V_{B7} i V_{B5} imamo da važi:

$$V_{B5} = V_{B7} + 2V_D \quad (6.5)$$

Obzirom da je $V_{BE} = V_D$, zamenom izraza 6.5 u jednačinu 6.4, dobijamo da važi:

$$V_{IL}|_A = V_{IL}|_B = V_{IL}$$

Na sličan način za vrednosti V_{IH} dobijamo:

$$V_{IH}|_A = V_{B7} - V_{BE7} + V_{BE6} + V_{D1} + V_{BE1} = V_{B7} - V_{\gamma} + V_{BE} + V_D + V_{BE}$$

$$V_{IH}|_B = V_{B5} - V_{BE5} + V_{BE2} = V_{B5} - V_{\gamma} + V_{BE}$$

Na osnovu izraza 6.5, zaključujemo:

$$V_{IH}|_A = V_{IH}|_B = V_{IH}$$

Uslov iz teksta zadatka, svodi se na izraz:

$$NM_1 = V_{OH} - V_{IH} = NM_0 = V_{IL} - V_{OL} \quad (6.6)$$

Izraz 6.6, ekvivalentan je izrazu:

$$V_{OH} + V_{OL} = V_{IL} + V_{IH}$$

Odnosno:

$$2V_{CC} - R_{10}I_{R4} - 2V_{\gamma} = 2V_{B5} \quad (6.7)$$

Napon V_{B5} određujemo na osnovu izraza:

$$V_{B5} = V_{CC} - R_8 \frac{V_{CC} - V_{EE} - V_{D4} - V_{D5}}{R_8 + R_7 + R_6} + V_{BE11} = \quad (6.8)$$

$$V_{CC} - R_8 \frac{V_{CC} - V_{EE} - 2V_D}{R_8 + R_7 + R_6} + V_{BE}$$

Na osnovu izraza 6.2, 6.7 i 6.8, određujemo vrednost otpornosti R_4 .
