

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

K1 - Zadatak 1 (a - 8, b - 2, c - 5 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze, a zatim ih sortirati u opadajućem poretku

$$A = 123_{4_{KMV}} + 321_{4_{KMV}} \quad (\text{na raspolaganju 3 cifre})$$

$$B = 01111011_{KO} + 01011001_{KO} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 110.11_{KO} * 10.101_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 0111\ 0011_{BCD} + 1001\ 0110_{BCD} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

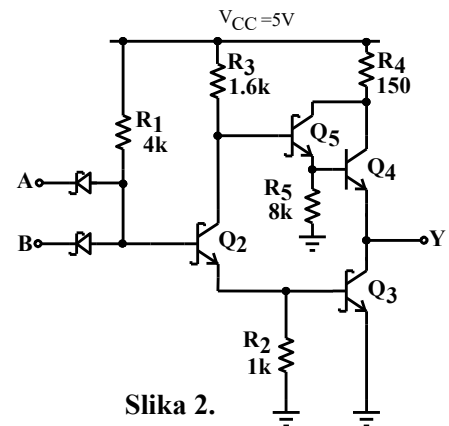
b) Prilikom prenosa poruka koristi se Hamingov kod sa minimalnim rastojanjem 4. Koliko je maksimalno grešaka moguće korigovati a koliko detektovati (pri čemu je korekcija grešaka prioritet)?

c) Ukoliko je primljena poruka 01101010100 koja je na predaji zaštićena Hamingovim kodom minimalnog rastojanja 4, odrediti decimalnu vrednost poslate poruke ukoliko je to moguće. Detaljno obrazložiti odgovor.

K1 - Zadatak 2 (a - 5, b - 5, c - 6, d - 4 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti margine šuma u slučaju višestrukih izvora šuma.
- Odrediti faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .
- Odrediti kašnjenje t_{pHL} ako je kolo opterećeno sa $C = 100nF$ na izlazu.



Slika 2.

Poznato je:

$$V_{BE} = 0.7\text{ V}, V_{\gamma} = 0.65\text{ V}, V_{BE3} = 0.6\text{ V}, V_{\gamma3} = 0.55\text{ V}, V_{D\delta} = 0.3\text{ V}, \beta_F = 60$$

K1 Zadatak 3 (a -2, b - 4, c - 4, d - 5 poena)

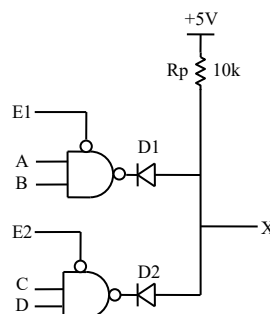
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?

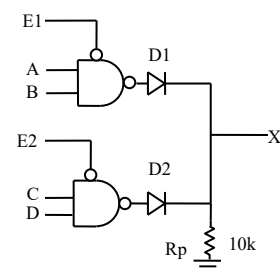
b) Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik R_p i ostavi otvorena veza.



Slika 3a.



Slika 3b.

K2 - Zadatak 4 (a – 5, b – 5, c – 3, d – 2, e – 5 poena)

Poznato je:

$$W_n = 180\text{nm}, L_n = L_p = 180\text{nm}, \mu_n = 417 \frac{\text{cm}^2}{\text{Vs}}, \mu_p = 85 \frac{\text{cm}^2}{\text{Vs}}, V_{Tn} = 0.45\text{V}, V_{Tp} = -0.45\text{V},$$

$$k_n = 351 \times 10^{-6} \frac{\text{A}}{\text{V}^2}, k_p = 71 \times 10^{-6} \frac{\text{A}}{\text{V}^2}, v_{nsat} = v_{psat} = v_{sat} = 8 \times 10^6 \frac{\text{cm}}{\text{s}},$$

$$k_{\lambda n} = 0 \frac{\mu\text{m}}{\text{V}}, k_{\lambda p} = 0 \frac{\mu\text{m}}{\text{V}}, E_{Cn} = 3.8 \times 10^4 \frac{\text{V}}{\text{cm}}, E_{Cp} = 18.8 \times 10^4 \frac{\text{V}}{\text{cm}}, \gamma = 1, V_{DD} = 2.7\text{V}$$

- odrediti širinu kanala W_p tako da prag odlučivanja logičkog CMOS invertora, V_S , bude približno jednak polovini napona napajanja;
- izvesti izraze i izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja;
- izračunati struju kratkog spoja u CMOS invertoru iz tačke a)
- kako se menjaju rezultati u tački b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.
- izračunati disipaciju kratkog spoja u CMOS invertoru iz tačke a, ako se na ulazu nalazi signal učestanosti 1GHz, čije je vreme uspona i pada jednako 10ps.

K2 - Zadatak 5 (a – 5, b – 5, c – 5 poena)

- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = (D + (A + C)\overline{C})(C + (\overline{A} + B)(A + C))(\overline{A} + B + \overline{C})$. Nije dozvoljeno minimizovati funkciju. Dostupne su i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
- Realizovati funkciju Y kao višestepeno dinamičko kolo u domino logici. Na raspolaganju su isključivo dvoulazna jednostepena kola. Težiti da realizacija bude minimalne kompleksnosti.
- Minimizovati funkciju Y tako da je pogodna za realizaciju pomoću NI logičkih kola. Da li kod dobijene minimalne realizacije moguća pojava lažne jedinice? Ako jeste, modifikovati funkciju tako da se eliminiše pojava lažne jedinice.

K2 - Zadatak 6 (a – 4, b – 3, c – 3 d – 5 poena)

- Projektovati kombinacionu mrežu koja sabira dva 1-bitna broja A i B uz ulazni prenos C_{in} . Na izlazu se generiše zbir Y i izlazni prenos C_{out} .
- Realizovati kolo iz prethodne tačke korišćenjem bilateralnih prekidača.
- Ukoliko se kolo iz tačke a) koristi kao blok (nije dozvoljena modifikacija interne strukture), projektovati 4-bitni sabirač.
- Projektovati kolo koje sabira dva 8-bitna BCD broja. Na raspolaganju su kola projektovana u prethodnim tačkama, komparatori, multiplekseri i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.