

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**U1 - Zadatak 1 (a - 8, b - 7 poena)**

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze:

$$A = 10101_{KO} - 11110_{KO} \quad (\text{na raspolaganju 5 cifara})$$

$$B = 10011_{KMV} + 101_{KMV} \quad (\text{na raspolaganju 5 cifara})$$

$$C = 1011010 / 110 \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D_3 = 1021_3 + 32_9 \quad (\text{na raspolaganju proizvoljan broj cifara})$$

*Napomena:* Potrebno je postupno i detaljno izračunati vrednosti, bez prelazanja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Binarnu poruku 10110111 zaštititi Hamming-ovim kodom sa rastojanjem 4. Koliko grešaka je moguće detektovati a koliko korigovati korišćenjem ovog koda?

**U1 - Zadatak 2 (a - 6, b - 3, c - 6, d - 5 poena)**

Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola  $Y=f(A,B)$ .

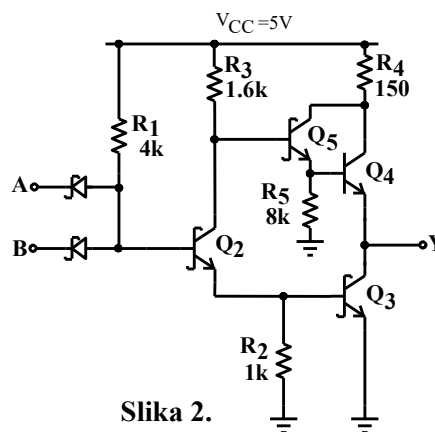
b) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .

c) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

d) Odrediti kašnjenje  $t_{pHL}$  ako je kolo opterećeno sa  $C=100nF$  na izlazu.

**Poznato je:**

$$V_{BE} = 0.7V, V_{\gamma} = 0.6V, V_{DS} = 0.2V, \beta_F = 60$$



Slika 2.

**U1 - Zadatak 3 (a - 5, b - 5, c - 5)**

Da li, i pod kojim uslovima, smeju da se spoje izlazi logičkih kola urađeni u sledećim tehnologijama:

- a) TTL kola;
- b) pseudo NMOS;
- c) CMOS.

Nacrtati primere i obrazložiti odgovore.

---

**U2 - Zadatak 4 (a – 7, b – 5, c - 5, d – 3 poena)**

Tehnološki parametri izrade MOS tranzistora su:  $L=200nm$ ,  $\mu_n C_{ox}=210\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_c L_n=1.2V$ ,  $E_c L_p=4.8V$ ,  $\lambda=0.04V^{-1}$ .

Za kolo CMOS invertora sa  $V_{DD}=2.7V$ ,  $W_n=400nm$ :

- odrediti širinu kanala  $W_p$  tako da napon  $V_S$  bude približno jednak polovini napona napajanja;
- približno nacrtati karakteristiku prenosa i odrediti napone  $V_{OH}$ ,  $V_{OL}$ ,  $V_S$  i napisati izraze na osnovu kojih se izračunavaju vrednosti napona  $V_{IH}$  i  $V_{IL}$ ;
- izvesti izraze i izračunati dinamičke otpornosti  $p$  i  $n$  kanalnog tranzistora potrebne za procenu kašnjenja.
- kako se menjaju rezultati u tački b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.

---

**U2 - Zadatak 7 (10 poena)**

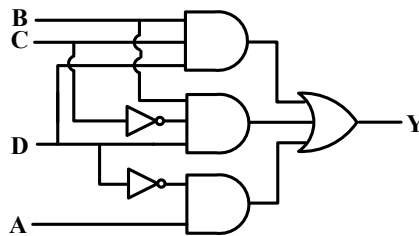
Projektovati kolo multipleksera koji ima 8 selekcionih signala sa aktivnim logičkim nulama, tako da maksimalno kašnjenje izlaznih signala bude što minimalnije. Na raspolaganju su standardna logička kola malog stepena integracije sa jednim, dva ili tri ulaza. Težiti da broj upotrebljenih čipova bude minimalan. Ako je vreme propagacije signala kroz logička kola  $t_p$ , izračunati vreme propagacije signala kroz multiplekser.

---

**U2 - Zadatak 6 (a - 3, b – 2, c – 2, d –3 poena)**

a) Za funkciju realizovanu na slici 6. odrediti pri kojim prelazima dolazi do pojave lažne nule. Skicirati jedan od njih.

b) Izvršiti modifikaciju realizacije sa slike tako da ne postoji mogućnost generisanja lažne nule.



Slika 6.

c) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y$ . Težiti da broj upotrebljenih tranzistora bude minimalan. Dostupne su i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .

d) Realizovati funkciju  $Y$  u domino logici ako su na raspolaganju dvoulazna I i ILI kola. Dostupne su i negacije ulaznih promenljivih.

---

**U2 - Zadatak 7 (10 poena)**

Ako su A i B neoznačeni dvobitni binarni brojevi projektovati kombinacionu mrežu koja na izlazu generiše neoznačeni petobitni binarni broj  $Y = \min\{2(A \cdot |B - 2|), B(A / 2 + 2)\}$ .

Na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.