

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze:

$$A = 00101_{KO} + 01110_{KO} + 10110_{KO} \quad (\text{na raspolaganju 5 cifara})$$

$$B = 10011_{KMV} - 01000_{KMV} \quad (\text{na raspolaganju 5 cifara})$$

$$C = 101.10_{KO} * 011.01_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 421_{5_KO} + 042_{5_KO} \quad (\text{na raspolaganju 3 cifre})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Na prijem je stigla poruka 1111100100 pri čemu se na predaji koristi zaštita kodovanjem poruka Hamming-ovim kodom sa rastojanjem 3. Poslati podatak je označeni broj predstavljen u binarnom brojnem sistemu u komplementu maksimalne vrednosti. Odrediti vrednost poslatog podatka.

U1 - Zadatak 2 (a - 5, b - 6, c - 3, d - 6 poena)

Za logičko kolo sa slike 2:

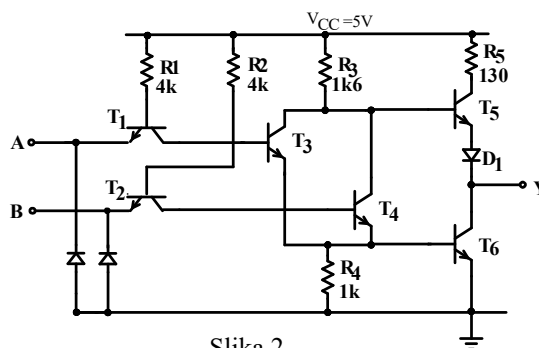
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.

b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

c) Odrediti karakteristiku prenosa za lanac ovakvih kola, pri čemu se u lancu nalazi neparan broj kola.

d) Odrediti strujne kapacitete kao i faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_T=0.6V$, $V_{BES}=0.8V$, $V_{CES}=0.2V$, $\beta_F=50$, $\beta_R=0.1$



Slika 2.

U1 Zadatak 3 (a -2, b - 4, c - 4, d - 5 poena)

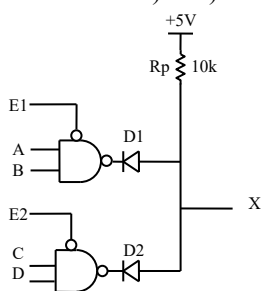
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?

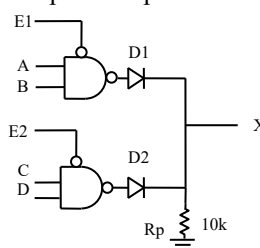
b) Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik Rp i ostavi otvorena veza.



Slika 3a.



Slika 3b.

U2 - Zadatak 4 (a – 7, b – 2, c – 2, d – 3, e- 6poena)

Poznato je: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=240\mu A/V^2$, $\mu_p C_{ox}=80\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $\gamma=1$, $V_{DD}=3.3V$.

- Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.
- Za odnose širina kanala iz tačke a) izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati prag odlučivanja logičkog kola.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=500pF$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps pri naponu napajanja $V_{DD}=2.7V$. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja $V_{DD}=3.3V$?

U2 - Zadatak 5 (10 poena)

- Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera 6/64.

U2 - Zadatak 6 (a - 3, b - 3, c - 2, d -2 poena)

- Odrediti $Y = f(A, B, C, D)$ ukoliko je ABCD četvorobitni Gray-ov binarni kod, a funkcija Y je jednaka jedinici onda kada je vrednost predstavljena Gray-ovim kodom deljiva sa 3.
- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju Y . Dostupne su i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.
- Minimizovati funkciju Y tako da je pogodna za realizaciju pomoću *NILI* logičkih kola. Da li je kod dobijene minimalne realizacije moguća pojava statičkog hazarda? Ako jeste, predložiti modifikaciju kojom se eliminišu statički hazardi.
- Realizovati funkciju Y pomoću bilateralnih prekidača.

U2 - Zadatak 7 (10 poena)

- Realizovati jednobitni potpuni sabirač. Potpuni sabirač na osnovu ulaznih bita A, B i ulaznog prenosa C_i generiše izlaznu sumu S i izlazni prenos C_o .
- Koristeći kolo iz tačke a) realizovati 4-bitni sabirač/oduzimač. Pored ulaznih 4-bitnih signala A, B, uveden je signal *sub/add* (logička 1 u slučaju oduzimanja) kojim se bira između operacija sabiranja i oduzimanja. (Podsetnik: Iskoristiti relaciju $-B = \bar{B} + 1$)
- Koristeći 4-bitni sabirač/oduzimač iz prethodne tačke realizovati 5-bitni sabirač koji vrši operacije nad označenim brojevima datim u predstavi znak plus apsolutna vrednost. Na raspolaganju su kola srednjeg i niskog stepena integracije.