

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze:

$$A = 0110.11_{KMV} - 101.101_{KMV} \quad (\text{na raspolaganju 5 cifara})$$

$$B = 01000011_{BCD} + 01011001_{BCD} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 100101_{KO} * 1011_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 3423_5 / 12_5 \quad (\text{odrediti ceo deo i ostatak deljenja})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Dvocifreni broj zadat u dekadnom brojnom sistemu najpre je kodovan u BCD kodu a zatim je zaštićen Hamming-ovim kodom sa minimalnim rastojanjem 4. Ako je primljena poruka 0111000111011 da li je moguće korigovati nastale greške? Obrazložiti odgovor. Ukoliko je poznato da je poslati broj paran odrediti koji je to broj.

U1 - Zadatak 2 (a - 8, b - 4, c - 5, d - 4 poena)

Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije izlaza

$$Y_1 = f(A, B, C), Y_2 = g(A, B, C).$$

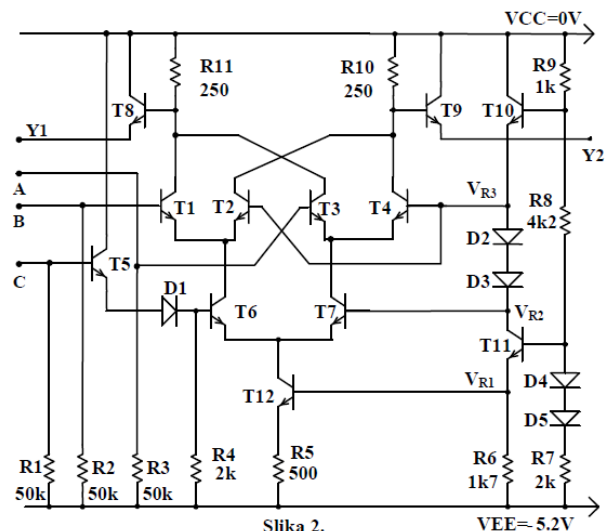
c) Odrediti vrednosti napona V_{R1}, V_{R2}, V_{R3} .

d) Odrediti vrednosti napona logičke jedinice i nule V_{OH} i V_{OL} .

Poznato je:

$$V_{BE} = V_D = 0.7V, V_\gamma = 0.6V, V_{BES} = 0.8V,$$

$$V_{CES} = 0.2V, \beta_F = 50$$



Slika 2.

U1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)

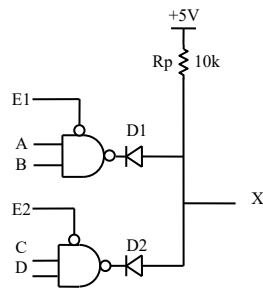
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

a) Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?

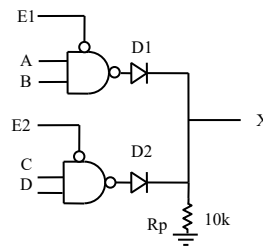
b) Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

c) Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?

d) Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik R_p i ostavi otvorena veza.



Slika 3a.



Slika 3b.

U2 - Zadatak 4 (a – 7, b – 2, c - 2, d – 3, e- 6poena)

Poznato je: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=240\mu A/V^2$, $\mu_p C_{ox}=80\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $\gamma=1$, $V_{DD}=3.3V$.

- Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se inverter koristi u lancu istih invertora.
- Za odnose širina kanala iz tačke a) izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati prag odlučivanja logičkog kola.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=500pF$, na CMOS inverter minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz inverter minimalne geometrije je 50ps pri naponu napajanja $V_{DD}=2.7V$. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja $V_{DD}=3.3V$?

U2 - Zadatak 5 (10 poena)

- Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera 6/64.

U2 - Zadatak 6 (a - 4, b – 2, c – 2, d – 2 poena)

- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju $Y = (AB + \overline{CA})(\overline{B}(C + A) + D)$. Nije dozvoljeno minimizovati funkciju. Dostupne su i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_P : W_N = 2 : 1$.
- Realizovati funkciju $Z = \overline{Y}$ kao višestepeno dinamičko kolo u domino logici ako su na raspolaganju samo dvoulazna I i III kola. Težiti da realizacija bude minimalne kompleksnosti.
- Minimizovati funkciju Y tako da je pogodna za realizaciju pomoću NI logičkih kola. Da li je kod dobijene minimalne realizacije moguća pojava lažne nule? Ako jeste, modifikovati funkciju tako da se eliminiše pojava lažne nule.
- Realizovati funkciju $Z = \overline{Y}$ pomoću bilateralnih prekidača.

U2 - Zadatak 7 (10 poena)

Ako su A, B, C i D 5-bitni označeni binarni brojevi predstavljeni u komplementu maksimalne vrednosti, projektovati kombinacionu mrežu koja na izlazu generiše broj Y koji predstavlja njihov minimum.

Na raspolaganju su 4-bitni komparatori za poređenje neoznačenih brojeva, 4-bitni multiplekseri i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.