

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i dioda su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**U1 - Zadatak 1 (a - 8, b - 6 poena)**

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u opadajućem poretku

$$A = 421_{5_{KO}} + 042_{5_{KO}}$$

$$B = 10001_{ZA} + 01110_{ZA}$$

$$C = (011.01_{KMV} + 101.11_{KMV}) * (10.101_{KMV} - 10.000_{KMV})$$

$$D = 3415_8 / 15A_{16}$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, **bez prelaženja u decimalni sistem**, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Pri očitavanju platne kartice na bankomatu podatak o unetom sigurnosnom pinu se predstavlja u Gray BCD predstavi, a zatim koduje Hamming-ovim kodom sa rastojanjem 4 i prosleđuje banci. Ukoliko je uneti pin 8721 postupno generisati podatak koji se prosleđuje banci.

**U1 - Zadatak 2 (a - 8, b - 4, c - 5, d - 4 poena)**

Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno.

b) Odrediti logičke funkcije izlaza

$$Y_1 = f(A, B, C), Y_2 = g(A, B, C).$$

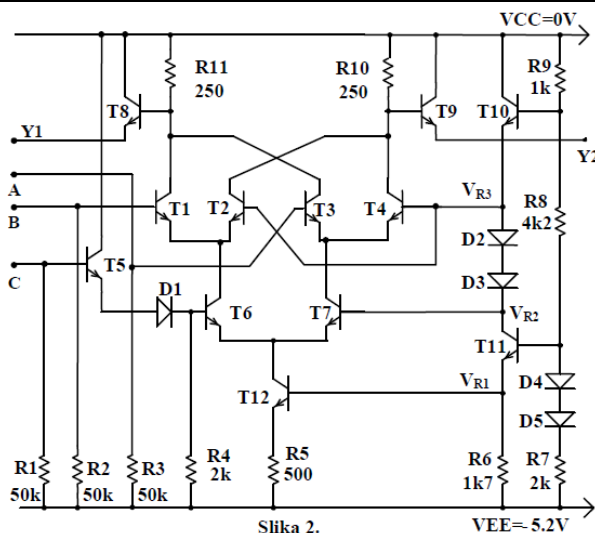
c) Odrediti vrednosti napona  $V_{R1}, V_{R2}, V_{R3}$ .

d) Odrediti vrednosti napona logičke jedinice i nule  $V_{OH}$  i  $V_{OL}$ .

**Poznato je:**

$$V_{BE} = V_D = 0.7V, V_Y = 0.6V, V_{BES} = 0.8V,$$

$$V_{CES} = 0.2V, \beta_F = 50$$



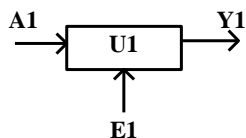
Slika 2.

**U1 - Zadatak 3 (a - 10, b - 5 poena)**

Na raspolaganju su dve komponente U1 i U2, prikazane na slici 3a, čije su funkcije definisane funkcionalnim tabelama na slici 3b.

a) Nacrtati trostački invertor, prikazan na slici 3c, korišćenjem komponenti U1, U2 i otpornika.

b) Nacrtati vremenski dijagram izlaznog signala Y kola sa slike 3c, ako se signali A i E menjaju kao na slici 3d. Označiti vremenske parametre kašnjenja.

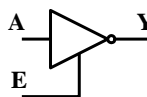


Slika 3a

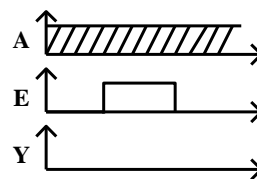
E1	A1	Y1
0	X	Z
1	0	1
1	1	Z

E2	A2	Y2
1	X	Z
0	0	Z
0	1	0

Slika 3b



Slika 3c



Slika 3d

---

**U2 - Zadatak 4 (a - 7, b - 3, c - 2, b - 3 poena)**

**a)** Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala  $p$  kanalnog tranzistora, ako je poznato:  $W_n=400\text{nm}$ ,  $L=200\text{nm}$ ,  $\mu_n C_{ox}=210\mu\text{A/V}^2$ ,  $\mu_p C_{ox}=70\mu\text{A/V}^2$ ,  $C_{ox}=1\mu\text{F/cm}^2$ ,  $V_{Tn}=0.4\text{V}$ ,  $V_{Tp}=-0.3\text{V}$ ,  $E_{cn}L_n=1.2\text{V}$ ,  $E_{cp}L_p=4.8\text{V}$ ,  $\gamma=1$ .

**b)** U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=1000\text{pF}$ , na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti  $C_i=5\text{fF}$ , izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je  $50\text{ps}$ . Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?

**c)** Ako su podaci za invertore u tački b) sa naponom napajanja  $V_{DD}=3.3\text{V}$  kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja  $V_{DD}=1.65\text{V}$ .

**d)** Izračunati prag odlučivanja logičkog kola iz tačke a) pri naponu napajanja  $1.65\text{V}$ .

---

**U2 - Zadatak 5 (a - 6, b - 3, c - 3, d - 5 poena)**

**a)** Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = f(A, B, C, D)$ , gde je  $Y = 1$  ukoliko je ABCD validan kod u predstavi BCD2421, a  $Y = 0$  ukoliko nije. Na ulazu su dostupne i negacije ulaznih promenljivih. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p:W_n = 2:1$ .

**b)** Realizovati funkciju  $Y$  koristeći transmisione gejtove.

**c)** Realizovati funkciju  $Z = \bar{Y}$  ukoliko su na raspolaganju samo multiplekseri 4u1. Na ulazu su dostupne samo prave vrednosti promenljivih.

**d)** Za funkciju  $Z = \bar{Y}$  odrediti pri kojim prelazima se javljaju statički hazardi. Ilustrovati vremenskim dijagramom jedan slučaj pojave hazarda.

*Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.*

---

**U2 - Zadatak 6 (10 poena)**

Projektovati kolo multipleksera koji ima 8 selekcionih signala sa aktivnim logičkim nulama, tako da maksimalno kašnjenje izlaznih signala bude što minimalnije. Na raspolaganju su standardna logička kola malog stepena integracije sa jednim, dva ili tri ulaza. Težiti da broj upotrebljenih čipova bude minimalan. Ako je vreme propagacije signala kroz logička kola  $t_p$ , izračunati vreme propagacije signala kroz multiplekser.

---

**U2 - Zadatak 7 (a - 4, b - 4 poena)**

**a)** Realizovati 5bitni komparator brojeva u komplementu osnove ukoliko je na raspolaganju standardni 4bitni komparator (neoznačenih brojeva) i višedulazna standardna logička kola.

**b)** Dati su četvorobitni označeni brojevi u komplementu osnove  $A_{3..0}$ ,  $B_{3..0}$ ,  $C_{3..0}$ . Realizovati kombinacionu logiku koja izvršava operaciju  $Z_{4..0} = \min(\frac{A}{2}, 2B, C)$ . Dozvoljeno je korišćenje kola iz tačke **a)**, kao i kola srednjeg stepena integracije i višedulaznih standardnih logičkih kola.