

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u opadajućem poretku

$$A = 132_{6_KMV} + 301_{6_KMV}$$

$$B = 10111_{ZA} - 01011_{ZA}$$

$$C = 011.01_{KO} * 10.101_{KO}$$

$$D = 7348_9 / 1022_3$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, **bez prelaženja u decimalni sistem**, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Fakultet je odlučio da uvede RFID kartice za sve svoje studente. Za čuvanje kodovanog identifikacionog broja u memoriji na kartici je dostupno 16 bita. Odrediti koliko maksimalno studenata fakultet može da opskrbi jedinstvenim ID karticama ako je zahtev da binarna predstava identifikacionog broja bude kodovana sa *Hamming*-ovim rastojanjem:

- i) 2 ii) 3 iii) 4

Ako je informacioni broj 357, prikazati njegovu kodovanu predstavu, tj. memorijski sadržaj kartice, za sva tri navedena slučaja.

U1 - Zadatak 2 (a - 8, b - 3, c - 5, d - 4 poena)

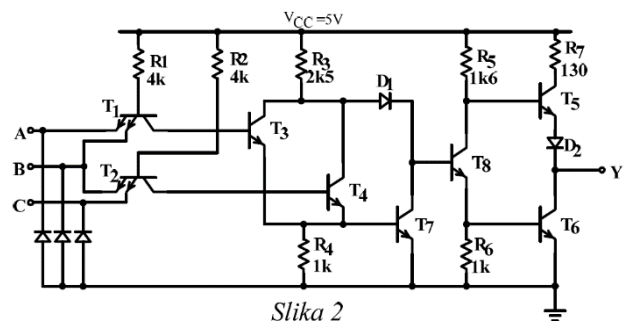
Za logičko kolo sa slike 2:

a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju izlaza $Y = f(A, B, C)$.

b) Odrediti vrednosti napona logičke jedinice i nule V_{OH} i V_{OL} .

c) Odrediti kašnjenje t_{pLH} ako je kolo opterećeno sa $C = 1nF$ na izlazu.

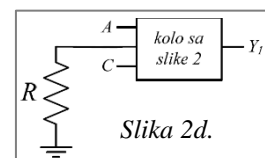
d) Ukoliko se na ulaz B veže otpornik R prema masi (slika 2d.), odrediti režime rada tranzistora $T1$ i $T3$ u zavisnosti od logičkog nivoa na ulazu A. Razmotriti slučaj $R = 100\Omega$ i slučaj $R = 100k\Omega$. Rezultate prikazati tabelarno.



Slika 2

Poznato je:

$$V_{BE} = 0.65V, V_{BES} = 0.7V, V_{CES} = 0.2V, V_D = 0.55V, V_\gamma = 0.6V, \beta_F = 40, \beta_R = 0.04$$



Slika 2d.

U1 - Zadatak 3 (a - 5, b - 5, c - 5)

Da li, i pod kojim uslovima, smeju da se spoje izlazi logičkih kola urađeni u sledećim tehnologijama:

- a) LS TTL kola;
- b) pseudo NMOS;
- c) CMOS.

Nacrtati primere i obrazložiti odgovore.

U2 - Zadatak 4 (a – 7, b – 3, c - 2, b – 3 poena)

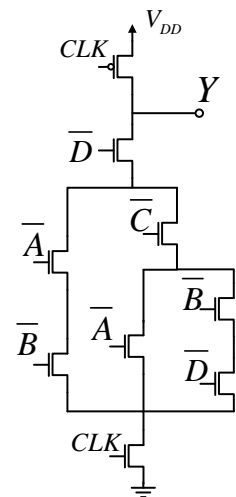
Tehnološki parametri izrade MOS tranzistora su: $L=200nm$, $\mu_n C_{ox}=210\mu A/V^2$, $\mu_p C_{ox}=70\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_c L_n=1.2V$, $E_c L_p=4.8V$, $\lambda=0.04V^{-1}$.

Za kolo CMOS invertora sa $V_{DD}=2.7V$, $W_n=400nm$:

- odrediti širinu kanala W_p tako da napon V_S bude približno jednak polovini napona napajanja;
- približno nacrtati karakteristiku prenosa i odrediti napone V_{OH} , V_{OL} , V_S i napisati izraze na osnovu kojih se izračunavaju vrednosti napona V_{IH} i V_{IL} ;
- izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- kako se menjaju rezultati u tački b) i c) ako se širine kanala oba tranzistora povećaju 10 puta.

U2 - Zadatak 5 (a -2 , b – 3, c – 3, d – 3, e – 4 poena)

- Na slici 5. data je realizacija funkcije Y kao jednostepeno dinamičko CMOS kolo. Odrediti minimalni oblik funkcije Y u obliku zbira proizvoda.
 - Projektovati statičko CMOS kolo koje realizuje funkciju Y . Na ulazu nisu dostupne negacije logičkih promenljivih, već samo njihove prave vrednosti. Težiti da broj upotrebljenih tranzistora bude minimalan.
 - Realizovati funkciju Y ukoliko su na raspolaganju samo NILI logička kola. Težiti da broj upotrebljenih kola bude minimalan. Da li postoji mogućnost pojave statičkih hazarda i pri kojim prelazima?
 - Realizovati funkciju Y pomoću transmisionih gejtova.
 - Realizovati funkciju $Z = \bar{Y}$ ukoliko su na raspolaganju samo multiplexeri 2u1, dok na ulazu postoje samo prave vrednosti logičkih promenljivih.
- Napomena: Sve realizacije je potrebno nacrtati i obeležiti odgovarajuće signale.*



Slika 5.

U2 - Zadatak 6 (10 poena)

Projektovati kolo demultipleksera koji ima 8 selekcionih signala sa aktivnim logičkim jedinicama, tako da maksimalno kašnjenje izlaznih signala bude što minimalnije. Na raspolaganju su standardna logička kola malog stepena integracije sa jednim, dva ili tri ulaza. Težiti da broj upotrebljenih čipova bude minimalan. Ako je vreme propagacije signala kroz logička kola t_p , izračunati vreme propagacije signala kroz demultiplekser.

U2 - Zadatak 7 (a – 4, b – 6 poena)

- Realizovati 5bitni komparator brojeva u komplementu maksimalne vrednosti ukoliko je na raspolaganju standardni 4bitni komparator (neoznačenih brojeva) i višeulazna standardna logička kola.
- Dati su četvorobitni označeni brojevi u komplementu maksimalne vrednosti $A_{3..0}$, $B_{3..0}$, $C_{3..0}$. Realizovati kombinacionu logiku koja izvršava operaciju $Z_{4..0} = \min(A, 2B, \frac{C}{2})$. Dozvoljeno je korišćenje kola iz tačke a), kao i kola srednjeg stepena integracije i višeulaznih standardnih logičkih kola.