

ISPIT

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

U1 - Zadatak 1 (a - 8, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze, a zatim ih sortirati u opadajućem poretku

$$A = 432_{5_KMV} - 401_{5_KMV} \quad (\text{na raspolaganju 8 cifara})$$

$$B = 00111011_{ZA} + 01011001_{ZA} \quad (\text{na raspolaganju 8 cifara})$$

$$C = 011.01_{KO} * 10.101_{KO} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

$$D = 0111\ 0011_{BCD} + 1001\ 0110_{BCD} \quad (\text{na raspolaganju proizvoljan broj cifara})$$

Napomena: Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) U telekomunikacionom sistemu je potrebno obezbediti zaštitu informacija koje se šalju u vidu 8bitnih podataka. Odlučeno je da se iskoristiti zaštita kodovanjem poruka Hamming-ovim kodom sa rastojanjem 3.

Realizovati kombinacionu mrežu koja na osnovu dobijenog 8-bitnog podatka $P_{7..0}$ generiše kodovanu poruku KP sa odgovarajućem brojem bita. Na raspolaganju su proizvoljna logička kola.

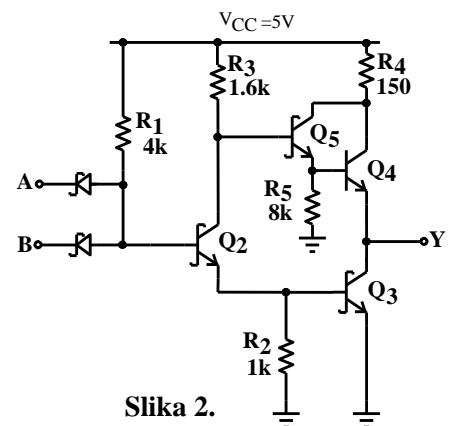
U1 - Zadatak 2 (a - 5, b - 5, c - 6, d - 4 poena)

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.
- Odrediti vrednosti napona $V_{OH}, V_{OL}, V_{IL}, V_{IH}$ za dato logičko kolo.
- Odrediti faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .
- Odrediti kašnjenje t_{pHL} ako je kolo opterećeno sa $C = 100nF$ na izlazu.

Poznato je:

$$V_{BE} = 0.7\text{ V}, V_{\gamma} = 0.65\text{ V}, V_{BE3} = 0.6\text{ V}, V_{\gamma3} = 0.55\text{ V}, V_{D\delta} = 0.3\text{ V}, \beta_F = 60$$

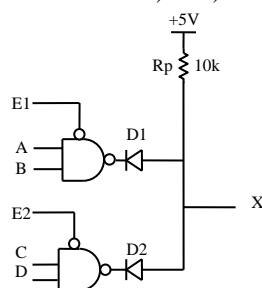


Slika 2.

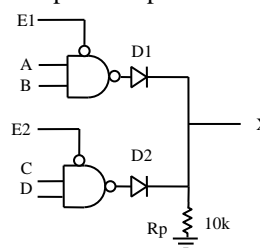
U1 Zadatak 3 (a - 2, b - 4, c - 4, d - 5 poena)

Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (kratka veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL LS tehnologiji.

- Odrediti logičke funkcije izlaza X uređaja sa slike 3a) pre modifikacije za $E1=E2=1$ i $E1 \neq E2$. Šta se desilo uređaju kada je bilo $E1=E2=0$?
- Odrediti logičku funkciju izlaza X sa slike 3a) posle modifikacije odnosno dodavanja dioda D1 i D2. Da li sada može da se desi »nezgodna« situacija iz tačke (a). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3b). Kakvi su novi logički nivoi na izlazu X u poređenju sa standardnim TTL LS kolom?
- Odrediti logičku funkciju izlaza X sa slike 3a) i 3b) ako se ukloni otpornik R_p i ostavi otvorena veza.



Slika 3a.



Slika 3b.

U2 - Zadatak 4 (a – 7, b – 2, c - 2, d – 3, e- 6poena)

Poznato je: $W_n=400nm$, $L=200nm$, $\mu_n C_{ox}=240\mu A/V^2$, $\mu_p C_{ox}=80\mu A/V^2$, $C_{ox}=1\mu F/cm^2$, $V_{Tn}=0.5V$, $V_{Tp}=-0.5V$, $E_{cn}L_n=1.2V$, $E_{cp}L_p=4.8V$, $\lambda=0.04V^{-1}$, $\gamma=1$, $V_{DD}=3.3V$.

- Izvesti izraz za odnose širine kanala n i p tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora.
- Za odnose širina kanala iz tačke a) izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja.
- Za odnose širina kanala iz tačke a) izračunati prag odlučivanja logičkog kola.
- Za odnose širina kanala iz tačke a) izračunati maksimalnu struju kratkog spoja.
- U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću $C_L=500pF$, na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti $C_i=10fF$, izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps pri naponu napajanja $V_{DD}=2.7V$. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju pri naponu napajanja $V_{DD}=3.3V$?

U2 - Zadatak 5 (10 poena)

- Projektovati kolo dekodera 2/4 sa aktivnim logičkim nulama na izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Adresni ulazi su sa aktivnim logičkim jedinicama. Za projektovanje su dozvoljena kola niskog stepena integracije.
- Korišćenjem komponente iz tačke a) realizovati dekodera 6/64.

U2 - Zadatak 6 (a - 2, b – 2, c – 2, d – 4 poena)

- Napisati funkcionalnu tabelu za funkciju $Z_{3..0} = A_{1..0} * B_{1..0}$ gde su A i B dvobitni neoznačeni binarni brojevi.
- Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju Z_3 . Na ulazu su dostupne i negacije logičkih promenljivih. Odrediti normirane širine kanala svih tranzistora tako da su kašnjenja jednaka sa kašnjenjem jediničnog inverora kod koga su širine kanala p i n kanalnog tranzistora u odnosu 2:1.
- Projektovati jednostepeno dinamičko CMOS logičko kolo koje realizuje funkciju Z_2 . Težiti da broj upotrebljenih tranzistora bude minimalan. Na ulazu su dostupne i negacije logičkih promenljivih.
- Realizovati funkciju Z_1 pomoću transmisionih gejtova.

U2 - Zadatak 7 (a - 4, b – 3, c - 3 poena)

- Za datu minimalnu realizaciju funkcije u obliku zbira proizvoda $Y = \bar{B}D + AC\bar{D}$ naći minimalnu realizaciju u obliku proizvoda zbirova. Za tako realizovanu funkciju proveriti da li može doći do pojave statičkih hazarda. Ukoliko postoje takvi prelazi odabrati jedan i dijagramom predstaviti pojavu statičkog hazarda.
- Funkciju iz tačke a) realizovati u što minimalnijem obliku ako su na raspolaganju samo dvoulazna NI logička kola. Nacrtati realizaciju. Da li postoji problem statičkog hazarda?
- Funkciju iz tačke a) realizovati u što minimalnijem obliku ako su na raspolaganju samo NILI logička kola sa proizvoljnim brojem ulaza. Nacrtati realizaciju. Da li postoji problem statičkog hazarda?