

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

### U1 - Zadatak 1 (a - 6, b - 9 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u opadajućem poretku

$$A = 01101_{KMV} + 10100_{KMV}$$

$$B = 0110\ 0011_{BCD} + 0111\ 1001_{BCD}$$

$$C = 100.01_{KO} * 1.0111_{KO}$$

*Napomena:* Potrebno je postupno i detaljno izračunati vrednosti, bez prelaženja u decimalni sistem, i obeležiti ukoliko negde dolazi do prekoračenja.

b) Lenji inženjer je zaključio da mu merni uređaj sa rezolucijom od 1mm, greši uvek za 253mm, ali pošto nije stigao da kalibriše uređaj uneo je u sistem funkciju za korigovanje merene udaljenosti. Podatak o udaljenosti se na predajnoj strani konvertuje u *Gray*-ov binarni zapis, a onda koduje *Hamming*-ovim kodom. U funkciji se iz takve poruke izdvaja informacija o izmerenoj udaljenosti, koriguje dodavanjem broja 253, a zatim ponovo predstavlja u *Gray*-ovom binarnom zapisu i koduje *Hamming*-ovim kodom.

Ukoliko od mernog uređaja stigne poruka 11 1001 1100 1100 generisati poruku koju je izlaz funkcije za korekciju.

*Napomena:* Postupno pokazati kako se dekoduju i formiraju poruke.

### U1 - Zadatak 2 (a - 8, b - 4, c - 8 poena)

Za logičko kolo sa slike 2:

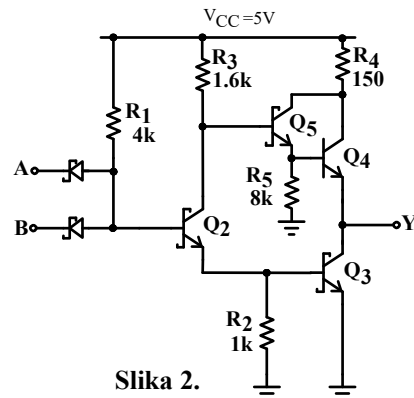
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola  $Y=f(A,B)$ .

b) Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .

c) Odrediti maksimalan broj logičkih kola, koja imaju ulazne struje 10 puta veće od kola datog na slici 2, koje je moguće vezati na izlaz kola sa slike 2, a da sva kola i dalje funkcionišu kako treba.

**Poznato je:**

$$V_{BE} = 0.7V, V_{\gamma} = 0.6V, V_{DS} = 0.2V, \beta_F = 60$$



Slika 2.

### U1 - Zadatak 3 (a - 5, b - 5, c - 5)

Da li, i pod kojim uslovima, smeju da se spoje izlazi logičkih kola urađeni u sledećim tehnologijama:

- a) LS TTL kola;
- b) ECL;
- c) CMOS.

Nacrtati primere i obrazložiti odgovore.

### U2 - Zadatak 4 (a - 7, b - 3, c - 2, b - 3 poena)

a) Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala  $p$  kanalnog tranzistora, ako je poznato:  $W_n = 400nm$ ,  $L = 200nm$ ,  $\mu_n C_{ox} = 270\mu A/V^2$ ,  $\mu_p C_{ox} = 70\mu A/V^2$ ,  $C_{ox} = 1\mu F/cm^2$ ,  $V_{Tn} = 0.5V$ ,  $V_{Tp} = -0.5V$ ,  $E_{cn} L_n = 1.2V$ ,  $E_{cp} L_p = 4.8V$ ,  $\lambda = 0.04V^{-1}$ ,  $v_{SAT} = 8 \times 10^6 cm/s$ ,  $\gamma = 1$ .

b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L = 500pF$ , na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti  $C_i = 5fF$ , izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?

c) Ako su podaci za invertore u tački b) sa naponom napajanja  $V_{DD} = 3.3V$  kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja  $V_{DD} = 2.7V$ .

d) Izračunati prag odlučivanja logičkog kola iz tačke a) pri naponu napajanja 3.3V.

---

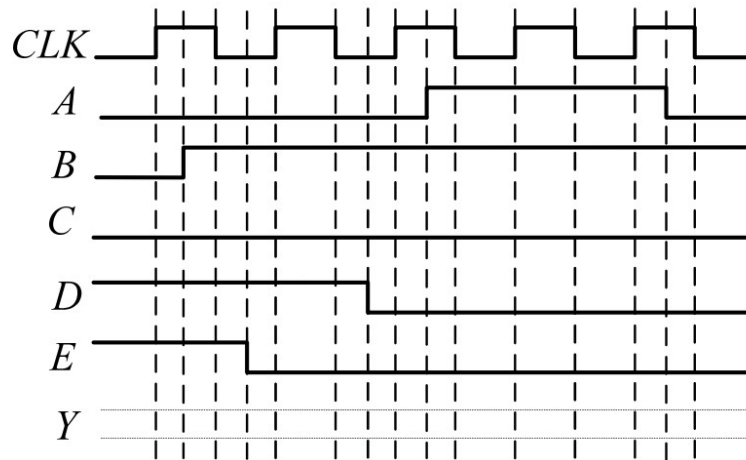
**U2 - Zadatak 5 (a - 5, b - 2, c - 4, d - 4)**

**a)** Nacrtnati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Z = f(ABCD)$ , gde je  $Z = 1$  kada u zapisu 4bitnog broja  $ABCD$  postoje barem dve susedne nule, dok je  $Z = 0$  kada u zapisu  $ABCD$  nema susednih nula. Na primer za  $ABCD = 1000$ ,  $Z = 1$ , dok je za  $ABCD = 0101$ ,  $Z = 0$ . Na ulazu su dostupne i negacije ulaznih promenljivih. Težiti da realizacija ima minimalan broj tranzistora.

**b)** Odrediti odnose širina svih tranzistora u realizaciji iz tačke **a)** tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_P : W_N = 2 : 1$ .

**c)** Realizovati funkciju  $Y = \overline{(AB + (C + B)D)}(A + E)$  kao jednostepeno dinamičko CMOS kolo. Nije dozvoljeno minimizovati funkciju  $Y$ .

**d)** Za realizaciju pod **c)** dopuniti dijagram sa slike 5.



Slika 5.

---

**Zadatak 6 (a-4, b-6 poena)**

**a)** Realizovati kolo dekodera 2/4 sa chip select (CS) signalom sa izlazima aktivnim na logičkoj jedinici ukoliko su na raspolaganju samo NI kola.

*Napomena:* Aktivan CS signal obezbeđuje standardnu funkcionalnost kola, dok neaktivan „isključuje“ kolo i forsira neaktivan nivo na svim izlazima kola.

**b)** Projektovati kolo dekodera koji ima 16 ulaza i aktivne logičke jedinice na izlazima, tako da maksimalno kašnjenje izlaznih signala bude minimalno. Dekoder ne mora da ima CS signal. Na raspolaganju su standardna invertujuća logička kola malog stepena integracije i dekoderi 2/4 iz tačke a). Težiti da broj upotrebljenih kola bude minimalan. Ako je vreme propagacije signala kroz logička kola  $t_p$ , izračunati vreme propagacije kroz realizovan dekodera.

---

**U2 - Zadatak 7 (10 poena)**

Realizovati kombinacionu logiku koja izvršava operaciju mod 5 (ostatak pri deljenju sa 5) nad četvobitnim neoznačenim brojem. Dozvoljeno je korišćenje kola srednjeg stepena integracije (4bitni sabirač, multiplexer 4u1), kao i višeuulaznih standardnih logičkih kola.