

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.
7. Zadaci označeni sa U1 su iz prvog dela gradiva (kolokvijum). Zadaci označeni sa U2 su iz drugog dela gradiva

U1 - Zadatak 1 (a - 6, b - 7 poena)

a) Algoritamskim računanjem, korak po korak, izračunati sledeće izraze ukoliko je na raspolaganju 5 cifara i sortirati ih u nerastućem poretku:

- $A = 01010_{KO} + 00110_{KO} - 00101_{KO}$
- $B = 10011_{KMV} - 01001_{KMV}$
- $C = 10110_{ZA} - 11011_{ZA}$
- $D = 101.10_{KO} * 100.01_{KO}$ (na raspolaganju je proizvoljan broj cifara)

Napomena: Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim rezultatom

b) Za studentsko takmičenje elektroničari su imali zadatak da naprave formulu koja se kreće po zadatoj traci. Na prednja dva točka su postavili enkodere u cilju detekcije proklizavanja. Enkoderi u pravilnim vremenskim intervalima vraćaju informaciju o protekloj rotaciji točka, u stepenima, u vidu 10 bitne poruke u Gray-ovom kodu. Dati podatak se koduje Hamming-ovim kodom i šalje glavnom računaru. Ukoliko je poznato da je robot išao ulevo i pristigle su sledeće poruke:

levi enkoder: 11 01 00 00 11 10 11 desni enkoder: 11 11 01 00 00 11 10

odrediti da li je došlo do proklizavanja. Smatra se da je do proklizavanja došlo ukoliko je unutrašnji točak prešao veći put od spoljašnjeg.

Ukoliko nije došlo do proklizavanja potrebno je proslediti dobijene vrednosti u binarnom kodu na dalju obradu sa zaštitnim bitom neparnosti. Ukoliko je došlo do proklizavanja treba proslediti poruku "EE" koja se tumači kao heksadecimalni broj, binarizuje i koduje Hamming-ovim kodom. Napisati poruku koja je prosledena.

Napomena: Postupno pokazati izdvajanje podataka i kreiranje povratnih poruka.

U1 - Zadatak 2 (a - 6, b - 6, c - 3, d - 7 poena)

Za logičko kolo sa slike 2:

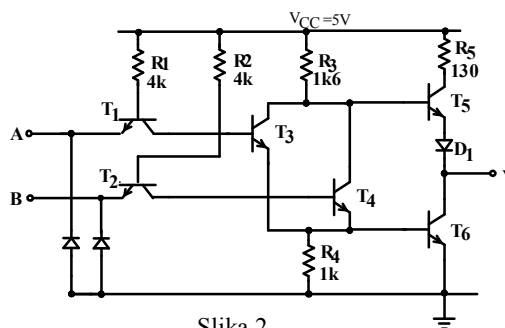
a) Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola $Y=f(A,B)$.

b) Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.

c) Odrediti karakteristiku prenosa za lanac ovakvih kola, pri čemu se u lancu nalazi neparan broj kola.

d) Odrediti strujne kapacitete kao i faktor grananja kola pri naponima na izlazu V_{IL} i V_{IH} .

Poznato je: $V_{BE}=V_D=0.7V$, $V_{\gamma}=0.6V$, $V_{BES}=0.8V$, $V_{CES}=0.2V$, $\beta_F=50$, $\beta_R=0.1$



Slika 2.

U1 - Zadatak 3 (a - 2, b - 4, c - 6, d - 3 poena)

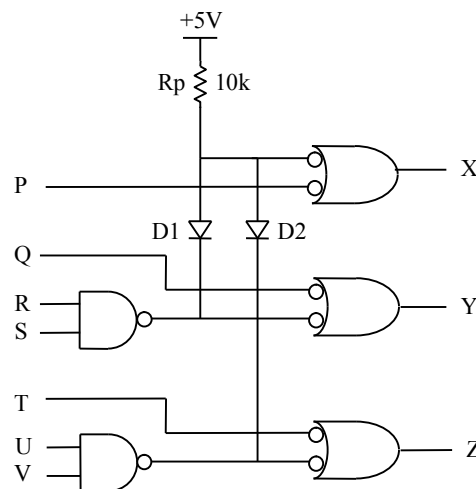
Na slici 3 je prikazana logička šema dela digitalnog uređaja posle izvršenih »neohodnih« modifikacija. Originalna realizacija ne sadrži diode D1 i D2 (otvorena veza), međutim zbog greške u projektovanju bilo ih je neophodno dodati. Upotrebljena logička kola su u standardnoj TTL tehnologiji.

a) Odrediti logičke funkcije izlaza X, Y i Z pre modifikacije.

b) Odrediti logičke funkcije izlaza X, Y i Z posle modifikacije odnosno dodavanja dioda D1 i D2

c) Da li se ista funkcija dobija ako se umesto dioda stave kratke veze? Šta bi se u tom slučaju desilo sa kolom? Diskutovati realizacije sa različitim familijama TTL kola.

d) Kako izvršena modifikacija sa diodama utiče na margine šuma kola?



Slika3.

U2 - Zadatak 4 (a-5, b-5, c-5 poena)

Tehnološki parametri izrade MOS tranzistora su: $L=200\text{nm}$, $\mu_n C_{ox}=270\mu\text{A}/\text{V}^2$, $\mu_p C_{ox}=70\mu\text{A}/\text{V}^2$, $C_{ox}=1\mu\text{F}/\text{cm}^2$, $V_{Tn}=0.5\text{V}$, $V_{Tp}=-0.5\text{V}$, $E_c L_n=1.2\text{V}$, $E_c L_p=4.8\text{V}$, $v_{SAT}=8 \times 10^6 \text{ cm/s}$, $\lambda \approx 0$.

Za kolo CMOS invertora sa $V_{DD}=2.8\text{V}$, $W_p=W_n=400\text{nm}$:

- približno nacrtati karakteristiku prenosa i odrediti vrednosti napona V_{OH} , V_{OL} , V_S ;
- napisati izraze na osnovu kojih se izračunavaju vrednosti napona V_{IH} i V_{IL} ;
- izračunati dinamičke otpornosti p i n kanalnog tranzistora potrebne za procenu kašnjenja;

U2 - Zadatak 5 (a - 4, b - 3, c - 3, d - 4, e - 3)

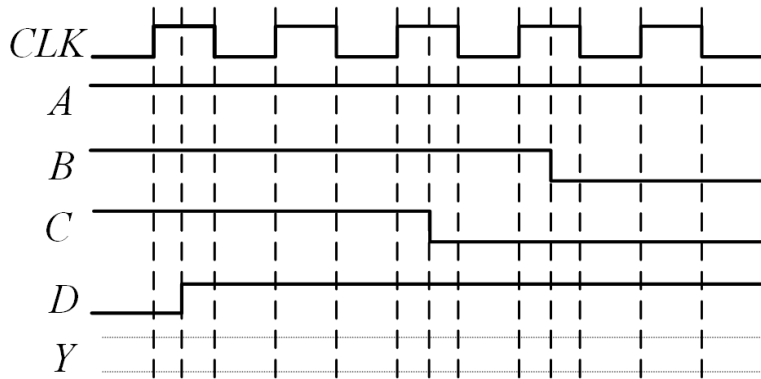
a) Na slici 5a je prikazana realizacija funkcije $Y = f(A, B, C, D)$ u vidu statičkog CMOS kola. Odrediti funkciju Y , a zatim realizovati datu funkciju koristeći samo dvoulazna NI kola. Date su samo prave vrednosti ulaznih promenljivih. Težiti da realizacija sadrži minimalan broj logičkih kola.

b) Odrediti odnose širina svih tranzistora iz kola sa slike 5a tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je $W_p : W_n = 2 : 1$.

c) Nacrtati šemu dinamičkog CMOS logičkog kola koje realizuje logičku funkciju iz tačke a). Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih. Realizacija treba da sadrži minimalan broj tranzistora.

d) Za realizovano kolo iz tačke c) popuniti vremenski dijagram sa slike 5b.

e) Realizovati logičku funkciju iz tačke a) pomoću transmissionnih gejtova. Na ulazu logičkih kola su dostupne i negacije ulaznih promenljivih.



Slika 5b.

U2 - Zadatak 6 (a - 5, b - 5 poena)

a) Projektovati kolo koder prioriteta sa 4 ulaza i sa aktivnim logičkim nulama na ulazima i izlazima, tako da može jednostavno (sa što manjim dodavanjem spoljnih elemenata) da se koristi za pravljenje mreža većih kapaciteta. Za projektovanje su dozvoljena kola niskog stepena integracije.

b) Korišćenjem komponente iz tačke a) realizovati koder prioriteta sa 16 ulaza.

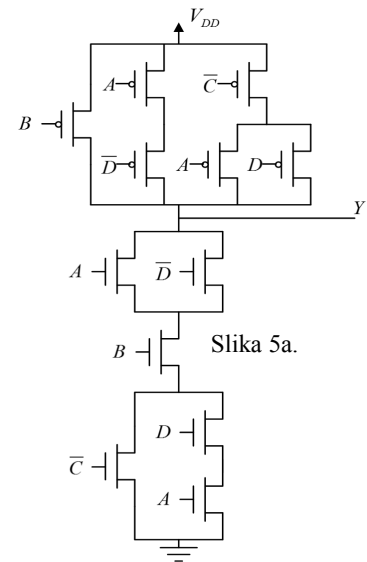
U2 - Zadatak 7 (a - 2, b - 1, c - 3, d - 2 poena)

a) Realizovati jednobitni potpuni sabirač. Na raspolaganju su logička kola proizvoljnog tipa.

b) Koristeći kolo iz tačke a) realizovati 4bitni sabirač.

c) Koristeći 4bitni sabirač realizovati jednocifreni BCD 8421 sabirač. Na raspolaganju su 4bitni komparatori i 4bitni multiplekseri 2/1, kao i kola niskog stepena integracije.

d) Koristeći kola iz tačke c) realizovati trocifreni BCD 8421 sabirač sa ulaznim stepenom koji vrši proveru ispravnosti ulaznih cifara i generiše signal *error* koji postavlja sve bite izlaza na 1 ukoliko se pojavi nedozvoljeni BCD kod.



Slika 5a.