

1. Trajanje ispita 180 minuta.
2. Ispit se radi u vežbanci.
3. Rešenja zadataka započeti na novoj strani.
4. Na naslovnoj strani obavezno zaokružiti redne brojeve zadataka koji su rađeni.
5. Dozvoljena je upotreba kalkulatora.
6. Parametri tranzistora i diode su dati gde je potrebno. Ne moraju svi parametri biti iskorišćeni u rešenju.

**Zadatak 1 (a - 5, b - 4 poena)**

Algoritamskim računanjem, korak po korak, izračunati i pokazati da li su date tvrdnje tačne ili netačne:

a) ukoliko su na raspolaganju 4 cifre

- $1101_{KMV} + 0011_{KMV} > 1011_{KMV} - 1100_{KMV}$
- $1011_{KO} - 1001_{KO} > 0101_{KO} + 1000_{KO}$

*Napomena:* Ukoliko dođe do prekoračenja, naznačiti to i nastaviti sa dobijenim četvorocifarskim rezultatom

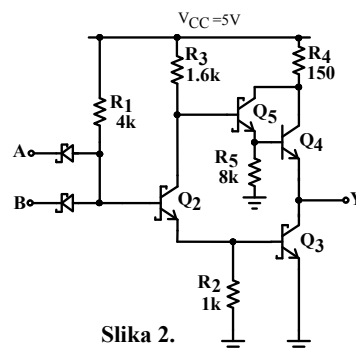
b) ukoliko je na raspolaganju proizvoljan broj cifara

- $01100111_{BCD} + 01001001_{BCD} > 000100010101_{BCD}$
- $10110_{KO} \cdot 11010_{KO} > 000111011_{KO}$  (brojevi su dati u komplementu osnove)
- količnik neoznačenih brojeva  $101100101_2$  i  $1001_2$  je manji od osmostruke vrednosti ostatka

**Zadatak 2 (a - 6, b - 3, c - 5, d - 3, e - 5, f - 4 poena)**

Za logičko kolo sa slike 2:

- Proceniti režime rada svih tranzistora u kolu za sve kombinacije logičkih nivoa na ulazu kola. Rezultate prikazati tabelarno. Odrediti logičku funkciju kola  $Y=f(A,B)$ .
- Odrediti vrednosti napona logičke nule i jedinice,  $V_{OL}$  i  $V_{OH}$ .
- Odrediti karakteristiku prenosa logičkog kola, kao i margine šuma u slučaju višestrukih izvora smetnji. Za svaku karakterističnu tačku u proračunu navesti kojim uslovom je određena.
- Odrediti karakteristiku prenosa za lanac ovakvih kola, pri čemu se u lancu nalazi neparan broj kola.
- Odrediti strujne kapacitete kao i faktor grananja kola pri naponima na izlazu  $V_{IL}$  i  $V_{IH}$ .
- Odrediti kašnjenje  $t_{pHL}$  ako je kolo opterećeno sa  $C=100nF$  na izlazu.



Slika 2.

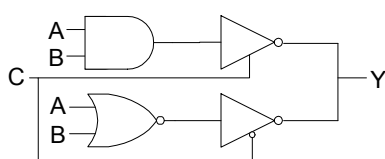
**Poznato je:**

$V_{BE} = 0.7V$ ,  $V_{\gamma} = 0.6V$ ,  $V_{DS} = 0.2V$ ,  $\beta_F = 60$

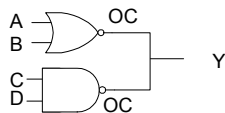
**Zadatak 3 (a - 4, b - 4, c - 4, d - 3, poena)**

Funkcionalnom tabelom ili na drugi pogodan način prikazati funkciju dela digitalnog sistema realizovanog TTL logičkim kolima:

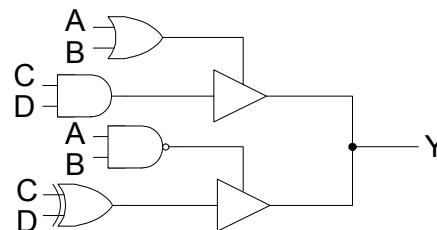
- prikazanog na slici 3a;
- prikazanog na slici 3b.
- Šta može da se desi u kolu prikazanom pod na slici 3c, i pri kojoj kombinaciji ulaza, ako su logička kola realizovana kao LS TTL kola (totem pole na izlazu)?
- Kakav je odgovor pod c) ako su EKS ILI i I kolo realizovani sa otvorenim kolektorom?



Slika 3a



Slika 3b



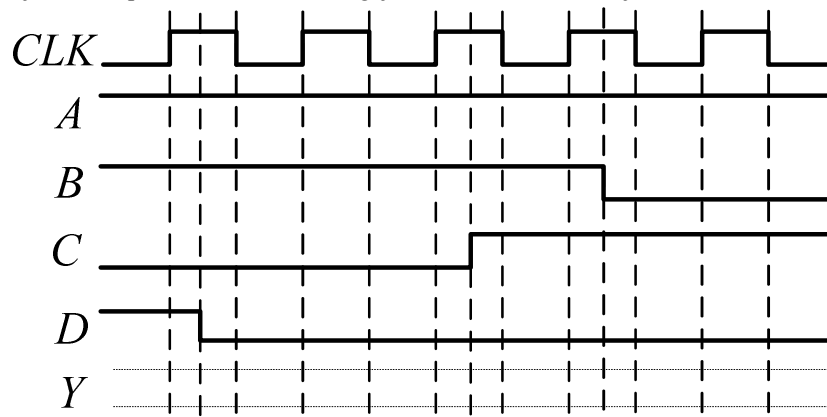
Slika 3c

**Zadatak 4 (a – 7, b – 3, c - 2, b – 3 poena)**

- a) Izvesti izraz za odnose širine kanala  $n$  i  $p$  tranzistora CMOS invertora da bi se minimizovalo srednje kašnjenje ako se invertor koristi u lancu istih invertora. Koliki je taj odnos, odnosno širina kanala  $p$  kanalnog tranzistora, ako je poznato:  $W_n=400nm$ ,  $L=200nm$ ,  $\mu_n C_{ox}=270\mu A/V^2$ ,  $\mu_p C_{ox}=70\mu A/V^2$ ,  $C_{ox}=1\mu F/cm^2$ ,  $V_{Tn}=0.5V$ ,  $V_{Tp}=-0.5V$ ,  $E_{cn}L_n=1.2V$ ,  $E_{cp}L_p=4.8V$ ,  $\lambda=0.04V^{-1}$ ,  $v_{SAT}=8 \times 10^6$  cm/s,  $\gamma=1$ .
- b) U cilju poboljšanja dinamičkih karakteristika CMOS kola koje treba da radi sa velikom izlaznom kapacitivnošću  $C_L=100pF$ , na CMOS invertor minimalne geometrije iz tačke a) i interne kapacitivnosti  $C_i=10fF$ , izvršeno je dodavanje određenog broja baferskih invertora. Vreme propagacije signala kroz invertor minimalne geometrije je 50ps. Pretpostaviti da je ulazna kapacitivnost invertora proporcionalna njegovoj veličini. Koliki je broj invertora dodat da bi se dobilo minimalno kašnjenje? Koliko je ukupno vreme propagacije u tom slučaju?
- c) Ako su podaci za invertore u tački b) sa naponom napajanja  $V_{DD}=2.7V$  kolika će biti propagacija kola iz tačke b) ako bafersano kolo bude radilo sa naponom napajanja  $V_{DD}=3.3V$ .
- d) Izračunati prag odlučivanja logičkog kola iz tačke a) pri naponu napajanja 3.3V.

**Zadatak 5 (a - 6, b – 3, c – 3, d - 3 poena)**

- a) Projektovati jednostepeno statičko CMOS logičko kolo koje realizuje funkciju  $Y = \overline{(B + D(A + C))(D + C)B}$ . Nije dozvoljeno minimizovati funkciju. Odrediti odnose širina svih tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .
- b) Realizovati funkciju  $Y$  kao jednostepeno dinamičko kolo. Težiti da realizacija bude minimalne kompleksnosti.
- c) Ako se na ulaz kola iz tačke b) dovode signali kao na slici 5, nacrtati vremenski oblik izlaza  $Y$ .
- d) Realizovati funkciju  $Z = \bar{Y}$  pomoću transmisionih gejtova. Težiti da realizacija bude minimalne kompleksnosti.



Slika 5

**Zadatak 6 (10 poena)**

Projektovati kolo dekodera koji ima 16 ulaza i aktivne logičke jedinice na izlazima, tako da maksimalno kašnjenje izlaznih signala bude manje ili jednako  $4t_p$ . Na raspolaganju su standardna invertujuća logička kola malog stepena integracije i dekoderi 2/4 sa aktivnim logičkim nulama na izlazu. Težiti da broj upotrebljenih kola bude minimalan. Vreme propagacije signala kroz logička kola i dekodera iznosi  $t_p$ .

*Napomena:* Korišćeni dekoderi 2/4 ne poseduju kontrolne ulaze za generisanje signala dozvole.

**(dodatnih 5 poena)** Proceniti normiranu ( $W_n L_n=1$  kod invertora minimalne geometrije) površinu koju realizovano kolo zauzima na silicijumskom čipu, ako se kola prave sa minimalnom geometrijom tranzistora tako da kritična kašnjenja uzlazne i silazne ivice budu izjednačena i odgovaraju kašnjenjima referentnog invertora kod koga je  $W_p : W_n = 2 : 1$ .

*Napomena:* Korišćeni dekoder 2/4 zauzima površinu 44.

**Zadatak 7 (a – 4, b - 6 poena)**

a) Realizovati kombinacionu mrežu koja za dva dvobitna neoznačena ulazna broja na izlazu daje njihov proizvod. Na raspolaganju su samo kola niskog stepena integracije sa proizvoljnim brojem ulaza. Težiti da broj upotrebljenih logičkih kola bude minimalan.

b) Koristeći kolo iz tačke a) kao kolo srednje stepena integracije projektovati kombinacionu mrežu koja za neoznačene dvobitne binarne brojeve  $A$  i  $B$  na izlazu generiše neoznačeni petobitni binarni broj  $Y = \max \{3(A^2 + 1), 5(A \cdot |B - 2|)\}$ . Pored kola iz tačke a), na raspolaganju su kola srednjeg stepena integracije i logička kola niskog stepena integracije proizvoljnog tipa. Težiti da broj upotrebljenih kola bude minimalan.